



HK32F41x 数据手册

版本：1.7

发布日期：2025-06-10

深圳市航顺芯片技术研发有限公司

<http://www.hsxp-hk.com>

前言

编写目的

本文档介绍了 HK32F41x 系列芯片的功能框图、存储器映射、外设接口、电气特性、管脚封装等，旨在帮助用户快速了解该系列芯片的特点及功能。

读者对象

本文适用于以下读者：

- 开发工程师
- 芯片测试工程师

版本说明

本文档对应的产品系列为 HK32F41x 系列芯片。

修订记录

版本	日期	修订内容
0.99	2024/01/10	Alpha 版本发布
1.0	2024/07/22	官网首次发布
1.1	2024/08/29	1. 在“2.1 产品特性”一节中，添加了可靠性测试 CDM 和 LU 数值。 2. 更新了“4.2.4 可编程电压检测器（PVD）”“4.2.5 BOR 特性”“4.2.6 上/下电复位特性”“4.2.8 工作电流特性”“4.2.22 DAC 特性”和“4.2.21 ADC 特性”中的 ADC 精度。 3. 在“5 典型电路”一节中，添加了图 5-1 的说明。
1.2	2024/09/14	1. 更新了“4.2.8 工作电流特性”中表 4-11 的工作条件说明。 2. 删除了“2.2 器件一栏表”中 ADC 通道增益可配的特性。 3. 更新了“4 电气性能指标”中的“表 4-4 推荐工作条件”“表 4-12 HSE 振荡电路特性”“表 4-14 LSE 振荡电路特性”“表 4-16 HSI 时钟特性”“表 4-19 PLL 特性”“表 4-23 IO 引脚输出直流特性”“表 4-26 ADC 特性”“表 4-29 DAC 特性”。 4. 更新了“6.4 管脚定义”中 PE0 的 FSMC_NBL0 引脚功能为 FSMC_NBL1，PE1 的 FSMC_NBL1 引脚功能为 FSMC_NBL0，删除了 CANFD 功能。 5. 更新了章节“4.2.18 IO 输出引脚特性”。
1.3	2024/11/25	1. 更新了章节“4.1.3 极限温度特性”中的储存温度和最大结温范围。 2. 更新了章节“4.2.8 工作电流特性”补充了 Stop 模式下各个子模式的定义说明。
1.4	2024/12/23	1. 更新了“2.1 产品特性”中的 ESD 测试参数。 2. 在“3.11 电源控制器（PWR）”章节添加了：为确保内部模拟电路正常工作，对于 VDDA 电压的上电要求。 3. 更新了“表 4-12 HSE 振荡电路特性”。 4. 更新了“表 4-14 LSE 振荡电路特性”。
1.5	2025/01/20	在“6.4 LQFP64/LQFP100/LQFP144 的管脚定义”中添加了 BOOT1 引脚功能信息。

版本	日期	修订内容
1.6	2025/04/09	1. 更新了“表 4-31 温度传感器特性”中的 Avg_Slope 值。 2. 将“6.4 管脚定义”中 64-pin 封装的引脚 13 修改为 VDDA，并添加了 VDDA 和 VREF+在内部 bonding 在一起的说明。
1.7	2025/06/10	在章节“3.1 结构框图”和“3.6 灵活静态存储控制器（FSMC）”中增加了 FSMC 均不支持 PC card 设备的说明。

目录

1 简介	1
2 产品概述.....	2
2.1 产品特性.....	3
2.2 器件一览表.....	6
3 功能介绍.....	9
3.1 结构框图.....	9
3.2 存储器.....	10
3.2.1 Flash	10
3.2.2 SRAM.....	10
3.3 存储器映射.....	11
3.4 缓存器（Cache）	12
3.5 循环冗余校验计算单元（CRC）	12
3.6 灵活静态存储控制器（FSMC）	12
3.6.1 TFT LCD 接口.....	13
3.7 中断与事件（NVIC&EXTI）	13
3.7.1 NVIC.....	13
3.7.2 EXTI.....	13
3.8 复位（Reset）	14
3.8.1 系统复位.....	14
3.8.2 电源复位.....	15
3.8.3 备份域复位.....	15
3.9 时钟（Clock）	15
3.9.1 时钟源.....	15
3.9.2 时钟树.....	16
3.10 自举模式（Boot）	17
3.11 电源控制器（PWR）	17
3.11.1 电源监控器.....	17
3.11.2 电压调节器.....	18
3.11.3 VBAT	19
3.11.4 低功耗模式.....	19

3.12 系统配置（SYSCFG）	20
3.13 直接存储访问控制器（DMA）	20
3.14 RTC、BKP RAM 和 BKP 寄存器	21
3.14.1 RTC	21
3.14.2 BKP RAM 和 BKP 寄存器	21
3.15 独立看门狗（IWDG）	21
3.16 窗口看门狗（WWDG）	21
3.17 System Tick 定时器	22
3.18 定时器（Timer）	22
3.18.1 高级定时器	23
3.18.2 通用定时器	23
3.18.3 基本定时器	23
3.19 红外遥控接口（IRTIM）	23
3.20 内部集成电路接口（I2C）	23
3.21 通用同步异步收发器（USART/UART）	24
3.22 串行外设接口（SPI/I2S）	24
3.23 安全数字输入输出接口（SDIO）	24
3.24 控制器局域网接口（CAN）	25
3.25 高速 USB 即插即用控制器（USB_OTG_HS）	25
3.26 以太网（ETH）	25
3.27 数字相机接口（DCMI）	26
3.28 通用输入输出（GPIO）	26
3.29 模拟数字转换器（ADC）	26
3.29.1 温度传感器	27
3.30 数字模拟转换器（DAC）	28
3.31 四线串行外设接口（QSPI）	28
3.32 真随机数发生器（TRNG）	28
3.33 高级加密标准硬件加速器（AES）	28
3.34 散列处理器（Hash）	29
3.35 调试及跟踪接口	29
3.36 96 位 UID	29

4 电气性能指标.....	30
4.1 最大绝对额定值.....	30
4.1.1 极限电压特性.....	30
4.1.2 极限电流特性.....	30
4.1.3 极限温度特性.....	31
4.2 工作参数.....	31
4.2.1 推荐工作条件.....	31
4.2.2 V_{CAP_1}/V_{CAP_2} 外置电容.....	31
4.2.3 上/下电速度工作条件.....	32
4.2.4 可编程电压检测器（PVD）.....	32
4.2.5 BOR 特性.....	32
4.2.6 上/下电复位特性.....	33
4.2.7 内部参考电压.....	33
4.2.8 工作电流特性.....	34
4.2.9 外部高速（HSE）时钟特性.....	35
4.2.10 外部低速（LSE）时钟特性.....	38
4.2.11 内部高速（HSI）时钟特性.....	39
4.2.12 内部低速（LSI）时钟特性.....	40
4.2.13 GPIO 输入时钟.....	40
4.2.14 PLL 特性.....	40
4.2.15 PLLI2S 特性.....	41
4.2.16 Flash 存储器特性.....	41
4.2.17 IO 输入引脚特性.....	41
4.2.18 IO 输出引脚特性.....	42
4.2.19 NRST 复位管脚特性.....	44
4.2.20 TIM 计数器特性.....	44
4.2.21 ADC 特性.....	44
4.2.22 DAC 特性.....	47
4.2.23 温度传感器特性.....	48
5 典型电路.....	49
6 管脚定义.....	50

6.1 LQFP64 封装	50
6.2 LQFP100 封装	51
6.3 LQFP144 封装	52
6.4 管脚定义.....	52
6.5 引脚复用（AF）功能表.....	69
7 封装参数.....	78
7.1 封装尺寸	78
7.1.1 LQFP64 封装	78
7.1.2 LQFP100 封装	79
7.1.3 LQFP144 封装	81
7.2 丝印信息.....	82
7.2.1 LQFP64 丝印	82
7.2.2 LQFP100 丝印	84
7.2.3 LQFP144 丝印	85
8 订货信息.....	87
8.1 订货代码.....	87
8.2 订货包装.....	87
9 缩略语与术语.....	89
9.1 缩略语.....	89
9.2 术语.....	89
10 重要提示	90

1 简介

本文档为 HK32F41x 系列芯片的数据手册。HK32F41x 系列芯片是由深圳市航顺芯片技术研发有限公司研发的高性能 MCU 芯片，包括以下型号：

- HK32F417 系列
 - HK32F417ZGT7
 - HK32F417VGT7
 - HK32F417RGT7
 - HK32F417ZET7
 - HK32F417VET7
 - HK32F417RET7
- HK32F415 系列
 - HK32F415ZGT7
 - HK32F415VGT7
 - HK32F415RGT7
 - HK32F415ZET7
 - HK32F415VET7
 - HK32F415RET7

用户可以查看《HK32F40x/HK32F41x 用户手册》进一步了解该芯片的功能。

2 产品概述

HK32F41x 使用 ARM® Cortex®-M4 内核，CPU 最高工作频率为 168 MHz，支持一级 8 Kbyte 指令 Cache 缓存和 1 Kbyte 数据 Cache。Cortex-M4 核支持单精度浮点运算单元（FPU），支持所有的 ARM 单精度数据处理指令和数据类型。

HK32F41x 内置了大容量存储器：Flash 存储器包括最高 1 Mbyte 主 Flash 和 30 Kbyte 信息区、192Kbyte SRAM、64Kbyte 紧耦合（CCM）SRAM，内置了 8Kbyte 指令 Cache 和 1Kbyte 数据 Cache。此外，通过 FSMC 模块可外挂最多 1 Gbyte 容量的外部静态存储器，其中 256 Mbyte 的空间可以存放指令，并可用于片内 8 Kbyte 指令 Cache 缓存。通过 QSPI 模块外挂 256 Mbyte 容量的 NOR Flash 存储器，可存放指令，并且可用于片内 8 Kbyte 指令 Cache 缓存。

HK32F41x 通过内置的数字照相机接口（DCMI）、4 路 TFT 接口和两个通用双端口 DMA（DMA1 和 DMA2），可实现数字图像视频从捕获、运算处理到显示的单芯片解决方案。

HK32F41x 内置 2 个高级 16 位定时器（各支持 4 路 PWM 输出，其中 3 路带死区互补输出），8 个 16 位通用定时器（共 16 路 PWM 输出），2 个 32 位通用定时器（共 8 路 PWM 输出），2 个 16 位基本定时器。

HK32F41x 提供独立的 V_{BAT} 电池电源域。当 V_{DD} 主电源掉电时，RTC 模块可在 V_{BAT} 电源供电下继续工作。

HK32F41x 内置了丰富的模拟电路：3 个 12 位 ADC（单个 ADC 最多可支持高达 19 个通道；可测量 16 个外部信号源，2 个内部信号源和 V_{BAT} 通道的信号。）、2 个 12 位 DAC、1 个温度传感器、1 个内部参考电压源、1 个可编程电压检测器（PVD）、1 个上/下电复位（POR/PDR）电路和 1 个 V_{BAT} 电源电阻分压器（分压器输出在片内与 ADC 相连）。

HK32F41x 内置了 TRNG、AES 和 Hash 安全加密模块，可满足大部分信息安全应用场景。

HK32F41x 内置了 USB On-The-Go 高速（高达 480 Mbps）设备/主机/OTG 外设。USB OTG HS 支持全速和高速操作。它集成了高速操作（480 Mbps）的收发器，并具有用于高速操作的 UTMI 低引脚接口（ULPI）。

HK32F417 系列通过符合 IEEE-802.3-2002 标准的介质访问控制器（MAC），提供了用于以太网局域网通信的工业标准介质独立接口（MII）或缩减介质独立接口（RMII）。

HK32F41x 工作于 -40°C ~ +105°C 的温度范围，供电电压 1.8V ~ 3.6V，可满足绝大部分应用环境条件的要求。HK32F41x 支持丰富的功耗模式。

HK32F41x 产品包括 64 脚、100 脚和 144 脚封装形式；根据不同的封装形式，器件的外设配置有所不同。

由于拥有丰富的外设配置，HK32F41x 可适用于多种应用场景：

- 工业应用，如可编程控制器、打印机、扫描仪等
- HMI 人机音视频多媒体交互
- 图形显示设备，如广告显示
- 语音识别设备
- 安全监控设备
- 电机驱动和调速控制
- 物联网低功耗传感器终端，如运动手环等
- 无人机飞控、云台控制
- 玩具产品
- 家用电器

- 智能机器人
- 智能手表

2.1 产品特性

- ARM® Cortex®-M4 Core
 - 最高时钟频率：168 MHz
 - 24 位 System Tick 计时器
- 工作温度范围：-40°C ~ 105°C
- 工作电压范围
 - 双电源域：主电源 V_{DD} 为 1.8 V ~ 3.6 V、备份电源 V_{BAT} 为 1.8 V ~ 3.6 V。
 - 当主电源掉电时，RTC 模块可继续工作在 V_{BAT} 电源下。
 - 当主电源掉电时， V_{BAT} 电源为 80 Byte 备份寄存器供电。
- V_{DD} 典型工作电流
 - 运行（Run）模式：18.04mA@168MHz；2.63mA@16MHz
 - 睡眠（Sleep）模式：12.04mA@168MHz；2.08mA@16MHz
 - 停机（Stop）模式：
 - Stop_MR：1.03mA
 - Stop_LP-FPD：9.34mA
- 存储器
 - Flash 存储器包括最高 1 Mbyte 的主区 Flash，30 Kbyte 的信息块。
 - 当 CPU 主频不高于 24 MHz 时，支持 0 等待总线周期。
 - Flash 具有代码安全保护功能，可分别设置读保护和写保护。
 - 8 Kbyte CPU 指令 Cache 缓存
 - 1 Kbyte CPU 数据 Cache 缓存
 - 192 Kbyte 片内 SRAM 和 64 Kbyte CCM SRAM
 - 80 Byte 备份寄存器和 4 Kbyte 备份 SRAM
 - FSMC 模块可外挂 1 Gbyte NOR/PSRAM/NAND/PC Card 存储器（其中，256 Mbyte 的空间可以存放指令，可用于片内 Cache 缓存）。
 - QSPI 模块可外挂 256 Mbyte NOR Flash 存储器（可存放指令，可用于片内 Cache 缓存）。
 - 内置指令加解密功能，放在片内存储器和外挂存储器的指令可实现千芯千面的密文存储。
- 时钟
 - 外部 HSE：4 ~ 32 MHz
 - 外部 LSE：32.768 kHz
 - 片内 HSI 时钟：64 MHz/16 MHz/8 MHz
 - 片内 LSI 时钟：32 kHz
 - PLL 输出时钟：168 MHz（最大值）
 - GPIO 外部输入时钟：1~42 MHz
- 复位
 - 外部管脚复位
 - 电源复位

- 软件复位
- 看门狗（IWDG 和 WWDG）定时器复位
- 低功耗管理复位
- 可编程电压检测（PVD）
 - 8 级检测电压门限可调
 - 上升沿和下降沿检测可配置
- 通用输入输出端口（GPIO）
 - 64 脚封装 MCU 提供 51 个 GPIO 引脚，100 脚封装 MCU 提供 82 个 GPIO 引脚，144 脚封装 MCU 提供 114 个 GPIO 引脚
 - 所有 GPIO 引脚可配置为外部中断输入
 - 内置可开关的上、下拉电阻
 - 支持开漏（Open-Drain）输出
 - 支持施密特（Schmitt）迟滞输入
 - 输出驱动能力超高、高、中、低四挡可选
 - 提供最高 30 mA 驱动电流
- 数据通讯接口
 - 4 个 USART
 - 最多 6 个 UART
 - 3 个 SPI（均支持 I2S 协议）
 - 3 个 I2C
 - 1 个 SDIO
 - 2 个 CAN（均支持 2.0A 和 2.0B 协议）
 - 1 个 QSPI
 - 1 个 USB OTG HS
 - 1 个以太网接口（仅 HK32F417 系列支持）
- 音视频数据接口
 - 1 个数字照相机接口（DCMI）
 - 4 路 TFT 接口
- 定时器
 - 2 个高级定时器：TIM1/TIM8
 - TIM1/TIM8 具有刹车功能和 4 路 PWM 输出，其中 3 路带死区互补输出
 - 10 个通用定时器：TIM2~5 和 TIM9~14
 - 8 个 16 位通用定时器：TIM3~4 和 TIM9~14
 - 2 个 32 位通用定时器：TIM2/TIM5
 - 2 个基本定时器：TIM6/TIM7
 - 支持 CPU 中断、DMA 请求和 DAC 转换触发
- 红外遥控接口：配合红外 LED 使用，可实现远程遥控功能。
- DMA 控制器
 - 2 个通用双端口 DMA：DMA1 和 DMA2
 - 每个 DMA 具有 8 个数据流，每个数据流有多达 8 个通道

- 支持 Timer、ADC、DAC、SPI、I2C、USART、UART 等多种外设触发。
- RTC 时钟计数器，配合软件记录年月日时分秒
- 片内模拟外设
 - 3 个 12 位 2 MSPS ADC（单个 ADC 最多可支持高达 19 个通道；可测量 16 个外部信号源，2 个内部信号源和 VBAT 通道的信号）。支持三 ADC 模式，采样率最高 6 MSPS。
 - 2 个 12 位 DAC
 - 1 个温度传感器
 - 1 个内部参考电压源
 - 1 个 V_{BAT} 电源电阻分压器（分压器输出在片内与 ADC 相连，实现 V_{BAT} 电源电压监控）
- ID 标识
 - 每颗芯片提供一个唯一的 96 位 ID 标识
- 调试及跟踪接口
 - SW-DP 两线调试端口
 - JTAG 五线调试端口
 - ARM DWT、FPB、ITM、TPIU 调试追踪模块
 - 单线异步跟踪数据输出接口（TRACESWO）
 - 四线同步跟踪数据输出接口（TRACED[3:0]，TRACECK）
 - 自定义 DBGMCU 调试控制器（低功耗模式仿真控制、调试外设时钟控制、调试及跟踪接口分配）。
- 可靠性
 - 通过 CDM 1750V/LU 200mA/HBM 3500V 等级测试

2.2 器件一览表

表 2-1 HK32F41x 芯片特性

产品特性		HK32F417Z GT7	HK32F417 VGT7	HK32F417 RGT7	HK32F417Z ET7	HK32F417 VET7	HK32F417 RET7	HK32F415Z GT7	HK32F415 VGT7	HK32F415 RGT7	HK32F415Z ET7	HK32F415 VET7	HK32F415 RET7
GPIO		114	82	51	114	82	51	114	82	51	114	82	51
封装		LQFP144	LQFP100	LQFP64	LQFP144	LQFP100	LQFP64	LQFP144	LQFP100	LQFP64	LQFP144	LQFP100	LQFP64
工作电压		1.8 V ~ 3.6 V											
备份电源		1.8 V ~ 3.6 V											
工作温度		-40℃ ~ +105℃											
存储器	主 Flash (Kbyte)	1024	1024	1024	512	512	512	1024	1024	1024	512	512	512
	信息区	30 Kbyte											
	SRAM+CCM SRAM	192 Kbyte +64 Kbyte											
	备份寄存器+BKP SRAM	80 Byte +4Kbyte											
CPU	内核	Cortex®-M4											
	工作频率	168MHz											
Cache	I-Cache	8Kbyte											
	D-Cache	1Kbyte											
DMA (stream 数)		DMA1 (8) +DMA2 (8)											
CRC		1											
存储 接口	FSMC	1	1	0	1	1	0	1	1	0	1	1	0
	TFT	1 (4 路)	1 (4 路)	0	1 (4 路)	1 (4 路)	0	1 (4 路)	1 (4 路)	0	1 (4 路)	1 (4 路)	0
	SDIO	1											
	QSPI	1											
时钟	内部 LSI	32 kHz											

产品特性		HK32F417Z GT7	HK32F417 VGT7	HK32F417 RGT7	HK32F417Z ET7	HK32F417 VET7	HK32F417 RET7	HK32F415Z GT7	HK32F415 VGT7	HK32F415 RGT7	HK32F415Z ET7	HK32F415 VET7	HK32F415 RET7
	内部 HSI	8/16/64 MHz											
	PLL 输出时钟	168 MHz											
	外部 HSE	4~32 MHz											
	外部 LSE	32.768 kHz											
定时器	高级定时器 (16 位)	2 个: TIM1/TIM8											
	通用定时器 (16 位)	8 个: TIM3/TIM4 和 TIM9~TIM14											
	通用定时器 (32 位)	2 个: TIM2/TIM5											
	基本定时器 (16 位)	2 个: TIM6/TIM7											
	System Tick 定时器	1											
	RTC	支持											
	独立看门狗 (IWDG)	支持											
	窗口看门狗 (WWDG)	支持											
红外遥控接口 (IRTIM)		支持											
外设 通讯	USART	4											
	UART	6	6	3	6	6	3	6	6	3	6	6	3
	I2C	3											
	SPI/I2S	3/3											
	CAN	2											
	USB OTG HS	1											

产品特性		HK32F417Z GT7	HK32F417 VGT7	HK32F417 RGT7	HK32F417Z ET7	HK32F417 VET7	HK32F417 RET7	HK32F415Z GT7	HK32F415 VGT7	HK32F415 RGT7	HK32F415Z ET7	HK32F415 VET7	HK32F415 RET7
	Ethernet	1	1	1	1	1	1	0	0	0	0	0	0
音视频接口	DCMI	1											
ADC	ADC 个数（外部通道数）	ADC1(16)+ ADC2(16)+ ADC3(16)	ADC1(16)+ ADC2(16)+ ADC3(8)	ADC1(16)+ ADC2(16)+ ADC3(8)	ADC1(16)+ ADC2(16)+ ADC3(16)	ADC1(16)+ ADC2(16)+ ADC3(8)	ADC1(16)+ ADC2(16)+ ADC3(8)	ADC1(16)+ ADC2(16)+ ADC3(16)	ADC1(16)+ ADC2(16)+ ADC3(8)	ADC1(16)+ ADC2(16)+ ADC3(8)	ADC1(16)+ ADC2(16)+ ADC3(16)	ADC1(16)+ ADC2(16)+ ADC3(8)	ADC1(16)+ ADC2(16)+ ADC3(8)
	ADC 采样速率（12-bit）	2MSPS											
	ADC 精度	12 位											
	差分模式	支持											
	温度传感器	1											
	VBAT 分压	支持											
DAC		2											
可编程电压检测（PVD）		1											
TRNG		1											
AES		1											
Hash		1											
96 位 UID		支持											

3 功能介绍

3.1 结构框图

HK32F41x 内置 Cortex®-M4 内核，与 ARM 工具和软件兼容。ARM® Cortex®-M4 处理器是嵌入式 32 位 RISC 处理器，Cortex-M4 核心支持单精度浮点运算单元（FPU），支持所有的 ARM 单精度数据处理指令和数据类型。它是一个高性能、低功耗的 MCU 平台，能提供卓越的计算性能和先进的中断系统响应。

以 HK32F417ZGT7 为例，说明 HK32F41x 的系统框图如下：

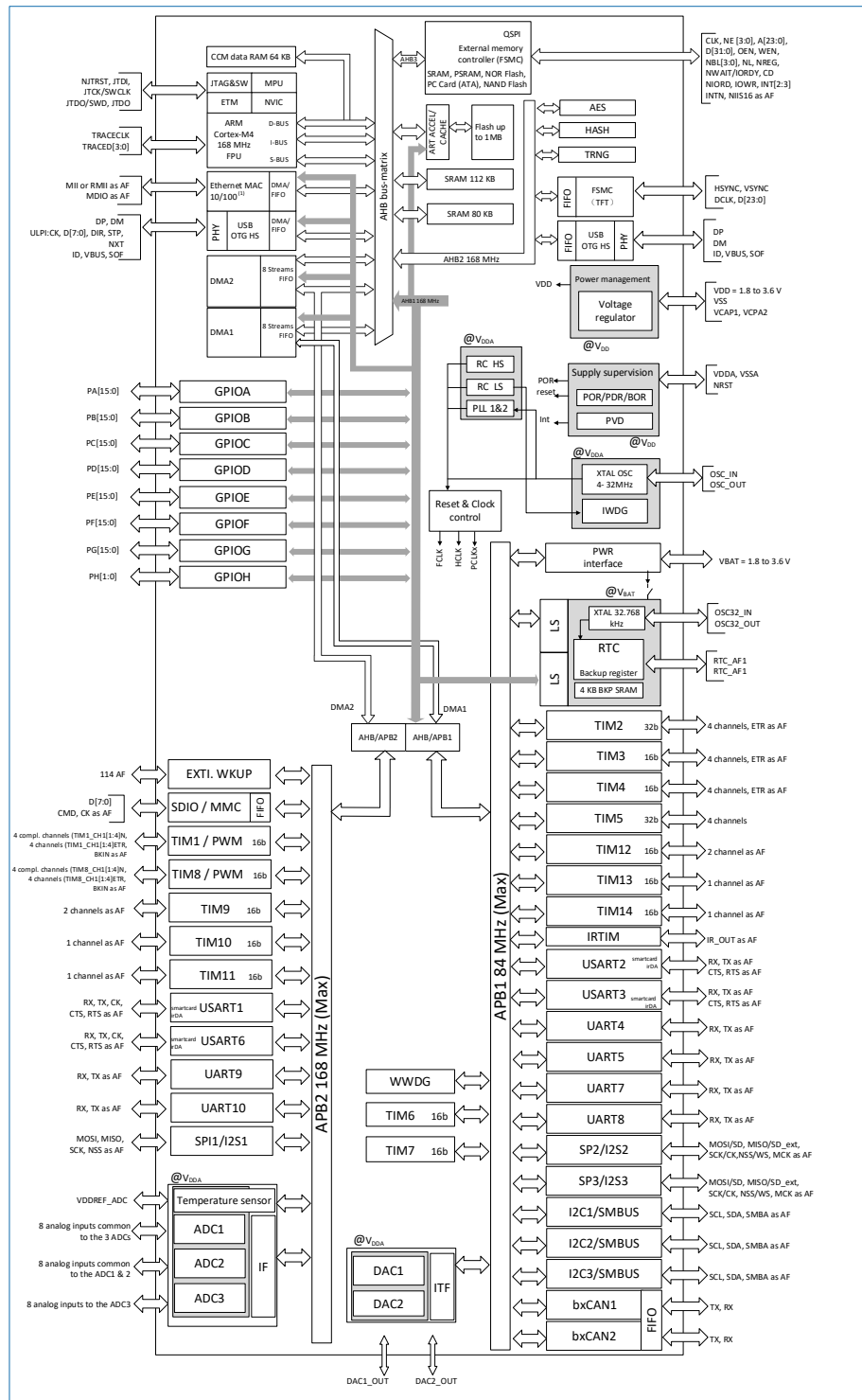


图 3-1 HK32F41x 系统框图

HK32F415 系列不支持以太网（Ethernet）功能。

(2). HK32F415 及 HK32F417 系列的 FSMC 均不支持 PC card 设备。

3.2 存储器

3.2.1 Flash

HK32F41x 设备内置了最高 1 Mbyte 的 Flash 存储器，可用于存储程序和数据，另外还有 512Byte 的 OTP 存储器。

HK32F41x 系列的 Flash 结构，参见下表：

表 3-1 Flash 特性

型号	主 Flash(Kbyte)	信息块(Kbyte) ⁽¹⁾	总存储空间(Kbyte)
HK32F417xGT7 (x= R,V,Z)	1024	30	1054
HK32F415xGT7 (x= R,V,Z)	1024	30	1054
HK32F417xET7 (x= R,V,Z)	512	30	542
HK32F415xET7 (x= R,V,Z)	512	30	542

(1). 信息块包含选项字节，系统存储区以及保留区。

- 主 Flash 块分成多个 sector，每个 sector 大小参考该系列对应的用户手册。
- 32 位读位宽
- 支持字节、半字、字和双字编程
- 支持 Flash 读/写保护访问控制
- 集成 Flash 加解密模块，支持 Flash 指令自动加解密，保护片内软件知识产权（IP）。

3.2.2 SRAM

- 高达 256 Kbyte 的系统 SRAM，其中包括 64 Kbyte 的 CCM（核耦合存储器）数据 SRAM。SRAM 存储器以 CPU 时钟速度访问（读/写），不需要等待状态。
- 80 Byte BKP 寄存器 + 4 Kbyte 的备用 SRAM：此区域仅可由 CPU 访问。其内容受到可能的非预期写访问的保护，内容在待机或 VBAT 模式下不丢失。

3.2.2.1 CCM RAM

内部集成 64 Kbyte 内核耦合存储器（CCM SRAM），逻辑地址空间为：0x1000 0000 ~ 0x1000 FFFF。CCM SRAM 可按字、半字和字节方式进行读写访问，可被 I-BUS、D-BUS 访问。

3.3 存储器映射

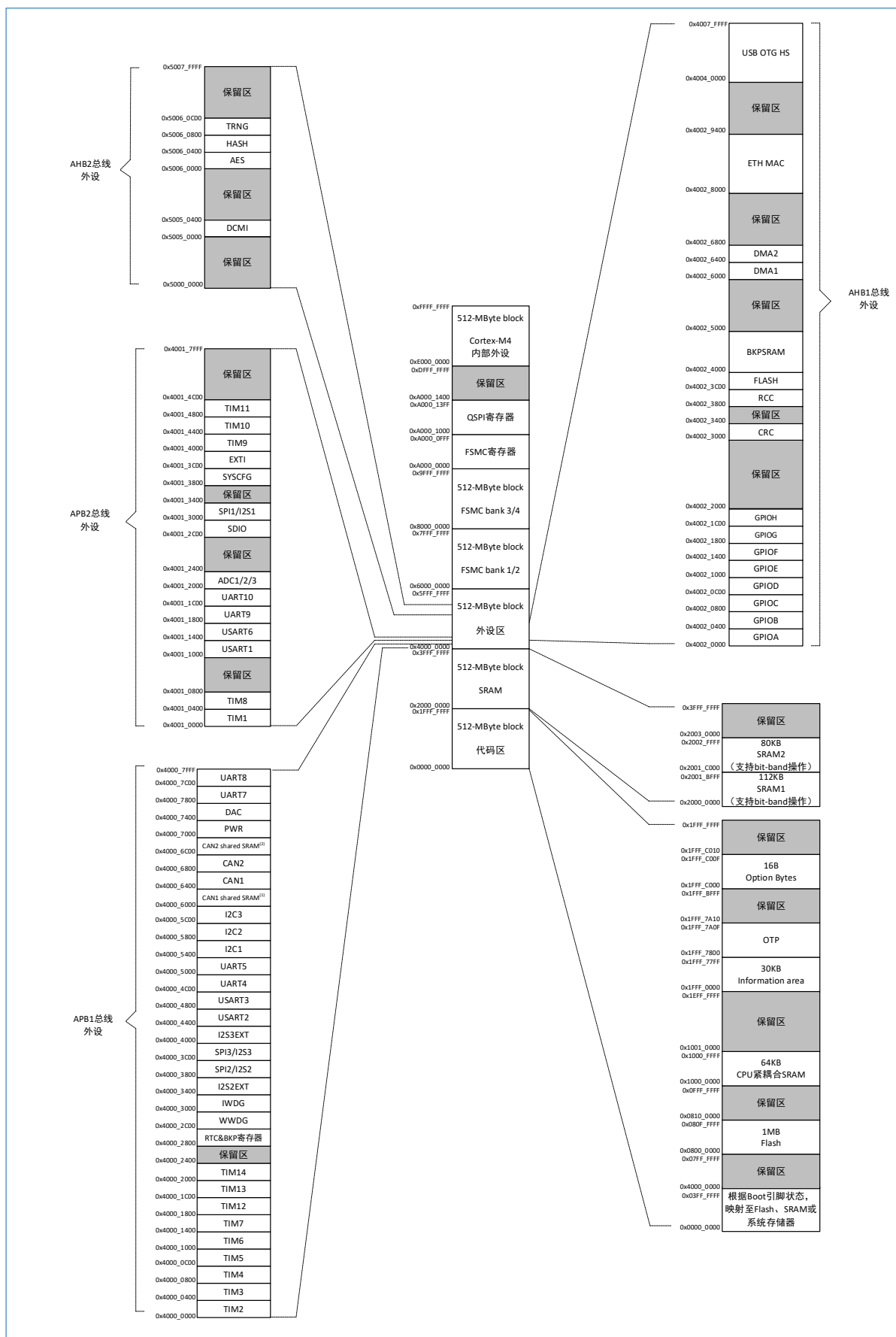


图 3-2 存储器映射

- 图 3-2 的说明:

- (1). CAN1 shared SRAM 的实际可用空间为 512byte, 其地址范围为: 0x4000 6000~0x4000 61FF。
- (2). CAN2 shared SRAM 的实际可用空间为 512byte, 其地址范围为: 0x4000 6C00~0x4000 6DFF。

3.4 缓存器 (Cache)

内部集成 8Kbyte 高速指令缓存, 用于缓存 CM4 指令。

- 使用 8 路组相联方式。
- Cache 使用“最近最少使用”替换策略。
- 内置 Cache 指令访问命中次数计数器, 方便用户统计 Cache 命中率。
- 通过 Cache 控制寄存器 (FLASH_CACHE_CTRL) 选择缓存哪种指令 (Cache 可以缓存以下三种取指操作的数据)。同一时刻只能使能缓存一种取指访问数据。
 - I-Bus 从片内 Flash 取指
 - SYS-Bus 通过 QSPI 从外部 Flash 取指
 - SYS-Bus 通过 FSMC 从外部 Flash 取指

3.5 循环冗余校验计算单元 (CRC)

循环冗余校验 (Cyclic Redundancy Check, CRC) 用于验证数据传输或数据存储的完整性。器件内部集成了一个独立的 CRC 硬件计算单元。它使用多项式发生器从一个 8 位/16 位/32 位的数据字中产生 CRC 码。

CRC 计算单元在运行期间计算出软件的签名, 并将其和链接时所产生并存储于指定存储地址的参考签名进行比较。

3.6 灵活静态存储控制器 (FSMC)

- 支持 1 Gbyte 外部静态存储器, 支持类型包括:
 - 静态随机访问存储器 (SRAM)
 - 只读存储器 (ROM)
 - NOR Flash
 - PSRAM (4 个存储器块)
- 两个 NAND Flash 块, 支持最多 8 Kbyte 数据的硬件 ECC 校验。
- 一个 16 位的 PC 卡接口 (HK32F415 及 HK32F417 系列的 FSMC 均不支持 PC card 设备)
- 支持对同步器件的突发 (Burst) 访问模式, 例如 NOR Flash 和 PSRAM。
- 8 或 16 位数据总线
- 每一个存储器块都有独立的片选控制。
- 每一个存储器块都可以独立配置。
- 使用 PSRAM 和 SRAM 器件时, 支持写使能和字节选择输出。
- 将 32 位宽 AHB 事务转换成连续的 16 位/8 位, 访问 16 位/8 位的外部设备。
- 2 个字的写 FIFO (每个字为 32 位宽), 允许在写入较慢存储器时释放 AHB 进行其它操作。在开始一次新的 FSMC 操作前, FIFO 要先被清空。FSMC 将插入等待周期直到当前的存储器访问完成。
- 支持外部存储器的异步等待控制逻辑。
- 支持对 16 位外部存储器进行写数据加密和读数据解密。
- 支持 Intel 8080 模式和 Motorola 6800 模式, 可以灵活与各种 LCD 控制器连接。

3.6.1 TFT LCD 接口

TFT LCD 接口属于 FSMC 接口的一部分，它可以直接驱动液晶屏。TFT LCD 接口和 FSMC 其它功能，同一时间仅能择一使用。通过 FSMC 接口可以驱动 4 个 TFT LCD 面板（RGB565 格式：5 位红色、6 位绿色和 5 位蓝色），包括 4 个面板对应的 4 个行同步、4 个列同步和 4 个数据有效指示信号。

3.7 中断与事件（NVIC&EXTI）

3.7.1 NVIC

内置嵌套向量中断控制器（NVIC），该模块以最小的中断延迟提供灵活的中断管理功能。

- 紧耦合的 NVIC 能够实现低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销。

共支持 85 个可屏蔽中断通道（不包含 16 个 Cortex®-M4F 的中断线）。

3.7.2 EXTI

扩展中断及事件控制器（EXTI）负责管理内、外中断和事件：向 CPU 输出事件请求，向中断控制器输出中断请求，向电源控制模块输出唤醒请求。

根据中断/事件触发沿是否可配置，可将 EXTI 分为两类：触发沿可配 EXTI（简称可配 EXTI）和触发沿固定 EXTI（简称固定 EXTI）。

可配 EXTI 特性：

- 可选择上升沿或（和）下降沿触发。
- 拥有挂起状态寄存器以记录中断状态。
- 可通过设置软件中断事件寄存器 EXTI_SWIER 来模拟生成中断/事件。

固定 EXTI 特性：

- 采用上升沿触发。
- 仅工作在停机模式，用于从停机模式唤醒内核。
- 挂起状态寄存器中无法查询固定 EXTI 中断状态，需由对应 IP 提供。

EXTI 管理多达 23 个用于产生事件/中断请求的边沿检测器。每条输入线的中断或事件均可独立屏蔽。

3.7.2.1 主要特性

EXTI 控制器的主要特性如下：

- 支持多达 23 个事件/中断请求
 - 22 根可配置 EXTI 线
 - 触发沿上升沿或（和）下降沿可选
 - 有专用的中断状态位标记
 - 可通过软件方式触发中断、事件
 - 1 根固定 EXTI 线

- 每根中断/事件线都可单独被触发和屏蔽
- 检测脉冲宽度低于 APB2 时钟宽度的外部信号

3.8 复位 (Reset)

芯片支持三种复位：系统复位、电源复位、备份域复位。

3.8.1 系统复位

除了时钟控制寄存器 CSR 中的复位标志和备份域中的寄存器外，系统复位会将其它全部寄存器都复位为复位值。

只要发生以下事件之一，就会产生系统复位：

- NRST 引脚低电平（外部复位）
- 窗口看门狗计数结束（WWDG 复位）
- 独立看门狗计数结束（IWDG 复位）
- 软件复位（SW 复位）
- 低功耗管理复位

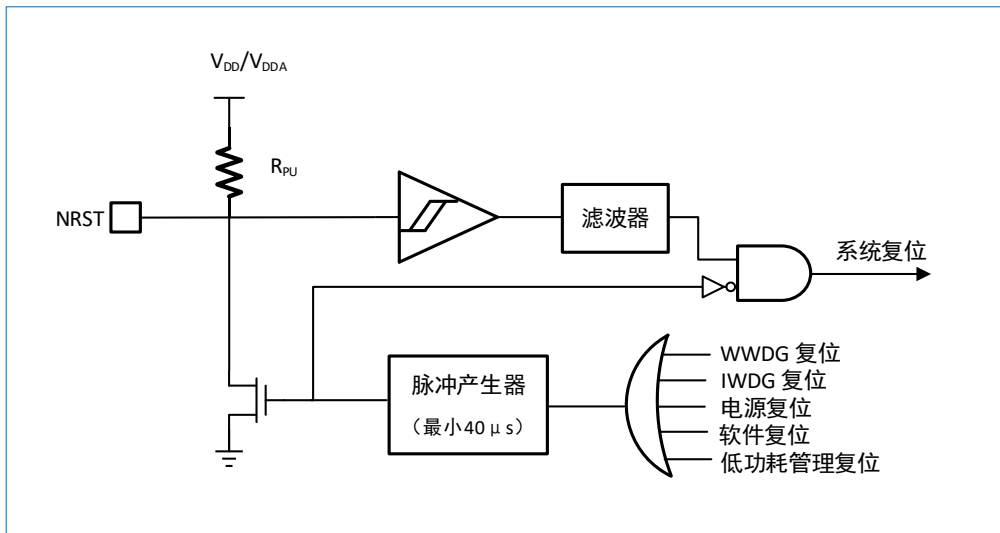


图 3-3 复位电路

如图 3-3 所示，这些复位源均作用于 NRST 引脚，该引脚在复位过程中始终保持低电平。RESET 复位入口向量在存储器映射中固定在地址 0x0000_0004。

芯片内部的复位信号会在 NRST 引脚上输出。脉冲发生器用于保证最短复位脉冲持续时间，可确保每个内部复位源的复位脉冲都至少持续 40μs。对于外部复位，在 NRST 引脚处于低电平时产生复位脉冲。

软件复位

可通过查看 RCC 时钟控制和状态寄存器（RCC_CSR）中的复位标志确定。

要对器件进行软件复位，必须将 Cortex™-M4F 应用中断和复位控制寄存器中的 SYSRESETREQ 位置 1。有关详细信息，请参见 Cortex™-M4F 技术参考手册。

低功耗管理复位

引发低功耗管理复位的方式有两种：

- 进入待机模式时产生复位：

此复位的使能方式是清零用户选项字节中的 nRST_STDBY 位。使能后，只要成功执行进入待机模式序列，器件就将复位，而非进入待机模式。

- 进入停机模式时产生复位：

此复位的使能方式是清零用户选项字节中的 `nRST_STOP` 位。使能后，只要成功执行进入停机模式序列，器件就将复位，而非进入停机模式。

3.8.2 电源复位

只要发生以下事件之一，就会产生电源复位：

- 上电/掉电复位（`POR/PDR`）或欠压（`BOR`）复位
- 在退出待机模式时

除备份域内的寄存器以外，电源复位会将其它全部寄存器设置为复位值。

3.8.3 备份域复位

备份域复位会将所有 `RTC` 寄存器和 `RCC_BDCR` 寄存器复位为各自的复位值。`BKP SRAM` 不受此复位影响。`BKP SRAM` 的唯一复位方式是通过 `Flash` 接口将 `Flash` 读保护等级从 1 切换到 0。

只要发生以下事件之一，就会产生备份域复位：

- 软件复位，通过将 `RCC` 备份域控制寄存器（`RCC_BDCR`）中的 `BDRST` 位置 1 触发。
- 在电源 `VDD` 和 `VBAT` 都已掉电后，其中任何一个电源再上电。

备份域这两个特定的复位，仅作用于备份域。

3.9 时钟（Clock）

可以使用四种不同的时钟源来驱动系统时钟（`SYSCLK`）：

- `HSI` 振荡器时钟
- `HSE` 振荡器时钟
- 主 `PLL`（`PLL`）时钟
- `EXTCLK` 外部引脚时钟
- 32kHz 低速内部 `RC`（`LSI RC`）：用于驱动独立看门狗，也可选择提供给 `RTC` 用于停机/待机模式下的自动唤醒。
- 32.768kHz 低速外部晶振（`LSE` 晶振）：用于驱动 `RTC` 时钟（`RTCCLK`）。

对于每个时钟源来说，在未使用时都可单独打开或者关闭，以降低功耗。

系统时钟的选择是在启动时进行，复位时内部 `HSI16` 被选为默认的 `CPU` 时钟，随后可选择外部的 4 ~ 32 MHz 时钟。芯片内部集成 `CSS`（`Clock Security System`）电路，检测 `HSE` 和 `LSE`，且检测的 `HSE` 频率阈值可调。当外部时钟失效时，外部时钟将被隔离，同时产生相应的中断。

芯片也提供 `LSI`、`LSE`、`GPIO` 输入作为时钟源，可以使用 `PLL` 倍频产生所需的时钟，便于产品应用于低功耗、低成本的设计方案。

3.9.1 时钟源

表 3-2 时钟源

HSI 时钟	输出频率：64 MHz/ 16 MHz/ 8 MHz（默认）
HSE 时钟	支持 4 ~ 32 MHz 晶体 支持通过 <code>OSC_IN</code> 外部时钟输入，最高 32 MHz
PLL 时钟	输入时钟频率：2 ~ 80MHz 输出时钟频率：168MHz（最大值）
LSI 时钟	典型值 32 kHz

LSE 时钟	支持 32.768 kHz 晶体 支持通过 OSC32_IN 外部时钟输入 32.768 kHz
GPIO 输入时钟	最高支持输入 42 MHz

3.9.2 时钟树

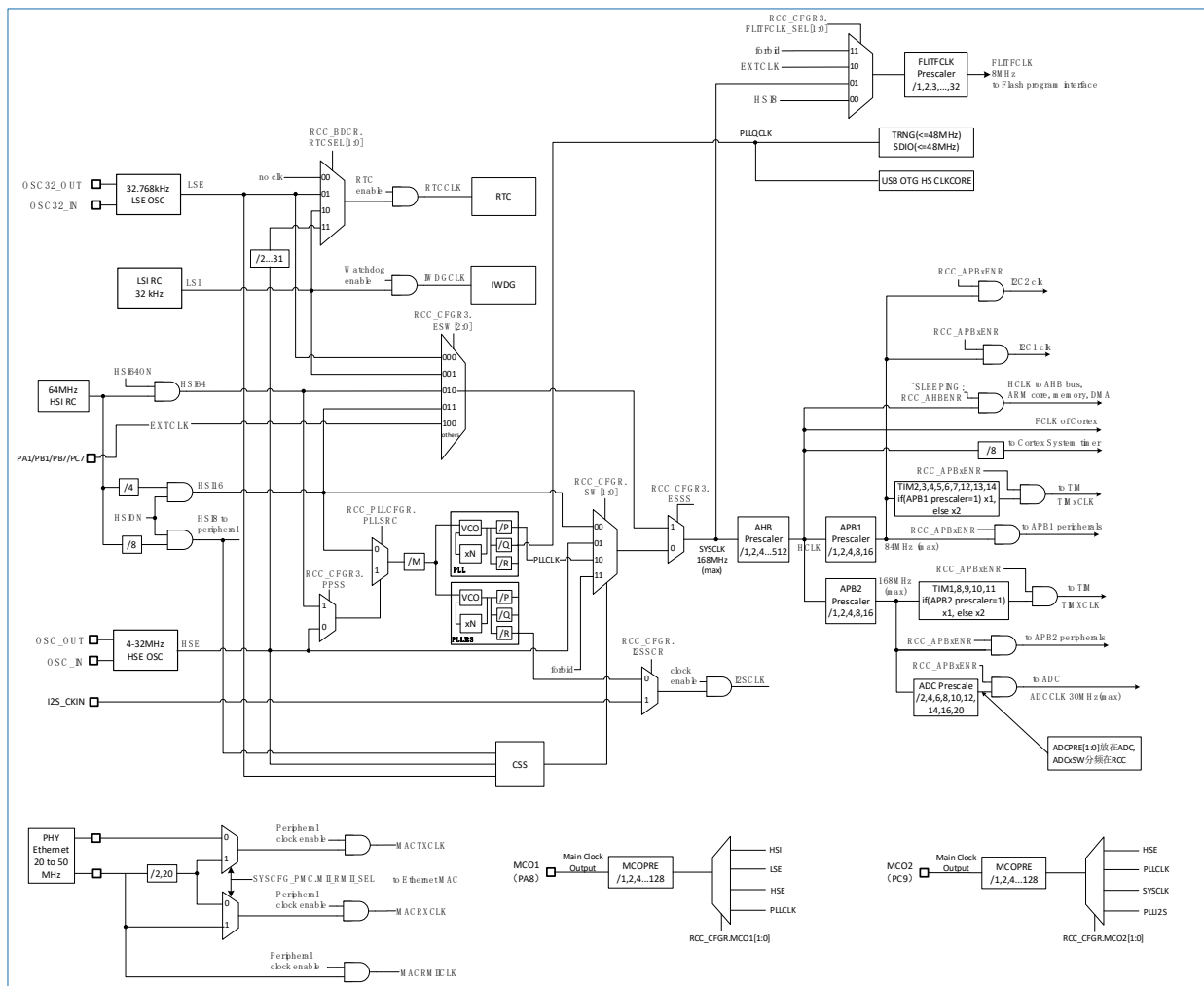


图 3-4 时钟树

可通过多个预分频器配置 AHB 频率、高速 APB (APB2) 和低速 APB (APB1)。AHB 域的最大频率为 168MHz。高速 APB2 域的最大允许频率为 168MHz。低速 APB1 域的最大允许频率为 84MHz。

除以下时钟外，所有外设时钟均由系统时钟 (SYSCLOCK) 提供：

- 来自于特定 PLL 输出 (PLLQCLK) 的 USB OTG HS 时钟 (48MHz)、基于模拟技术的随机数发生器 (TRNG) 时钟 ($\leq 48\text{MHz}$) 和 SDIO 时钟 ($\leq 48\text{MHz}$)。
- I2S 时钟

要实现高品质的音频性能，可通过特定的 PLL (PLL12S) 或映射到 I2S_CKIN 引脚的外部时钟提供 I2S 时钟。

- 由外部 PHY 提供的 USB OTG HS (60MHz) 时钟。
- 由外部 PHY 提供的以太网 MAC 时钟 (TX、RX 和 RMII)。当使用以太网时，AHB 时钟频率至少应为 25MHz。

RCC 向 Cortex 系统定时器 (SysTick) 馈送 8 分频的 AHB 时钟 (HCLK)。SysTick 可使用此时钟作为时钟源，也可使用 HCLK 作为时钟源，具体可在 SysTick 控制和状态寄存器中配置。

定时器时钟频率由硬件自动设置。分为两种情况：

- 如果 APB 预分频器为 1，定时器时钟频率等于 APB 域的频率。
- 否则，等于 APB 域的频率的两倍 ($\times 2$)。

FCLK 充当 Cortex™-M4F 的自由运行时钟。有关详细信息，请参见 Cortex™-M4F 技术参考手册。

3.10 自举模式 (Boot)

在启动时，可以通过配置自举管脚选择以下任一种自举模式：

- 从用户 Flash 自举
- 从系统存储器自举
- 从内部 SRAM 自举

嵌入式自举程序模式用于通过以下串行接口重新编程 Flash：

- USART1 (PA9/PA10)
- USART3 (PB10/PB11 和 PC10/PC11)
- CAN2 (PB5/PB13)
- USB OTG HS (PB14/PB15) 从设备模式 (DFU：器件固件升级)。

3.11 电源控制器 (PWR)

- $V_{DD} = 1.8 \sim 3.6V$ ：为 I/O 管脚和内部 LDO 供电的外部电源。
- $V_{SSA}, V_{DDA} = 1.8 \sim 3.6V$ ：为 ADC、DAC、复位、RC 和 PLL 供电的外部模拟电源。
- $V_{BAT} = 1.8 \sim 3.6V$ ：当关闭 V_{DD} 时，内部电源切换电路并通过 V_{BAT} 为 RTC、外部 32 kHz 振荡器和备份寄存器供电。

详细的供电方案，请参见图 5-1。

注意：

- (1). 器件处于低温时，搭配外部电压监测模块， V_{DD} 和 V_{DDA} 的最小电压值可以降低为 1.7V。
- (2). 为确保内部模拟电路工作正常， V_{DDA} 需在 V_{DD} 上电完成后 2ms 内达到稳定。

3.11.1 电源监控器

- 内部复位开启

LQFP144 封装芯片具有 PDR_ON 引脚，将 PDR_ON 接高电平则使能电源监视功能。在其他封装芯片中无 PDR_ON 引脚，电源监视功能始终处于使能状态。

器件集成了上电复位 (POR)/掉电复位 (PDR) 电路、内核电压欠压检测 (LVDL) 电路、以及欠压复位 (BOR) 电路。在上电时，POR/PDR 始终处于激活状态，并确保芯片从 1.8 V 开始正常工作。在达到 1.8 V POR 阈值水平后，选项字节加载过程开始，BOR 阈值 (含禁用 BOR) 也在此时被加载。BOR 阈值通过选项字节提供。当 V_{DD} 低于指定的阈值 $V_{POR/PDR}$ 或 V_{BOR} 时，器件将保持复位，无需外部复位电路。

该器件支持内核电压欠压检测 (LVDL) 功能，用于检测 CPU 内核电压 (V_{CPU_CORE}) 是否低于阈值电压 (V_{LDVL})，若低于设定阈值，则产生系统复位。该功能默认禁止，可以通过软件开启该功能，欠压检测阈值 (V_{LDVL}) 亦可通过软件配置。

器件还内嵌了可编程电压检测器 (PVD)，用于监视 V_{DD}/V_{DDA} 电源并将其与 V_{PVD} 阈值进行比较。当 V_{DD}/V_{DDA} 低于 V_{PVD} 阈值和/或高于 V_{PVD} 阈值时，可以生成中断。中断服务程序可以生成警告消息和/或将 MCU 置于安全状态。PVD 由软件启用。

- 内部复位关闭

此功能仅适用于具有 PDR_ON 引脚的芯片 (LQFP144 封装)。将 PDR_ON 引脚拉低，将禁能内部上电

复位（POR）/掉电复位（PDR）电路。外部电源供电监视器监视 V_{DD} ，并在 V_{DD} 低于指定阈值时保持设备处于复位模式。PDR_ON 应连接到此外部电源供电监视器。请参见图 3-5。

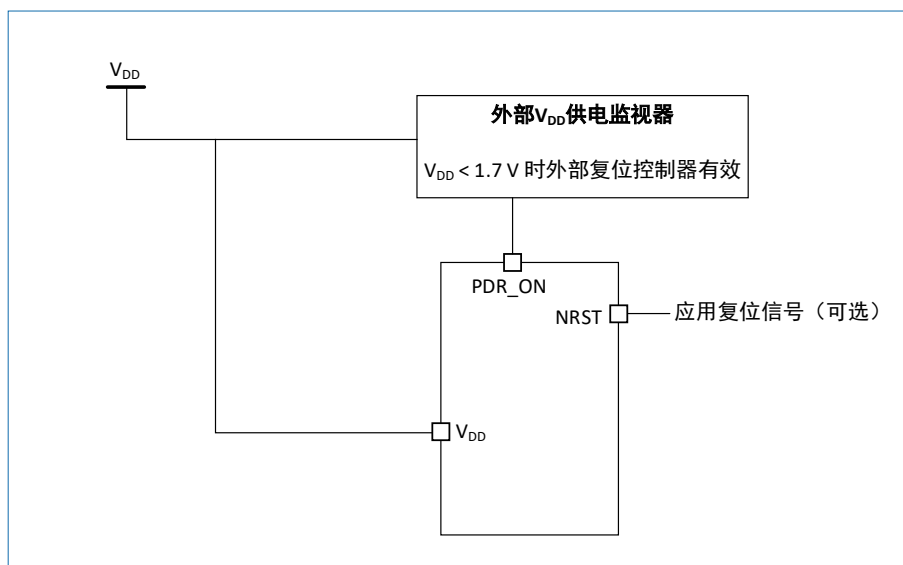


图 3-5 内部复位关闭时的电源供电监视器内部连接

该芯片支持若干省电模式以便支持低功耗应用程序。当内部复位关闭时：

- 内部上电复位（POR）/掉电复位（PDR）电路被禁用

除了 LQFP64 和 LQFP100 之外，所有封装都允许通过 PDR_ON 信号禁用内部复位。

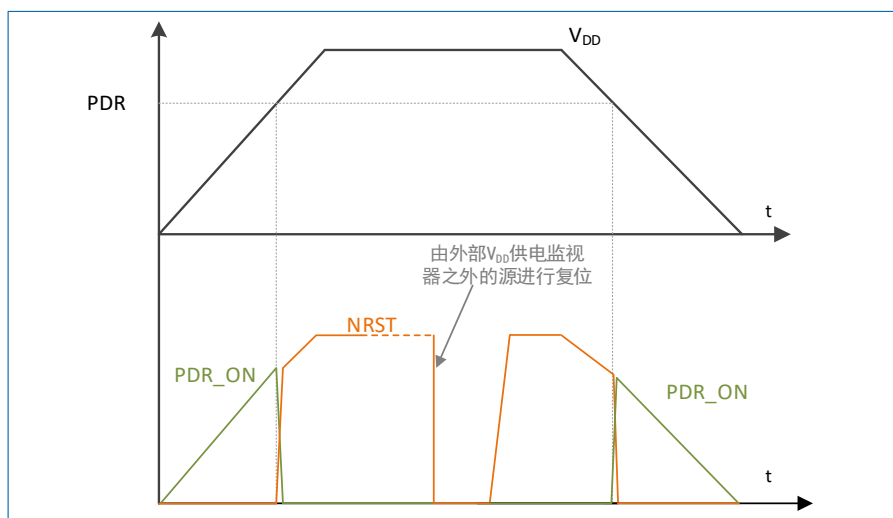


图 3-6 PDR_ON 和 NRST 控制内部复位

表 3-3 电压监控开/关功能对比

封装	内部复位打开	内部复位关闭
LQFP64/LQFP100	支持	不支持
LQFP144	当 PDR_ON = V_{DD} 时，支持	当 PDR_ON 连接外部电压监控时，支持

3.11.2 电压调节器

电压调节器输出电压又称为 CPU LDO 电压（ V_{CPU_LDO} ）或者 CPU 内核电压（ V_{CPU_CORE} ）。

电压调节器始终处于使能状态，可通过软件配置以下功耗模式：

- **主调节器模式（MR）：**用于额定调节模式（在运行时可配置不同的输出电压）
在主调节器模式（MR 模式）中，可以设置不同的输出电压，以在最大频率和动态功耗之间达到最佳平衡。
- **低功耗调节器（LPR）：**用于停机（Stop）模式
在进入 Stop 模式时，低功耗调节器模式由软件配置。
- **掉电模式：**用于待机（Standby）模式
只有在进入待机模式时才会激活掉电模式。调节器输出处于高阻态，内核电路被断电，以达到零功耗。此模式下，寄存器和静态随机存储器（SRAM）的内容将丢失。

3.11.3 VBAT

利用 VBAT 引脚，可从外部电池、外部超级电容器或在没有外部电池和外部超级电容时从 VDD 为设备 VBAT 域供电。

当 VDD 掉电时，通过 VBAT 引脚供电。

VBAT 引脚为 RTC、备份寄存器和备份 SRAM 供电。

注意：

1. 当微控制器由 VBAT 供电时，外部中断和 RTC 报警/事件不会使其退出 VBAT 供电状态。
2. 当 PDR_ON 引脚未连接到 VDD（内部复位关闭）时，VBAT 功能不再可用，VBAT 引脚应连接到 VDD。

3.11.4 低功耗模式

器件支持多种功耗模式，可以在低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

- **睡眠（Sleep）模式**
在睡眠模式下，只有 CPU 停止，所有外设处于工作状态，并可在发生中断/事件时唤醒 CPU。
- **停机（Stop）模式**
在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，所有内部时钟被关闭，PLL、HSI 和 HSE 被关闭。通过任一配置成 EXTI 的信号可把 MCU 从停机模式中唤醒，EXTI 信号源可以由任何一个 EXTI 外部中断线唤醒，详情可参考器件的用户手册。
- **待机（Standby）模式**
在待机模式下，可以达到极低的电能消耗。内部 LDO 被关闭，因此所有内部 V_{CPU_CORE} 供电域的供电被切断；PLL、HSI 和 HSE 的 RC 振荡器也被关闭；进入待机模式后，SRAM 和寄存器的数据将消失，但备份寄存器的数据仍然保留，待机电路仍工作。从待机模式退出的条件是：NRST 上的外部复位信号、IWDG 复位、WKUP 管脚上的一个上升沿或 RTC 闹钟到时。

表 3-4 进入和唤醒低功耗模式

工作模式	进入条件	唤醒条件	内部核电源 时钟状态	V _{DD} 主区域 时钟状态	电压调节 器状态
睡眠模式 (Sleep)	1. 设置 PWR_CR:LPDS=0 和 PWR_CR:PDDS=0。 2. 软件执行 WFI 或设置退出中断时休眠或执行 WFE 指令进入。	1. 若执行 WFI 或设置退出中断时休眠，则由任何一个普通 IRQ 中断事件唤醒。 2. 若由 WFE 进入，则由任意事件唤醒。	CPU 时钟关闭，对其他时钟和 ADC 时钟无影响	开启	开启

工作模式	进入条件	唤醒条件	内部核电源 时钟状态	V _{DD} 主区域 时钟状态	电压调节 器状态
停机模式 (Stop)	1. 设置 PWR_CR:PDDS=0。 2. 设置Cortex-M4 系统控制寄存器的 SLEEPDEEP 位。 3. 软件执行 WFI 或设置退出中断时休眠或执行 WFE 指令进入。	由任何一个 EXTI 外部中断线唤醒。	所有时钟停止	HSI 和 HSE 关闭	开启或者处于低功耗模式（在 PWR_CR 中设置）
待机模式 (Standby)	1. 设置 PWR_CR:LPDS=0 和 PWR_CR:PDDS=1。 2. 设置Cortex-M4 系统控制寄存器的 SLEEPDEEP 位。 3. 清除电源控制/状态寄存器 (PWR_CSR) 中的 WUF 位。 4. 软件执行 WFI 或设置退出中断时休眠或执行 WFE 指令进入。	支持外部唤醒引脚 (WKUPx)、RTC 闹钟唤醒事件, RTC 侵入事件, RTC 时间戳事件, IWDG 复位及 RSTN 管脚复位唤醒。	所有时钟停止	HSI 和 HSE 关闭	关闭

3.12 系统配置 (SYSCFG)

该系列芯片有一组配置寄存器，系统配置控制器的主要功能如下：

- 可执行代码的存储区域的地址重映射。
- 选择以太网 PHY 接口
- EXTI 连接 GPIO 管脚配置
- 管理连接到 GPIO 口的外部中断
- SRAM 奇偶校验管理
- TIM1 刹车信号管理
- TRACE 时钟配置
- DBUS、SYSBUS cache 管理
- AHBL3、AHBL1 桥管理
- PLL VCO 和 ICP 和扩展分频管理
- TIM5_CH4 输入重映射管理

3.13 直接存储访问控制器 (DMA)

器件具有两个通用双端口 DMA (DMA1 和 DMA2)，能够管理内存到内存、外设到内存和内存到外设的数据传输。它们具有用于 APB/AHB 外设的专用 FIFO，并支持突发传输，旨在提供更大的外设带宽 (AHB/APB)。

DMA1 和 DMA2 控制器均支持循环缓冲区管理，当控制器到达缓冲区末尾时，无需特定的代码即可实现缓冲区管理。DMA1 和 DMA2 还具有双缓冲区功能，可以在不需要任何特殊代码的情况下自动使用和切换两个内存缓冲区。

每个 DMA 具有 8 个数据流。每个流连接到专用的硬件 DMA 请求且支持软件触发。通过软件进行配置，源和目的地之间的传输大小是独立的。

DMA 可以与主要外设一起使用：

- SPI 和 I2Sx_ext
- I2C

- USART
- TIMx
- DAC
- SDIO
- DCMI
- ADC

3.14 RTC、BKP RAM 和 BKP 寄存器

备份域包括：

- 实时时钟（RTC）
- 4 Kbyte 的备份 SRAM
- 20 个备份寄存器（80 Byte）

3.14.1 RTC

实时时钟（RTC）是一个独立的 BCD 定时器/计数器。专用寄存器含有秒、分钟、小时（12/24 小时格式）、星期、日、月、年，格式为 BCD（二进制十进数）。系统可以自动将月份的天数调整为 28、29（闰年）、30 和 31 天。RTC 提供了可编程的闹钟和可编程的周期性中断，可从停机和待机模式唤醒。此外，还可提供二进制格式的亚秒值。

实时时钟由 32.768kHz 的外部晶振、谐振器或振荡器、内部低功耗 RC 振荡器或者经分频的高速外部时钟驱动。内部低速 RC 的典型频率为 32kHz。为补偿天然石英的偏差，可通过 512Hz 的外部输出对 RTC 进行校准。

两个闹钟寄存器用于在特定的时间生成闹钟，可单独屏蔽日历字段以比较闹钟。为生成周期性中断，使用了 16 位可编程二进制自动重载递减计数器，可实现从每隔 122 μ s 至每隔 36 小时的自动唤醒和周期性闹钟。

22 位的预分频器用于时间基准时钟。默认情况下，它被配置为从 32.768kHz 时钟生成 1 秒的时间基准。

3.14.2 BKP RAM 和 BKP 寄存器

4Kbyte 的备份 SRAM 为类似 EEPROM 的存储区。它可用于储存 VDD 掉电且 VBAT 供电时和待机模式时需要保留的数据。此存储区默认禁用（禁止备份调压器）以降低功耗。它可由软件启用。20 个备份寄存器为 32 位寄存器，用于在 VDD 电源掉电时存储 80byte 的用户应用数据。备份寄存器不会在系统复位或电源复位时复位，也不会当器件从待机模式唤醒时复位。

3.15 独立看门狗（IWDG）

独立看门狗由一个 LSI 提供时钟，带一个 12 位的递减计数器和一个 8 位预分频器。由于该 RC 振荡器独立于主时钟，所以它可在停机和待机模式下运行。IWDG 用于在发生问题时复位整个系统或作为自由定时器为应用程序提供超时管理。通过选项字节，可将其配置为软件或硬件启动看门狗。在调试模式，该计数器可以被冻结。

通过配置 IWDG_WINR 寄存器，IWDG 可工作在窗口模式。

3.16 窗口看门狗（WWDG）

窗口看门狗带一个 7 位的递减计数器。该计数器可设置成自由运行模式，也可用于在发生问题时复位整个系统。窗口看门狗由主时钟驱动，具有提前预警中断功能。在调试模式，计数器可以被冻结。

3.17 System Tick 定时器

System Tick 定时器专用于操作系统，可作为一个标准的递减计数器，具有下述特性：

- 24 位的递减计数器。
- 重加载功能。
- 当计数器为 0 时，能产生一个可屏蔽中断。
- 可编程时钟源。

3.18 定时器（Timer）

器件包括两个高级控制定时器，10 个通用定时器和两个基本定时器。定时器功能定义如下表所示。

表 3-5 定时器功能定义

类型	定时器名称	计数器分辨率	计数器类型	预分频系数	DMA 请求	紧急刹车输入	捕获/比较通道	互补输出通道
高级定时器	TIM1	16 位	递增、递减、递增/递减	1~65536	有	有	4	3
	TIM8	16 位	递增、递减、递增/递减	1~65536	有	有	4	3
通用定时器	TIM2	32 位	递增、递减、递增/递减	1~2 ³²	有	无	4	无
	TIM3	16 位	递增、递减、递增/递减	1~65536	有	无	4	无
	TIM4	16 位	递增、递减、递增/递减	1~65536	有	无	4	无
	TIM5	32 位	递增、递减、递增/递减	1~2 ³²	有	无	4	无
	TIM9	16 位	递增、递减、递增/递减	1~65536	无	无	2	无
	TIM10	16 位	递增、递减、递增/递减	1~65536	无	无	1	无
	TIM11	16 位	递增、递减、递增/递减	1~65536	无	无	1	无
	TIM12	16 位	递增、递减、递增/递减	1~65536	无	无	2	无
	TIM13	16 位	递增、递减、递增/递减	1~65536	无	无	1	无
	TIM14	16 位	递增、递减、递增/递减	1~65536	无	无	1	无
基本定时器	TIM6	16 位	递增	1~65536	有	无	无	无
	TIM7	16 位	递增	1~65536	有	无	无	无

3.18.1 高级定时器

高级定时器（TIM1 和 TIM8）可作为分配到 6 个通道的三相 PWM 发生器，还可以作为完整的通用定时器。其 4 个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生 PWM（边沿或中央对齐模式）
- 单脉冲输出

其中三个通道提供互补 PWM 输出，带程序可控的死区插入功能。

配置为 16 位 PWM 发生器时，它具有全调制能力（0 ~ 100%）。在调试模式下，计数器可以被冻结。由于高级定时器与通用定时器的很多功能相同，内部结构也相同，因此它也可以通过定时器链接功能与通用定时器协同工作，提供同步或事件链接功能。

高级定时器具有 ADC/DAC 触发功能（TIM1 不触发 DAC）。

高级定时器除了四路外部比较输出通道外，还有两路内部比较输出通道。

3.18.2 通用定时器

TIM2/TIM3/TIM4/TIM5 都有一个 16 位（TIM3/TIM4）或 32 位（TIM2/TIM5）的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道。每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

TIM9/TIM10/TIM11/TIM12/TIM13/TIM14 都有一个 16 位的自动加载递加/递减计数器和一个 16 位的预分频器。TIM9/TIM12 有 2 个独立的通道，TIM10/TIM11/TIM13/TIM14 有 1 个独立的通道。每个通道都可用于输入捕获（仅 TIM9/TIM12 支持 PWM 输入模式）、输出比较、PWM 和单脉冲模式输出。

TIM2/TIM3/TIM4/TIM5 支持定时器链接功能，能与高级定时器和其他通用定时器协同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。

TIM9/TIM12 支持定时器链接功能，能与其他通用定时器协同工作，提供同步或事件链接功能。

任一通用定时器都能用于产生 PWM 输出。TIM2/TIM3/TIM4/TIM5/TIM9/TIM12 有独立的 DMA 请求机制。

任一通用定时器的输入通道都支持上升沿/下降沿/双边沿触发。

TIM2/TIM3/TIM4/TIM5 具有 ADC 触发功能。

TIM2/TIM4/TIM5 具有 DAC 触发功能。

3.18.3 基本定时器

基本定时器是 TIM6 和 TIM7，主要用于产生 DAC 触发信号，也可用作常规的 16 位定时器产生 CPU 中断或发起 DMA 请求。

3.19 红外遥控接口（IRTIM）

HK32F41x 集成了一个红外遥控接口（IRTIM）。IRTIM 需配合红外 LED 使用，可实现远程遥控功能。通过使能 IRTIM 接口（PB9 或 PA13）并配置 TIM2 通道 1（TIM2_CH1）及 TIM3 通道 1（TIM3_CH1），以产生红外遥控信号。

通过配置基本的输入捕获模式，可以很容易地实现红外接收器功能。

3.20 内部集成电路接口（I2C）

器件集成了 3 个 I2C 总线接口。I2C 接口支持主和从模式，也支持标准和快速模式。I2C 接口支持 7

位或 10 位寻址，7 位从模式时支持双从地址寻址。该接口内置了硬件 CRC 发生器/校验器。I2C 接口可以使用 DMA 操作，并支持 SMBus V2.0/PMBus 总线。

3.21 通用同步异步收发器（USART/UART）

该器件内置有四个通用同步/异步收发器（USART1~2、USART3、USART6）和六个通用异步收发器（UART4~5、UART7~10）。

USART1/6 和 UART9/10 接口通信速率可达 10.5 Mbps，USART2/3 和 UART4/5/7/8 接口通信速率可达 5.25 Mbps。所有 USART 都具有硬件的 CTS 和 RTS 信号管理、兼容 ISO7816 的智能卡模式和类 SPI 通信模式，并且支持 DMA 操作。

表 3-6 USART/UART 模式

USART/UART 模式	USART1	USART2	USART3	UART4	UART5	USART6	UART7	UART8	UART9	UART10
异步模式	● ⁽¹⁾	●	●	●	●	●	●	●	●	●
硬件流控制	●	●	●	-(2)	-	●	-	-	-	-
多缓存通讯 (DMA)	●	●	●	●	●	●	●	●	●	●
多处理器通讯	●	●	●	●	●	●	●	●	●	●
同步	●	●	●	-	-	●	-	-	-	-
智能卡	●	●	●	-	-	●	-	-	-	-
半双工（单线模式）	●	●	●	●	●	●	●	●	●	●
IrDA	●	●	●	●	●	●	●	●	●	●
LIN	●	●	●	●	●	●	●	●	●	●

(1) “●”代表支持。

(2) “-”代表不支持。

3.22 串行外设接口（SPI/I2S）

器件集成了 3 个 SPI 接口。在主或从模式下，全双工和半双工的通信速率可达 18 Mbps。3 位的预分频器可产生 8 种主模式频率，可配置成每帧 8 位或 16 位数据。硬件的 CRC 产生/校验支持基本的 SD 卡和 MMC 模式。

所有的 SPI 接口都可以使用 DMA 操作。

3 个 SPI 接口可以工作在 I2S 模式下。这 3 个标准的 I2S 接口可工作于主或从模式，可以配置为 16 位或 32 位数据传输，亦可配置为输入或输出通道。仅 I2S2 和 I2S3 可配置为全双工模式，而 I2S1 不支持全双工模式。支持的音频采样频率范围为 8 kHz 到 192 kHz。当任一 I2S 接口配置为主模式，它的主时钟可以以 256 倍采样频率输出给外部的 DAC 或 CODEC（解码器）。器件还提供两个额外的 I2S，它们称为扩展 I2S（I2S2_ext 和 I2S3_ext），仅用于全双工模式。

3.23 安全数字输入输出接口（SDIO）

SD/SDIO/MMC 主机接口支持 MMC 卡系统规范 4.2 版中的 3 个不同的数据总线模式：

- 1 位（默认）

- 4 位
- 8 位：在 8 位模式下，该接口的数据传输速率可达到 48 MHz，该接口兼容 SD 存储卡规范 2.0 版。

SD 存储卡规范 2.0 版支持两种数据总线模式：1 位（默认）和 4 位。

当前芯片版本只能一次支持一个 SD/SDIO/MMC 4.2 版的卡，但可同时支持多个 MMC 4.1 版及以下的卡。除了 SD/SDIO/MMC，该接口完全与 CE-ATA 数字协议版本 1.1 兼容。

3.24 控制器局域网接口（CAN）

器件拥有 2 个独立的 CAN 接口。CAN 接口兼容规范 2.0A 和 2.0B（主动），波特率高达 1 Mbps。CAN 接口可以接收和发送带 11 位标准标识符和 29 位扩展标识符的报文。每个 CAN 接口具有 3 个发送邮箱和 2 个 3 级深度的接收 FIFO，14 个可调节的滤波器。

3.25 高速 USB 即插即用控制器（USB_OTG_HS）

设备集成了 USB On-The-Go 高速（480 Mbps）设备/主机/OTG 外设。USB OTG HS 支持全速和高速操作。它集成了支持高速操作（480 Mbps）的收发器，并具有用于高速操作（480 Mbps）的 USB 收发器宏单元接口（USB Transceiver Macrocell Interface, UTMI）的低引脚接口（UTMI+ Low Pin Interface, ULPI）。在使用 USB OTG HS 高速模式时，需要连接到 ULPI 的外部 PHY 设备。USB OTG HS 外设符合 USB 2.0 规范和 OTG 1.0 规范。它具有软件可配置的端点设置，并支持挂起/恢复。USB OTG 高速控制器需要一个专用的 48 MHz 时钟，该时钟由 PLL 生成。

其主要特点包括：

- 具有动态 FIFO 大小的 1024 × 35 位的接收和发送 FIFO 的合并
- 6 个双向端点
- 12 个具有周期性 OUT 支持的主机通道
- 内部 HS OTG PHY 支持
- 外部 HS 或 HS OTG 操作支持 SDR 模式下的 ULPI。OTG PHY 通过 12 个信号连接到微控制器 ULPI 端口。可以使用 60 MHz 输出对其进行时钟同步。
- 内部 USB DMA
- 对于 OTG/主机模式，连接总线供电设备时需要一个电源开关。

3.26 以太网（ETH）

仅 HK32F417 系列支持以太网功能。器件通过符合 IEEE-802.3-2002 标准的介质访问控制器（MAC），提供了用于以太网局域网通信的工业标准介质独立接口（MII）或缩减介质独立接口（RMII）。器件需要外部物理接口设备（PHY）才能连接到物理局域网总线（双绞线、光纤等）。PHY 通过 17 个信号（用于 MII）或 9 个信号（用于 RMII）连接到 HK32F417 的 MII 端口，并可以使用 HK32F417 的 25 MHz 时钟进行同步。

HK32F417 包括以下功能：

- 支持 10/100 Mbps 速率
- 专用 DMA 控制器，允许在专用 SRAM 和描述符之间进行高速传输（详见器件用户手册）。
- 支持标记的 MAC 帧（VLAN 支持）
- 半双工（CSMA/CD）和全双工操作
- MAC 控制子层（控制帧）支持
- 32 位 CRC 生成和去除
- 多种地址过滤模式，用于物理和多播地址（多播和组地址）。

- 每个发送或接收的帧都有 32 位状态码。
- 内部 FIFO 用于缓冲发送和接收帧。发送 FIFO 和接收 FIFO 均为 2Kbyte。
- 支持与 IEEE 1588 2008 (PTP V2) 一致的硬件 PTP (精确时间协议)，时间戳比较器连接到 TIM2 输入。
- 当系统时间大于目标时间时触发中断。

3.27 数字相机接口 (DCMI)

DCMI 通过同步并行数字接口，接收片外 CMOS 相机模块发送的高速图像视频数据。DCMI 具备以下特点：

- 支持多种数据格式：YCbCr4:2:2/RGB565 视频数据和 JPEG 压缩数据。
- 并行接口位宽可配置为 8 位、10 位、12 位或 14 位
- 像素时钟和同步信号的极性可配
- 支持连续帧采样或单帧采样
- 支持图像自动裁剪
- 支持跳帧、跳行和跳像素点采样
- 8 个字 (word) 深度数据接收 FIFO

3.28 通用输入输出 (GPIO)

每个 GPIO 管脚都可以由软件配置成输出 (推挽或开漏)、输入 (浮空输入、上拉输入或下拉输入) 或其它的外设功能端口。多数 GPIO 管脚都由数字或模拟的外设共用。所有的 GPIO 管脚都有大电流通过能力。I/O 管脚的外设功能可以按需锁定，以避免意外写入 I/O 寄存器。

3.29 模拟数字转换器 (ADC)

内嵌 3 个 12 位的模拟/数字转换器 (ADC)，每个 ADC 最多支持 16 个外部通道，以单次或扫描模式进行转换。在扫描模式下，在选定的一组模拟输入上的转换将自动进行。

ADC 接口上额外的逻辑功能包括：

- 同时采样和保持
- 交叉采样和保持

ADC 可以使用 DMA 操作。模拟看门狗能非常精准地监视一路、多路或所有选中的通道。当转换电压超出编程的阈值时，将生成中断。为了同步 A/D 转换和定时器，ADC 可以由 TIM1、TIM2、TIM3、TIM4、TIM5 或 TIM8 定时器中的任何一个触发。

ADC 通道与 PIN 脚对应表：

表 3-7 ADC 通道与对应的引脚

外部通道	外部引脚	ADC1 通道	ADC2 通道	ADC3 通道
通道 0	PA0	ADC1_IN0	ADC2_IN0	ADC3_IN0
通道 1	PA1	ADC1_IN1	ADC2_IN1	ADC3_IN1
通道 2	PA2	ADC1_IN2	ADC2_IN2	ADC3_IN2
通道 3	PA3	ADC1_IN3	ADC2_IN3	ADC3_IN3
通道 4	PA4	ADC1_IN4	ADC2_IN4	-

外部通道	外部引脚	ADC1 通道	ADC2 通道	ADC3 通道
通道 5	PA5	ADC1_IN5	ADC2_IN5	-
通道 6	PA6	ADC1_IN6	ADC2_IN6	-
通道 7	PA7	ADC1_IN7	ADC2_IN7	-
通道 8	PB0	ADC1_IN8	ADC2_IN8	-
通道 9	PB1	ADC1_IN9	ADC2_IN9	VSS
通道 10	PC0	ADC1_IN10	ADC2_IN10	ADC3_IN10
通道 11	PC1	ADC1_IN11	ADC2_IN11	ADC3_IN11
通道 12	PC2	ADC1_IN12	ADC2_IN12	ADC3_IN12
通道 13	PC3	ADC1_IN13	ADC2_IN13	ADC3_IN13
通道 14	PC4	ADC1_IN14	ADC2_IN14	VSS
通道 15	PC5	ADC1_IN15	ADC2_IN15	VSS
通道 4'	PF6	-	-	ADC3_IN4
通道 5'	PF7	-	-	ADC3_IN5
通道 6'	PF8	-	-	ADC3_IN6
通道 7'	PF9	-	-	ADC3_IN7
通道 8'	PF10	-	-	ADC3_IN8
通道 9'	PF3	-	-	ADC3_IN9
通道 14'	PF4	-	-	ADC3_IN14
通道 15'	PF5	-	-	ADC3_IN15
通道 16	-	ADC1_IN16 (内部通道: 连接到温度传感器)	VSS	VSS
通道 17	-	ADC1_IN17 (内部通道: 连接内部电源模块 VREFINT (VREF12))	VSS	VSS
通道 18	VBAT	ADC1_IN18 (由 V _{BATEN} 控制, 经过 ADC 内部 1/2 分压到 CH18。可通过此 IO 测试外部高电压, 例如 USB, V _{BUS} , 锂电池等。)	-	-

3.29.1 温度传感器

温度传感器产生一个随温度线性变化的电压。转换范围在 1.8V 到 3.6V 之间。温度传感器在内部被连接到 ADC1_IN16 的输入通道上, 用于将传感器的输出电压转换成数字值。

由于工艺变化导致温度传感器的偏移因芯片而异, 内部温度传感器主要适用于检测温度变化而不是

绝对温度的应用。如果需要准确的温度读数，则应使用外部温度传感器部件。

3.30 数字模拟转换器（DAC）

器件内部集成了两个 12 位带缓冲的 DAC 通道，用于将 2 路数字信号转换为 2 路模拟电压信号并输出。

DAC 的主要特性如下：

- 2 个 DAC 转换器：每个转换器对应 1 个输出通道
- 8 位或者 12 位单调输出
- 12 位模式下支持数据左对齐或者右对齐
- 同步更新功能
- 噪声波形生成
- 三角波形生成
- 双 DAC 通道同时或者分别转换
- 每个通道都有 DMA 功能
- DMA 下溢错误检测
- 外部触发转换
- 输入参考电压 V_{REF+}

系统中有 8 个触发事件可触发 DAC 转换。可通过定时器的更新事件触发 DAC 输出，更新输出也可连接到不同的 DMA 通道。

3.31 四线串行外设接口（QSPI）

QSPI 存储接口是一个针对一线、两线或者四线 Flash 存储的特殊通信接口。QSPI 的工作模式包括：

- 间接模式（寄存器直接访问）
- 状态轮询模式（周期性读取外部 Flash 状态寄存器）
- 内存映射模式（外部 Flash 映射到微控制器地址空间）

内存映射支持高达 256 Mbyte 的外部 Flash，使用 8、16 和 32 位访问，并且支持代码执行。操作码与帧格式可编程。支持单倍数据速率（SDR）或者双倍数据速率（DDR）方式进行通信。

3.32 真随机数发生器（TRNG）

TRNG 模块是基于连续模拟噪声的随机数发生器，提供一个 32 位的随机数。TRNG 具有以下特性：

- 提供由模拟发生器产生的 32 位随机数。
- 两个连续随机数的产生间隔为 40 个 TRNG_CLK 时钟信号周期。
- 通过监视 TRNG 熵来标识异常行为（产生稳定值，或产生稳定的值序列）。
- 可禁用 TRNG 以降低系统功耗。
- TRNG 时钟为 PLLQCLK
- 使能 TRNG 后，需要等待大约 1500 个时钟周期，再读取 TRNG_DR 寄存器。

3.33 高级加密标准硬件加速器（AES）

器件集成了一个高级加密标准硬件加速器（AES），它完全符合 FIPS 197（Federal Information Processing Standards）。

- 支持 ECB/CBC/CTR 模式

- 支持 128 位、192 位和 256 位密钥加密
- 加解密计算时间：
 - 128 位密钥：57 时钟周期
 - 192 位密钥：67 时钟周期
 - 256 位密钥：77 时钟周期
- 解密密钥准备时间：
 - 128 位密钥：57 时钟周期
 - 192 位密钥：67 时钟周期
 - 256 位密钥：77 时钟周期
- 支持 AES 时钟随机化，和 TRNG 模块配合，随机化 AES 时钟。
- 更方便的中断现场保护和中断现场恢复

3.34 散列处理器（Hash）

Hash 模块适用于数据验证的应用，符合以下标准：

- FIPS PUB 180-2（联邦信息处理标准出版物 180-2）
- 安全哈希标准规范（SHA-256）

SHA-256 快速运算处理系统作为从设备时，输入数据长度支持字、半字、字节和位（仅支持小端排列）。

为适应采用大端排列模式的 SHA-256 运算标准，小端排列模式的输入数据会进行转换，自动将最后一段输入数据补齐至 512 位（16 x 32 位）的摘要长度。

3.35 调试及跟踪接口

内嵌 ARM 的 SWJ-DP 接口，其结合了 JTAG 和串行单线调试的接口，可以连接到目标上的串行线调试或 JTAG 探针。

调试只需使用 2 个引脚，而不是 JTAG 所需的 5 个（JTAG 引脚可以复用为带 AF 功能的 GPIO）：JTAG 的 TMS 和 TCK 引脚分别与 SWDIO 和 SWCLK 共享，并且在 TMS 引脚上使用特定时序来在 JTAG-DP 和 SW-DP 之间切换。

3.36 96 位 UID

96 位的产品唯一身份标识（UID）对任意一颗芯片，在任何情况下都是唯一的。用户不能修改这个身份标识。按照用户不同的用法，该 UID 可以字节（8 位）、半字（16 位）或者全字（32 位）为单位进行读取。96 位 UID 适合以下应用：

- 用来作为序列号（例如 USB 字符序列号或者其他的终端应用）。
- 用来作为密码。在编写 Flash 时，将此唯一标识与软件加解密算法结合使用，提高代码在 Flash 存储器内的安全性。

4 电气性能指标

4.1 最大绝对额定值

最大额定值只是短时间的压力值。

注意：

- 请勿将芯片在该值或者其他任何超出该推荐值的条件下使用。
- 芯片的最大额定值请参考表 4-1 至表 4-3，超出最大额定值可能导致芯片永久性的损坏。
- 长时间工作在最大额定值下可能影响芯片的可靠性。

4.1.1 极限电压特性

表 4-1 极限电压特性

符号	描述	最小值	最大值	单位
$V_{DD}-V_{SS}^{(1)}$	外部主供电电压（包含 V_{DDA} 和 V_{DD} ）	-0.3	3.8	V
$V_{IN}^{(1)}$	引脚上的输入电压	-0.3	3.8	
$ V_{SSX}-V_{SS} ^{(1)}$	不同接地引脚之间的电压差	-	50	mV

(1). 工艺保证。

4.1.2 极限电流特性

表 4-2 极限电流特性

符号	描述	最大值	单位
$I_{VDD}^{(1)}$	经过 V_{DD}/V_{DDA} 电源线的总电流（供应电流） ⁽²⁾	105	mA
$I_{VSS}^{(1)}$	经过 V_{SS} 地线的总电流（流出电流） ⁽²⁾	105	
$I_{IO}^{(1)}$	任意 I/O 和控制引脚上的输出灌电流	30	
	任意 I/O 和控制引脚上的输出拉电流	30	
$I_{INJ(PIN)}^{(1)}$	引脚上的注入电流 ^{(3) (4)}	-5/+0	
$\Sigma I_{INJ(PIN)}^{(1)}$	所有 I/O 和控制引脚上的总注入电流 ⁽⁵⁾	-25/+0	

(1). 设计保证。

(2). 所有的电源（ V_{DD} , V_{DDA} ）和地（ V_{SS} , V_{SSA} ）引脚必须始终连接到允许范围内的外部供电系统上。

(3). 反向注入电流会干扰器件的模拟性能。

(4). 当 $V_{IN} > V_{DD}$ 时，有一个正向注入电流；当 $V_{IN} < V_{SS}$ 时，有一个反向注入电流，注入电流绝对不能超过规定范围。

(5). 当几个 I/O 口同时有注入电流时， $\Sigma I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。

4.1.3 极限温度特性

表 4-3 极限温度特性

符号	描述	最小值	最大值	单位
$T_{STG}^{(1)}$	储存温度范围	-65	150	°C
$T_J^{(1)}$	最大结温度	-40	125	°C

(1). 设计保证。

4.2 工作参数

4.2.1 推荐工作条件

表 4-4 推荐工作条件

符号	描述	最小值	最大值	单位
$f_{HCLK}^{(1)}$	内部 AHB 时钟频率	-	168	MHz
$f_{PCLK1}^{(1)}$	内部 APB1 时钟频率	-	84	
$f_{PCLK2}^{(1)}$	内部 APB2 时钟频率	-	168	
V_{DD}	标准工作电压	1.8	3.6	V
V_{DDA}	模拟工作电压 ⁽²⁾	1.8	3.6	V
V_{REFP}	ADC 外部输入参考电压	1.8	3.6	V
V_{BAT}	备用输入电压	1.42	3.6	V
$T^{(1)}$	工作温度	-40	105	°C

(1). 设计保证。

(2). V_{DDA} 可以低于 V_{DD} 。

4.2.2 V_{CAP_1}/V_{CAP_2} 外置电容

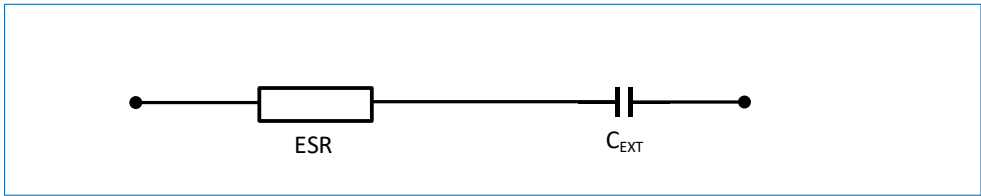


图 4-1 V_{CAP_1}/V_{CAP_2} 外置电容

表 4-5 V_{CAP_1}/V_{CAP_2} 工作条件

符号	参数	条件
$C_{EXT}^{(1)}$	外置电容	2.2μF
ESR	外置电容的 ESR	<2Ω

(1). V_{CAP_1}/V_{CAP_2} 在芯片内部没有短路。

4.2.3 上/下电速度工作条件

表 4-6 推荐上/下电速度工作条件

符号	参数	条件	最小值	最大值	单位
$t_{VDD/VDDA}^{(1)}$	V_{DD} 上升速度	-	20	∞	$\mu\text{s/V}$
	V_{DD} 下降速度	-	20	∞	$\mu\text{s/V}$

(1). V_{DD}/V_{DDA} 在 regulator ON 状态有效。

4.2.4 可编程电压检测器（PVD）

表 4-7 PVD 特性

符号	参数	挡位	最小值	典型值	最大值	单位
V_{PVD}	可编程电压检测器的检测电平选择 (V_{DD} 上升沿) ($-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$)	V_{PVD0}	2.151	2.186	2.222	V
		V_{PVD1}	2.251	2.288	2.333	
		V_{PVD2}	2.35	2.39	2.433	
		V_{PVD3}	2.441	2.486	2.533	
		V_{PVD4}	2.55	2.591	2.631	
		V_{PVD5}	2.642	2.691	2.742	
		V_{PVD6}	2.742	2.795	2.84	
		V_{PVD7}	2.84	2.895	2.94	
	可编程电压检测器的检测电平选择 (V_{DD} 下降沿) ($-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$)	V_{PVD0}	2.057	2.087	2.109	
		V_{PVD1}	2.157	2.184	2.209	
		V_{PVD2}	2.257	2.282	2.309	
		V_{PVD3}	2.346	2.374	2.407	
		V_{PVD4}	2.445	2.476	2.508	
		V_{PVD5}	2.536	2.572	2.608	
		V_{PVD6}	2.629	2.671	2.719	
		V_{PVD7}	2.726	2.767	2.808	
$V_{PVDrhyst}$	PVD 滞回	-	-	108	-	mV

4.2.5 BOR 特性

表 4-8 BOR 特性

符号	参数	挡位	最小值	典型值	最大值	单位
V_{BOR}	BOR ⁽¹⁾ 的检测电平选择 (V_{DD} 上升沿) ($-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$)	V_{BOR1}	2.249	2.293	2.342	V
		V_{BOR2}	2.549	2.597	2.652	

符号	参数	挡位	最小值	典型值	最大值	单位
	BOR 的检测电平选择 (V_{DD} 下降沿) (-40°C~105°C)	V_{BOR3}	2.85	2.901	2.961	
		V_{BOR1}	1.517	1.558	1.606	
		V_{BOR2}	2.157	2.179	2.209	
		V_{BOR3}	2.436	2.466	2.508	
$V_{BORhyst}$	BOR 滞回	-	35	121	242	mV
$t_{BORRST}^{(2)}$	生效时间	-	4	7	10	μs

(1). BOR 仅监控 V_{DD} 。

(2). 设计保证。

4.2.6 上/下电复位特性

表 4-9 上/下电复位特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{POR/PDR}$	上下电复位阈值 ⁽¹⁾	下降沿	1.516	1.558	1.608	V
		上升沿	1.59	1.621	1.661	V
$V_{PDRhyst}$	PDR 滞回	-	32	62	105	mV
$t_{RSTTEMPO}^{(2)}$	复位时间	-	-	4	-	ms

(1). PDR 和 POR 仅监控 V_{DD} 。

(2). 设计保证。

4.2.7 内部参考电压

表 4-10 内部参考电压特性

符号	参数	条件	最小值	典型值 ⁽²⁾	最大值	单位
$V_{REFINT}^{(1)}$	内部参考电压	-40 ~ 105°C, $V_{DD}/V_{DDA}=3.3V$	1.187	1.2	1.206	V
Ripple $_{REFINT}^{(3)}$	参考电压全温度范围波动	-40 ~ 105°C, $V_{DD}/V_{DDA}=3.3V$	-0.8	-	0.6	%

(1). Trimming 完成后, 多个样品实际测试结果。

(2). Trimming 的目标值。

(3). 对于 20°C 时的温度系数, 多个样品实际测试结果。

4.2.8 工作电流特性

表 4-11 工作电流特性

符号	模式	条件	V _{DD} =3.3V			单位
			-40℃	25℃	105℃	
I _{DD}	Run 模式	f _{HCLK} =16 MHz; 外设时钟关闭 ⁽¹⁾ 从 Flash 取值, Flash 读取 0 个等待周期。	7706.294	2639.431	11204.2	μA
		f _{HCLK} =48 MHz; 外设时钟关闭 ⁽¹⁾ 从 Flash 取值, Flash 读取 1 个等待周期。	12255.371	6570.743	15172.257	μA
		f _{HCLK} =96 MHz; 外设时钟关闭 ⁽¹⁾ 从 Flash 取值, Flash 读取 4 个等待周期。	16353.514	10992.486	19716.257	μA
		f _{HCLK} =168 MHz; 外设时钟关闭 ⁽¹⁾ 从 Flash 取值, Flash 读取 6 个等待周期。	22247.371	18048.829	26970.257	μA
		f _{HCLK} =16 MHz; 全部外设时钟打开 ⁽²⁾ 从 Flash 取值, Flash 读取 0 个等待周期。	9787	5224.68	13132.52	μA
		f _{HCLK} =48 MHz; 全部外设时钟打开 ⁽²⁾ 从 Flash 取值, Flash 读取 1 个等待周期。	24506.64	20727.4	28864.2	μA
		f _{HCLK} =96 MHz; 全部外设时钟打开 ⁽²⁾ 从 Flash 取值, Flash 读取 4 个等待周期。	34177.96	31455.8	39708.24	μA
		f _{HCLK} =168 MHz; 全部外设时钟打开 ⁽²⁾ 从 Flash 取值, Flash 读取 6 个等待周期。	50540	48760	57181.2	μA
I _{sleep}	Sleep 模式	f _{HCLK} =16 MHz; 外设时钟关闭 ⁽³⁾ 从 Flash 取值, Flash 读取 0 个等待周期。	6027.857	2087.526	10618.286	μA
		f _{HCLK} =48 MHz; 外设时钟关闭 ⁽³⁾ 从 Flash 取值, Flash 读取 1 个等待周期。	8364.571	4841.486	13364.457	μA
		f _{HCLK} =96 MHz; 外设时钟关闭 ⁽³⁾ 从 Flash 取值, Flash 读取 4 个等待周期。	10819.771	7538.914	16125.314	μA
		f _{HCLK} =168 MHz; 外设时钟关闭 ⁽³⁾ 从 Flash 取值, Flash 读取 6 个等待周期。	15076.886	12043.914	20769.914	μA
		f _{HCLK} =16 MHz; 全部外设时钟打开 ⁽²⁾ 从 Flash 取值, Flash 读取 0 个等待周期。	7827.52	4653.56	12517.88	μA
		f _{HCLK} =48 MHz; 全部外设时钟打开 ⁽²⁾ 从 Flash 取值, Flash 读取 1 个等待周期。	21963.8	19020.48	27090.48	μA
		f _{HCLK} =96 MHz; 全部外设时钟打开 ⁽²⁾ 从 Flash 取值, Flash 读取 4 个等待周期。	30585.6	28091.8	36297.12	μA
		f _{HCLK} =168 MHz; 全部外设时钟打开 ⁽²⁾ 从 Flash 取值, Flash 读取 6 个等待周期。	44879.6	42935.6	51290	μA
I _{stop}	Stop 模式	模式: Stop_MR ⁽⁴⁾	3970.754	1036.814	9499.229	μA

符号	模式	条件	V _{DD} =3.3V			单位
			-40°C	25°C	105°C	
	式	模式: Stop MR-FPD ⁽⁴⁾	3794.566	955.717	9391.829	μA
		模式: Stop LP-FPD ⁽⁴⁾	3785.471	934.057	9364.771	μA
I _{standby}	Standby 模式	LSI ON, RTC ON	2.788	4.691	37.029	μA
		LSI ON	2.769	4.701	36.872	μA
		LSE ON, RTC ON	3.312	5.347	37.649	μA
		LSE ON	3.297	5.344	37.572	μA
		LSE OFF, RTC OFF	2.674	4.609	36.629	μA

(1). 运行 (Run) 模式中, 外设时钟关闭测试条件如下:

- 除 Flash、SRAM、RCC、GPIOA 和 GPIOB 外, 其余外设时钟关闭。
- 除 PA13、PA14 和 PB4 外, 其他未使用 I/O 配置为高阻态。
- 时钟源为 HSI16M, 其他频率均使能 PLL。

(2). 运行 (Run) 及睡眠 (Sleep) 模式中, 外设时钟打开测试条件如下:

- 全部外设时钟打开 (最大功耗)。
- 运行模式中, 除 PB4 外其他未使用 I/O 配置为高阻态。
- 睡眠模式中, 除 PC5 外其他未使用 I/O 配置为高阻态。
- 时钟源为 HSI16M, 其他频率均使能 PLL。

(3). 睡眠 (Sleep) 模式中, 外设时钟关闭测试条件如下:

- 除 Flash、SRAM、RCC、GPIOA 和 GPIOC 外, 其余外设时钟关闭。
- 除 PA13、PA14 和 PC5 外, 其他未使用 I/O 配置为高阻态。
- 时钟源为 HSI16M, 其他频率均使能 PLL。

(4). Stop 各工作模式的定义如下:

- Stop_MR: Stop, Main regulator。
- Stop MR-FPD: Stop, Main regulator - Flash wakeup from Power Down。
- Stop LP-FPD: Stop, Regulator wakeup from Low Power - Flash wakeup from Power Down)。

4.2.9 外部高速 (HSE) 时钟特性

表 4-12 HSE 振荡电路特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{crystal} ⁽¹⁾	振荡电路支持的晶体振荡器频率范围	-	4	16	32	MHz
R _F ⁽¹⁾	反馈电阻	-	-	2	-	MΩ
T _{stb} ⁽¹⁾	振荡器启动稳定时间 ⁽²⁾	-	-	10	-	ms
Gm		0	1.6	-	-	mA/V

符号	参数	条件		最小值	典型值	最大值	单位
	振荡电路的跨导	启动时， DRV 配置 ⁽³⁾	1	1.7	-	-	
			2	1.8	-	-	
			3	1.9	-	-	
			4	2.1	-	-	
			5	2.2	-	-	
			6	2.5	-	-	
			7	2.7	-	-	
			8	3.0	-	-	
			9	3.3	-	-	
			10	3.9	-	-	
			11	4.4	-	-	
			12	5.6	-	-	
			13	6.7	-	-	
			14（默认）	10.8	-	-	
			15	14.9	-	-	
Gmcrit	维持振荡器所需的最小跨导稳定振荡	稳定工作时， DRV 配置 ⁽³⁾	0	-	-	0.3	mA/V
			1	-	-	0.3	
			2	-	-	0.4	
			3	-	-	0.4	
			4	-	-	0.4	
			5	-	-	0.4	
			6	-	-	0.5	
			7	-	-	0.5	
			8	-	-	0.6	
			9	-	-	0.7	
			10	-	-	0.8	
			11	-	-	0.9	
			12	-	-	1.1	
			13	-	-	1.3	

符号	参数	条件	最小值	典型值	最大值	单位
			14（默认）	-	-	2.2
			15	-	-	3.0
I _{DD} ⁽¹⁾	HSE 振荡器功耗	正 常 工 作： V _{DD} =3.3V， CL=10pF ESR=100Ω	0	-	19.27	-
			1	-	20.16	-
			2	-	21.74	-
			3	-	23.32	-
			4	-	24.87	-
			5	-	26.42	-
			6	-	29.05	-
			7	-	31.67	-
			8	-	36.47	-
			9	-	41.26	-
			10	-	49.50	-
			11	-	57.74	-
			12	-	79.57	-
			13	-	101.40	-
			14（默认）	-	208.50	-
			15	-	315.60	-
CL1/CL2 ⁽⁴⁾	推荐起振电容		8	10	12	pF

- (1). 设计仿真值，和实际测试会有一些差异。
- (2). T_{stb} 指从 HSE 启动到输出稳定频率信号的时间。
- (3). DRV 配置：即配置 RCC_HSECTL 寄存器中的 HSE_DRV[3:0]位。
- (4). CL1/CL2 起振电容与晶体负载电容 CL 和 PCB 寄生电容相关。

MCU 内部集成了一个 HSE 负反馈晶体振荡电路，芯片外的起振推荐电路如下图。芯片内部振荡电路集成了 R_F。

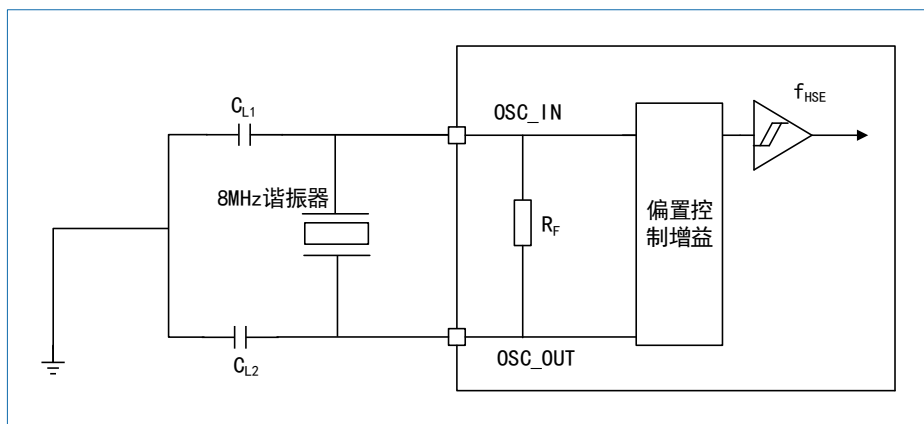


图 4-2 HSE 负反馈晶体振荡电路

HSE 被配置为 Bypass 模式后，HSE 振荡电路关闭，OSC_IN 引脚可以当作时钟输入管脚，外部直接输入一个时钟信号，时钟信号要求如下。

表 4-13 HSE_OSC_IN 引脚外部时钟输入特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{HSE_OSC_IN}^{(1)}$	用户外部时钟源频率	-	4	8	32	MHz
DuCy ⁽¹⁾	占空比	-	45	-	55	%

(1). 设计保证。

4.2.10 外部低速（LSE）时钟特性

表 4-14 LSE 振荡电路特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{crystal}^{(1)}$	振荡电路支持的晶体振荡器频率范围	-	-	32.768	-	KHz
$R_F^{(1)}$	反馈电阻	-	-	10	-	MΩ
$T_{stb}^{(1)}$	振荡器启动时间 ⁽²⁾	-	-	1000	2000	ms
Gm	振荡电路的跨导	启动时， DRV 配置 ⁽³⁾	0	11.2	-	μA/V
			1	13.4	-	
			2	16.7	-	
			3	32.4	-	
Gmcrit	维持振荡器所需的最小跨导稳定振荡	工作时， DRV 配置 ⁽³⁾	0	-	-	μA/V
			1	-	-	
			2	-	-	
			3	-	-	
$I_{DD(LSE)}^{(1)}$	LSE 振荡器功耗	正常工作： $V_{DD}=3.3V$ ，	0	211	257	nA
			1	251	304	

符号	参数	条件	最小值	典型值	最大值	单位
		CL=12pF, ESR=35k	2	313	376	529
			3	634	742	971
CL1/CL2 ⁽⁴⁾	推荐起振电容	-	8	10	12	pF

- (1). 设计保证；
- (2). T_{stb} 指从 LSE 启动到输出稳定频率信号的时间，不同的晶体与驱动配置会不同；
- (3). DRV 配置：即配置 RCC_BDCR 寄存器中的 LSE_DRV[1:0]位；
- (4). CL1/CL2 起振电容与晶体负载电容 CL 和 PCB 寄生电容相关。

MCU 内部集成了一个 LSE 负反馈晶体振荡电路，芯片外的起振推荐电路如下图。芯片内部振荡电路集成了 R_F 。

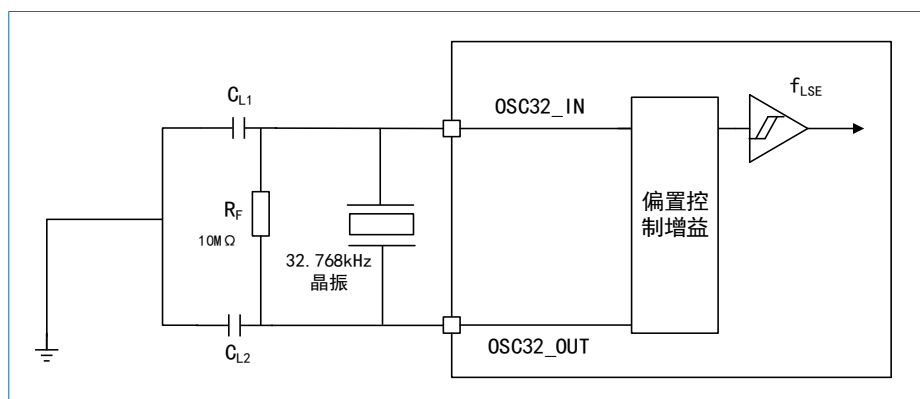


图 4-3 LSE 负反馈晶体振荡电路

LSE 被配置为 Bypass 模式后，LSE 振荡电路关闭，OSC32_IN 引脚可以当作时钟输入管脚，外部直接输入一个时钟信号，时钟信号要求如下。

表 4-15 LSE_OSC32_IN 引脚外部时钟输入特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{LSE_OSC32_IN}^{(1)}$	外部时钟源频率	-	-	32.768	-	kHz
DuCy ⁽¹⁾	占空比	-	45	-	55	%

- (1). 设计保证。

4.2.11 内部高速（HSI）时钟特性

表 4-16 HSI16 时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{HSI16}^{(1)}$	出厂校准目标频率	-	-	16	-	MHz
DuCy ⁽¹⁾	占空比	-	45	50	55	%
ACC	振荡器精度	出厂校准，常温	-1	-	1	%
		出厂校准， $T_A = -40 \sim +105^{\circ}\text{C}$	-2	-	2	

符号	参数	条件	最小值	典型值	最大值	单位
$T_{stb}^{(1)}$	振荡器启动时间	-	-	1.3	2.2	μs
$I_{DD}^{(1)}$	振荡器功耗	16MHz, $V_{DD}=3.3V$	-	97	140	μA

(1). 设计保证。

4.2.12 内部低速（LSI）时钟特性

表 4-17 LSI 时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{LSI}^{(1)}$	出厂校准目标频率	-	-	32	-	kHz
$DuCy^{(1)}$	占空比	-	45	50	55	%
ACC	振荡器精度	出厂校准, 常温	-1	-	1	%
		出厂校准, $T_A = -40 \sim +105^{\circ}C$	-5	-	5	
$T_{stb}^{(1)}$	振荡器启动时间	-	-	250	500	μs
$I_{DD}^{(1)}$	振荡器功耗	-		100	340	nA

(1). 设计保证。

4.2.13 GPIO 输入时钟

表 4-18 GPIO 输入时钟特性

符号	参数	最小值	典型值	最大值	单位
F_{Ext}	输入时钟频率	1	-	42	MHz
	输入时钟占空比	45	50	55	%

4.2.14 PLL 特性

表 4-19 PLL 特性

符号	参数	最小值	典型值	最大值	单位
$f_{PLL_IN}^{(1)(2)}$	输入时钟频率	1	-	2	MHz
	输入时钟占空比	45	50	55	%
$f_{PLL_OUT}^{(1)}$	输出时钟频率	24	-	168	MHz
$f_{VCO_OUT}^{(1)}$	VCO 输出时钟频率	100	-	600	MHz
$t_{LOCK}^{(1)}$	锁相时间	-	250	-	μs

(1). 设计保证。

(2). 注意使用适当的分频因数 M 来获得指定的 PLL 输入时钟值。

4.2.15 PLLI2S 特性

表 4-20 PLLI2S 特性

符号	参数	最小值	典型值	最大值	单位
$f_{\text{PLL_IN}}^{(1)(2)}$	输入时钟频率	1	-	2	MHz
	输入时钟占空比	45	50	55	%
$f_{\text{PLL_OUT}}^{(1)}$	输出时钟频率	24	-	168	MHz
$f_{\text{VCO_OUT}}^{(1)}$	VCO 输出时钟频率	6.25	-	600	MHz
$t_{\text{LOCK}}^{(1)}$	锁相时间	-	250	-	μs

(1). 设计保证。

(2). 注意使用适当的分频因数 M 来获得指定的 PLL 输入时钟值。

4.2.16 Flash 存储器特性

表 4-21 Flash 存储器特性⁽¹⁾⁽²⁾

符号	参数	最小值	典型值	最大值	单位
T_{PROG}	字写入时间	-	-	10	μs
T_{ERASE}	页擦除时间	-	-	4	ms
	整片擦除时间	-	-	10	ms
IDD_{PROG}	编程电流	-	-	2.5	mA
$\text{IDD}_{\text{ERASE}}$	页/片擦除电流	-	-	1.4	mA
IDD_{READ}	读电流	-	-	4.5	mA
N_{END}	擦写寿命@105°C	10	-	-	万次
t_{RET}	数据保存时间@85°C	20	-	-	年

(1). 典型值是在 1.1V TT 工艺下测得。

(2). 设计保证。

4.2.17 IO 输入引脚特性

表 4-22 IO 输入引脚直流特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IH}	输入高电平	$V_{\text{DD}}=3.3\text{V}$	1.6	-	-	V
V_{IL}	输入低电平	$V_{\text{DD}}=3.3\text{V}$	-	-	1.58	V
V_{IHhys}	输入高电平	$V_{\text{DD}}=3.3\text{V}$	1.79	-	-	V
V_{ILhys}	输入低电平	$V_{\text{DD}}=3.3\text{V}$	-	-	1.44	V

符号	参数	条件	最小值	典型值	最大值	单位
$V_{hys}^{(1)}$	施密特触发器电压迟滞	$V_{DD}=3.3V$	-	$10\%*V_{DD}$	$20\%*V_{DD}$	V
$I_{lk}^{(1)}$	输入漏电流	$V_{DD}=3.3V$	-	5	-	nA
$R_{PU}^{(1)}$	上拉电阻	$V_{DD}=3.3V$	24	32	40	K Ω
$R_{PD}^{(1)}$	下拉电阻	$V_{DD}=3.3V$	24	32	40	K Ω
$C_{IO}^{(1)}$	I/O 引脚电容	$V_{DD}=3.3V$	-	-	10	pF

(1). 设计保证。

4.2.18 IO 输出引脚特性

表 4-23 IO 引脚输出直流特性

符号	参数	驱动档位 OSPEEDY[1:0]	V_{DD} 电压 (V)	最小值 (mA)	典型值 (mA)	最大值 (mA)
$V_{OH}^{(1)}=V_{DD}*0.8$	拉电流	2'b00	1.80	1.151	-	-
			3.30	-	4.99	-
			3.63	-	-	7.102
		2'b01	1.80	2.302	-	-
			3.30	-	9.984	-
			3.63	-	-	14.21
		2'b10	1.80	3.453	-	-
			3.30	-	14.97	-
			3.63	-	-	21.31
		2'b11	1.80	6.906	-	-
			3.30	-	29.95	-
			3.63	-	-	42.62
$V_{OL}^{(1)}=V_{DD}*0.2$	灌电流	2'b00	1.80	2.058	-	-
			3.30	-	9.285	-
			3.63	-	-	13.3
		2'b01	1.80	2.039	-	-
			3.30	-	9.229	-
			3.63	-	-	13.24
		2'b10	1.80	4.117	-	-
			3.30	-	18.57	-

符号	参数	驱动档位 OSPEEDy[1:0]	V _{DD} 电压 (V)	最小值 (mA)	典型值 (mA)	最大值 (mA)
			3.63	-	-	26.61
		2'b11	1.80	8.215	-	-
			3.30	-	37.08	-
			3.63	-	-	53.15

(1). 设计保证。

表 4-24 IO 引脚输出交流特性⁽¹⁾

符号	参数	条件	驱动档位 OSPEEDy[1:0]	V _{DD} 电压 (V)	最小值 (ns)	典型值 (ns)	最大值 (ns)
t _R	输出低到高电平的上升时间	C _L =50pF	2'b00	1.80	-	-	78.19
				3.30	-	33.07	-
				3.63	25.56	-	-
			2'b01	1.80	-	-	39.10
				3.30		16.53	-
				3.63	12.77	-	
			2'b10	1.80		-	26.06
				3.30	-	11.02	-
				3.63	8.52	-	
			2'b11	1.80		-	13.03
				3.30	-	5.51	-
				3.63	4.26	-	
t _F	输出高到低电平的下降时间	C _L =50pF	2'b00	1.80		-	43.73
				3.30	-	17.77	-
				3.63	13.65	-	
			2'b01	1.80		-	44.14
				3.30	-	17.88	-
				3.63	13.71	-	
			2'b10	1.80		-	21.86
				3.30	-	8.89	-
				3.63	6.82	-	
			2'b11	1.80		-	10.96

符号	参数	条件	驱动档位 OSPEEDY[1:0]	V _{DD} 电压 (V)	最小值 (ns)	典型值 (ns)	最大值 (ns)
				3.30	-	4.45	-
				3.63	3.41	-	

(1). 设计保证。

4.2.19 NRST 复位管脚特性

NRST 管脚内部集成了一个上拉电阻，外围可以不接任何电路，也可以外接 RC 电路。

表 4-25 NRST 引脚输入特性

符号	参数	最小值	最大值	单位
T _{Noise}	低电平被忽略	-	100	ns

NRST 管脚外接滤波电容是为了抗干扰，避免一些噪声造成芯片复位。用户必须确保 NRST 管脚能够低于 V_{IL} 最大值，否则复位将会被忽略。

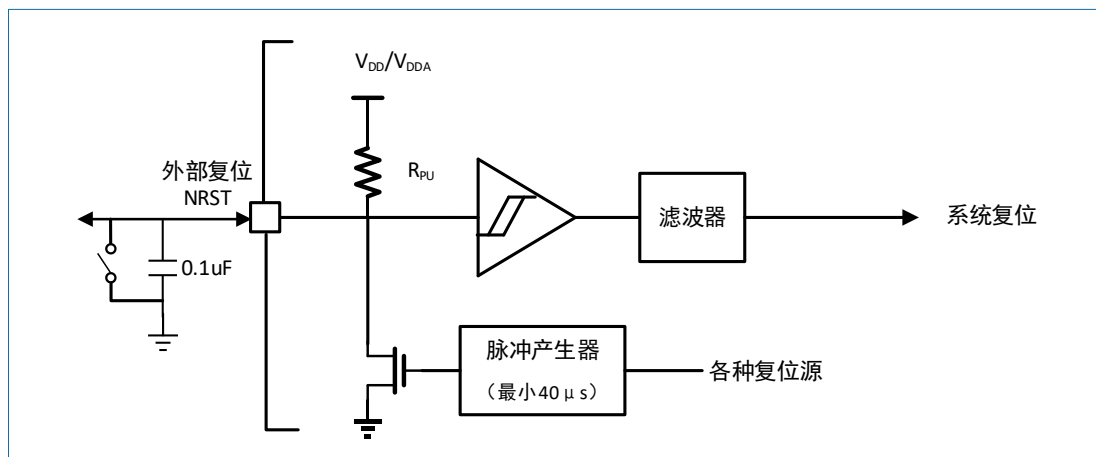


图 4-4 推荐复位电路

4.2.20 TIM 计数器特性

表 4-26 TIM 特性

符号	条件	最小值	最大值	单位
F _{EXT} ⁽¹⁾	CH1 至 CH4 的定时器输出频率 (f _{TIMxCLK} = 168MHz)	-	f _{TIMxCLK} /2	MHz

(1). 设计保证。

4.2.21 ADC 特性

表 4-27 ADC 特性

项目	描述	条件	最小值	典型值	最大值	单位
V _{DDA}	ADC 开启时的模拟电源电压	-	1.8	3.3	3.6	V
V _{REFP}	正参考电压	-	1.8	3.3	3.6	V
V _{REFN}	负参考电压	-	0	0	0.1	V

项目	描述	条件	最小值	典型值	最大值	单位
f_{ADC}	ADC 时钟频率	-	-	-	30	MHz
$f_S^{(1)}$	采样频率	$f_{ADC} = 30 \text{ MHz}$	-	-	2	MSPS
$f_{TRIG}^{(1)}$	外部触发频率	$f_{ADC} = 30 \text{ MHz}$	-	-	1.65	MHz
		-	-	-	17	Cycles
$V_{AIN}^{(1)}$	转换电压范围	-	VREFN	-	VREFP	V
$R_{AIN}^{(1)}$	外部输入阻抗	-	详见表 4-28			kΩ
$R_{ADC}^{(1)}$	采样开关电阻	-	-	0.75	1.9	kΩ
$C_{ADC}^{(1)}$	采样保持电容	-	-	5	-	pF
$Jitter_{ADC}^{(1)}$	ADC 触发抖动	$f_{ADC} = f_{HSI}$	-	1	-	Cycles
$t_S^{(1)}$	采样时间	$f_{ADC} = 30 \text{ MHz}$	2	-	480	Cycles
$t_{conv}^{(1)}$	总转换时间（包括采样时间）	12 位分辨率	14	-	492	Cycles

(1) 设计保证。

最大的输入阻抗 R_{AIN} 的计算公式需满足：

$$R_{AIN} < \frac{k - 0.5}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

其中，N（分辨率）取值为 12，k 是 ADC_SMPR1 寄存器的采样周期数。

允许误差低于 1/4 LSB（Least Significant Bit，LSB）。

表 4-28 输入阻抗最大值（ $f_{ADC}=30\text{MHz}$ ）

采样周期 $T_S(\text{Cycles})$	采样时间 $t_S(\mu\text{S})$	输入阻抗最大值(kΩ)
2	0.07	-0.87
3	0.1	-0.18
4	0.13	0.5
5	0.17	1.19
6	0.2	1.88
8	0.27	3.25
15	0.5	8.06
28	0.93	16.99
56	1.87	36.23
84	2.8	55.46
112	3.73	74.7
144	4.8	96.68
480	16	327.52

表 4-29 ADC 精度

符号	参数	测试条件	最小值	最大值	单位
ET	总不可调整误差	$f_{\text{ADC}}=30\text{MHz}$; $f_{\text{PCLK2}}=60\text{MHz}$; $V_{\text{DD}}=V_{\text{DDA}}=5\text{V}$; 输入阻抗 $<1\text{k}\Omega$; ADC 校准后测试	-3	3	LSB
EO	偏移误差		-2	3	
EG	增益误差		-4	3	
ED	微分线性误差		-1	1	
EL	积分线性误差		-1.5	1.5	

- (1). ET-总不可调整误差：实际传递曲线与理想传递曲线之间的最大偏差。
- (2). EO-偏移误差：第一次实际转换与第一次理想转换之间的偏差。
- (3). EG-增益误差：最后一次理想转变与最后一次实际转变之间的偏差。
- (4). ED-微分线性误差：实际步距与理想步距之间的最大偏差。
- (5). EL-积分线性误差：任何实际过渡与终点相关线之间的最大偏差。

说明：

- (1). ADC 直流精度值在内部校准后测量。
- (2). ADC 精度与负注入电流：应避免在任何标准（非鲁棒）模拟输入引脚上注入负电流，因为这会显著降低在另一个模拟输入引脚上执行转换的精度。建议在可能注入负电流的标准模拟引脚上加一个肖特基二极管（引脚对地）。
- (3). 在有限的VDDA、频率和温度范围内可以获得更好的ADC 性能。
- (4). 数据基于表征结果，未在生产中测试。

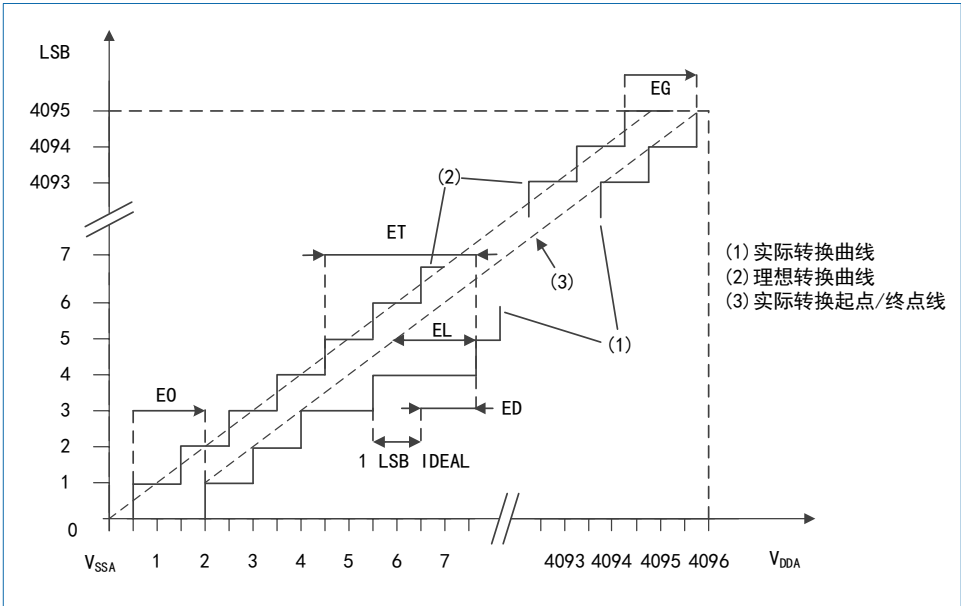


图 4-5 ADC 精度特征

说明：EO、ET、EG、EL、ED 所表示的参数描述，请参见表 4-29。

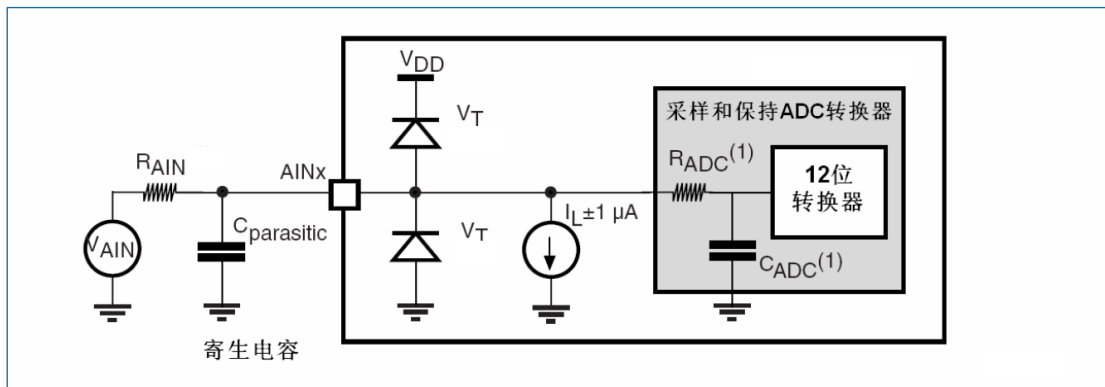


图 4-6 ADC 的典型连接图

- (1). R_{ADC} 和 C_{ADC} 值的 ADC 特征见表 4-27。
- (2). $C_{parasitic}$ 等于 PCB 电容（取决于焊接和 PCB 布局质量）加上 pad 电容（大约 7 pF）。切向值过高会降低转换精度。为了弥补这一点，应尽量减少 f_{ADC} 。

ADC 采样的 PCB 设计推荐：电源去耦应按图 5-1 进行。为了保证 ADC 转换精度，10 nF 电容器推荐使用陶瓷电容，并尽可能靠近芯片放置。

4.2.22 DAC 特性

表 4-30 DAC 特性

符号	描述	条件	最小值	典型值	最大值	单位
V_{DDA}	DAC 开启时的模拟电源电压	-	1.8	3.3	3.6	V
$DNL^{(1)}$	微分非线性	$V_{DDA} = 3.3V$	-1.2	-	1.2	LSB
$INL^{(2)}$	积分非线性	$V_{DDA} = 3.3V$, $R_{load} = 10 k\Omega$	10	-	+10	LSB
$Offset^{(1)}$	偏移误差	$V_{DDA} = 3.3V$	-10	-	10	LSB
$Gain\ error^{(1)}$	增益误差	12-bit	-	-	± 0.5	%
R_O	输出阻抗	DAC buffer 开启	10	-	-	k Ω
$C_{LOAD}^{(1)}$	电容负载	DAC buffer 开启	-	-	50	pF
$t_{START}^{(1)}$	开启时间	$C_{LOAD} = 50 pF$ $R_{LOAD} = 5k\Omega$	-	-	1	μs
$t_{DISABLE}^{(1)}$	关闭时间	$C_{LOAD} = 50 pF$ $R_{LOAD} = 5k\Omega$	-	-	1	μs
$I_{OUT}^{(1)}$	输出电流	DAC buffer 开启	-	-	0.66	mA
$I_{WORK}^{(1)}$	工作电流	DAC buffer 关闭	-	200	-	μA
		DAC buffer 开启	-	1200	-	

- (1). 设计保证。
- (2). 在 Buffer On 的常温下测试结果。

4.2.23 温度传感器特性

表 4-31 温度传感器特性

符合	参数	最小值	典型值	最大值	单位
T _L ⁽¹⁾	温度传感器测量精度	-	-	±5	°C
Avg_Slope ⁽¹⁾	平均斜率	-	2.997	-	mV/°C
V ₂₀ ⁽¹⁾	20°C 对应电压值	-	0.88	-	V

(1). 设计保证。

[illegible]

图 5-1 电源供电

- 上图说明：
- (1). 每组电源都需要搭配一个滤波陶瓷去耦电容，去耦电容尽量靠近相应电源引脚，以确保器件的良好功能。
 - (2). 有关连接 PDR_ON 引脚的详细信息，请参见章节“[3.11.1 电源监控器](#)”。
 - (3). 4.7 μ F 的陶瓷电容必须连接到 VDD 引脚。
 - (4). $V_{DDA}=V_{DD}$ 且 $V_{SSA}=V_{SS}$ 。

6 管脚定义

HK32F41x 系列提供了 LQFP64/LQFP100/LQFP144 封装，各封装的管脚定义如下。

6.1 LQFP64 封装

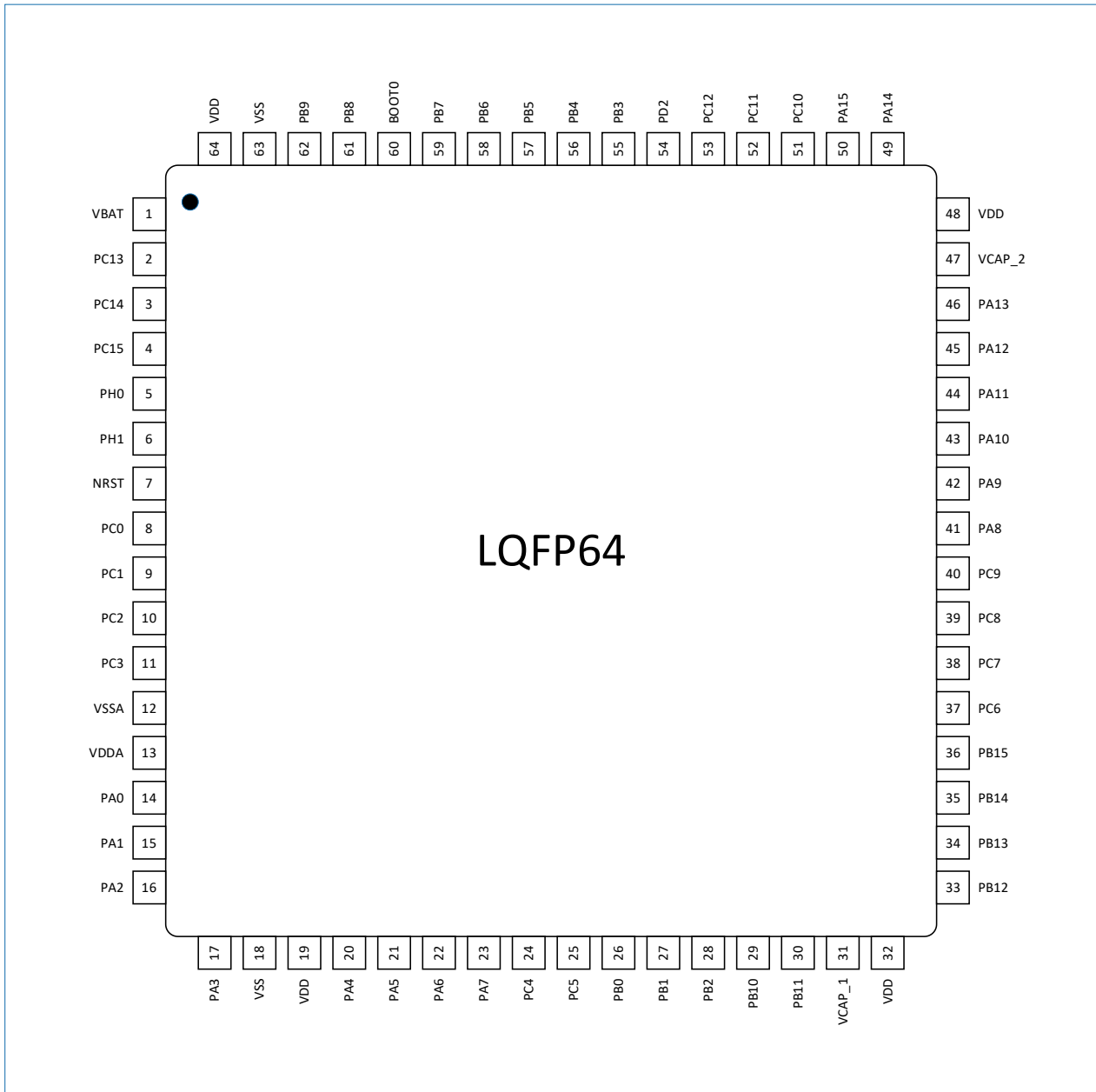


图 6-1 LQFP64 封装

6.2 LQFP100 封装

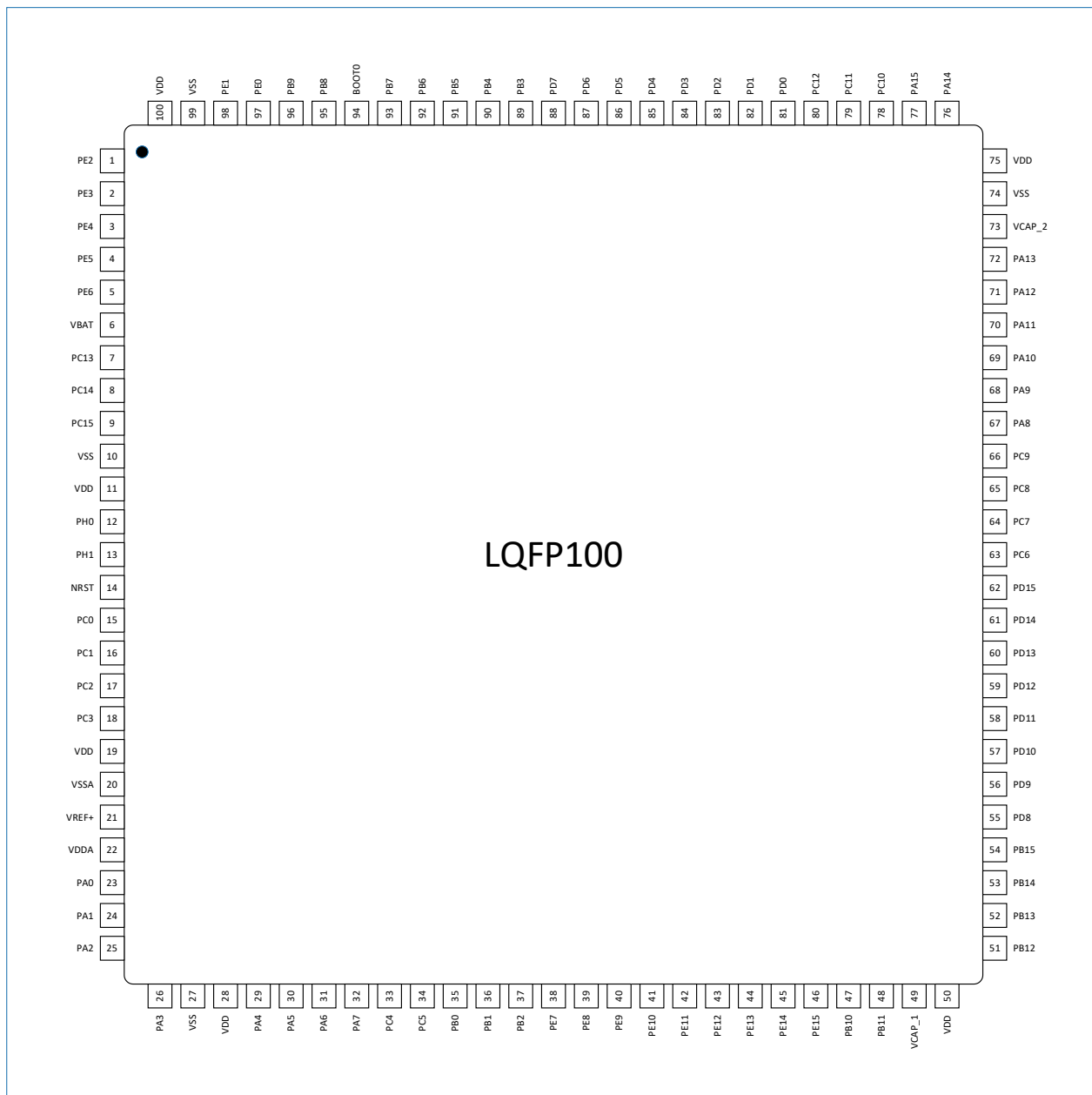


图 6-2 LQFP100 封装

6.3 LQFP144 封装

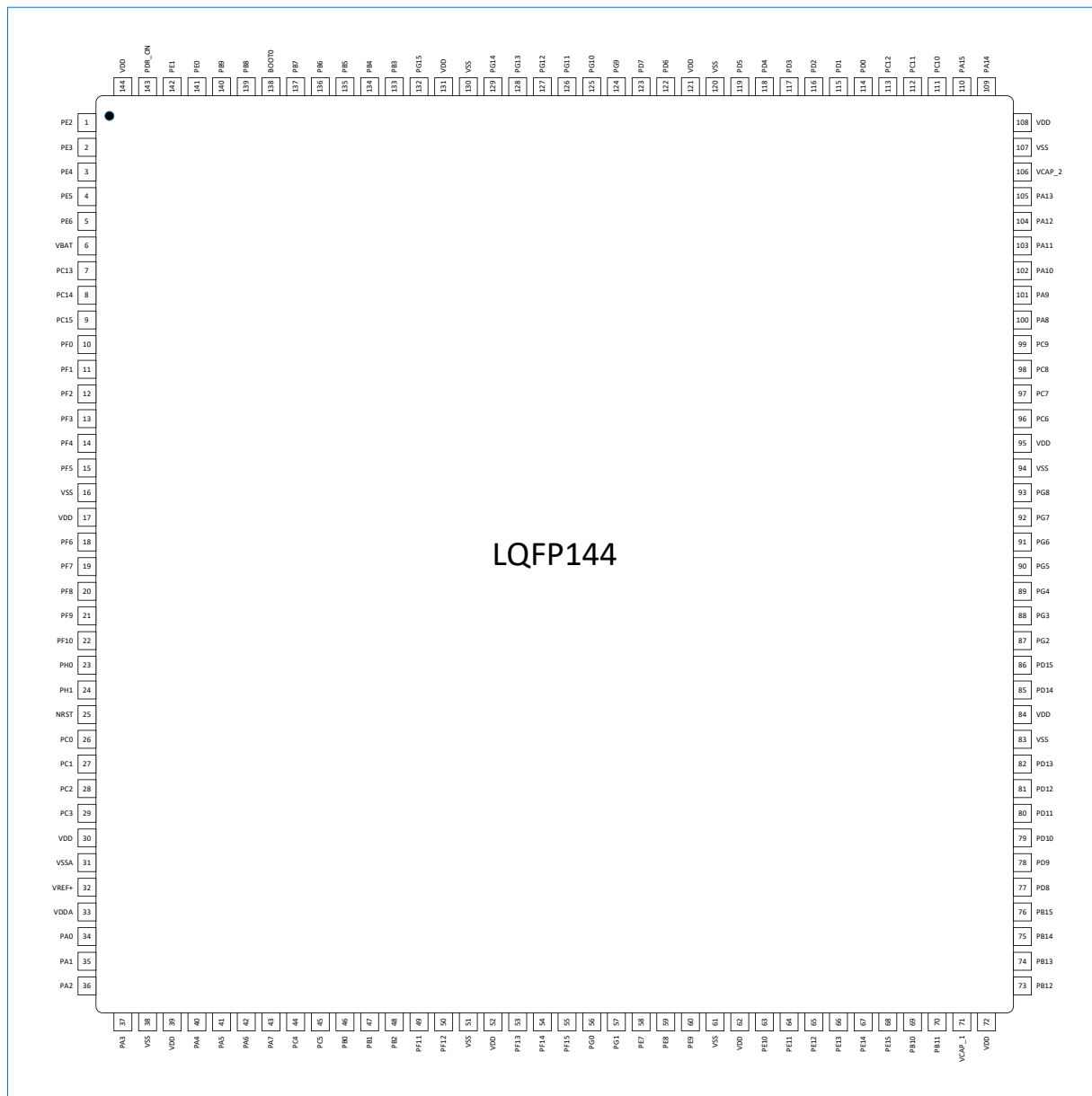


图 6-3 LQFP144 封装

6.4 管脚定义

LQFP64/LQFP100/LQFP144 封装的管脚定义如下表所示。

表 6-1 各封装的管脚定义

LQFP144	LQFP100	LQFP64	引脚名称 (复位后默认功能)	引脚类型 ⁽¹⁾	是否支持 5V 耐受 ⁽²⁾	引脚复用功能	引脚附加功能
1	1	-	PE2	I/O	FT	TRACECLK EVENTOUT FSMC_A23 QSPI_BK1_IO2 ETH_MII_TXD3	-
2	2	-	PE3	I/O	FT	TRACED0	-

LQFP144	LQFP100	LQFP64	引脚名称 (复位后默认功能)	引脚类型 ⁽¹⁾	是否支持 5V 耐受 ⁽²⁾	引脚复用功能	引脚附加功能
						EVENTOUT UART10_TX FSMC_A19	
3	3	-	PE4	I/O	FT	TRACED1 EVENTOUT DCMI_D4 FSMC_A20 FSMC_TFT_HSYNC4	-
4	4	-	PE5	I/O	FT	TRACED2 EVENTOUT TIM9_CH1 DCMI_D6 FSMC_A21 QSPI_BK2_IO1	-
5	5	-	PE6	I/O	FT	TRACED3 EVENTOUT TIM9_CH2 DCMI_D7 FSMC_A22	-
6	6	1	VBAT	S	-	-	-
7	7	2	PC13	I/O	FT	EVENTOUT	WKUP2 RTC_TAMP1 RTC_TS RTC_OUT
8	8	3	PC14	I/O	-	EVENTOUT	LSE_OSC_IN
9	9	4	PC15	I/O	-	EVENTOUT	LSE_OSC_OUT
10	-	-	PF0	I/O	FT	EVENTOUT I2C2_SDA FSMC_A0	-
11	-	-	PF1	I/O	FT	EVENTOUT I2C2_SCL FSMC_A1	-
12	-	-	PF2	I/O	FT	EVENTOUT I2C2_SMBA FSMC_A2 FSMC_TFT_VSYNC1	-
13	-	-	PF3	I/O	FT	EVENTOUT TIM8_CH1N FSMC_A3 FSMC_TFT_VSYNC2	ADC3_IN9

LQFP144	LQFP100	LQFP64	引脚名称 (复位后默认功能)	引脚类型 ⁽¹⁾	是否支持 5V 耐受 ⁽²⁾	引脚复用功能	引脚附加功能
14	-	-	PF4	I/O	FT	EVENTOUT TIM8_CH2N FSMC_A4 FSMC_TFT_VSYNC3	ADC3_IN14
15	-	-	PF5	I/O	FT	EVENTOUT TIM8_CH3N FSMC_A5 FSMC_TFT_VSYNC4	ADC3_IN15
16	10	-	VSS	S	-	地	
17	11	-	VDD	S	-	数字电源供电	
18	-	-	PF6	I/O	FT	EVENTOUT UART7_RX TIM10_CH1 FSMC_NIORD QSPI_BK1_IO3	ADC3_IN4
19	-	-	PF7	I/O	FT	EVENTOUT UART7_TX TIM11_CH1 FSMC_NREG QSPI_BK1_IO2	ADC3_IN5
20	-	-	PF8	I/O	FT	EVENTOUT UART8_RX TIM13_CH1 FSMC_NIOWR QSPI_BK1_IO0	ADC3_IN6
21	-	-	PF9	I/O	FT	EVENTOUT UART8_TX TIM14_CH1 FSMC_CD QSPI_BK1_IO1	ADC3_IN7
22	-	-	PF10	I/O	FT	EVENTOUT TIM8_CH4 FSMC_INTR FSMC_TFT_HSYNC1	ADC3_IN8
23	12	5	PH0	I/O	-	EVENTOUT DCMI_D4	OSC_IN
24	13	6	PH1	I/O	-	EVENTOUT DCMI_D6	OSC_OUT
25	14	7	NRST	I/O	FT	-	-
26	15	8	PC0	I/O	FT	EVENTOUT	ADC1_IN10

LQFP144	LQFP100	LQFP64	引脚名称 (复位后默认功能)	引脚类型 ⁽¹⁾	是否支持 5V 耐受 ⁽²⁾	引脚复用功能	引脚附加功能
						FSMC_TFT_HSYNC1 OTG_HS_ULPI_STP	ADC2_IN10 ADC3_IN10
27	16	9	PC1	I/O	FT	EVENTOUT I2S2ext_SD ETH_MDC	ADC1_IN11 ADC2_IN11 ADC3_IN11
28	17	10	PC2	I/O	FT	EVENTOUT SPI2_MISO I2S2_MCK I2S2ext_SD FSMC_TFT_HSYNC2 OTG_HS_ULPI_DIR ETH_MII_TXD2	ADC1_IN12 ADC2_IN12 ADC3_IN12
29	18	11	PC3	I/O	FT	EVENTOUT SPI2_MOSI I2S2_SD FSMC_TFT_HSYNC3 OTG_HS_ULPI_NXT ETH_MII_TX_CLK	ADC1_IN13 ADC2_IN13 ADC3_IN13
30	19	19	VDD	S	-	数字电源供电	
31	20	12	VSSA	S	-	模拟地	
32	21	_(3)	VREF+	S	-	-	-
33	22	13	VDDA	S	-	模拟电源供电	
34	23	14	PA0	I/O	FT	EVENTOUT USART2_CTS UART4_TX TIM2_CH1_ETR TIM5_CH1 TIM8_ETR ETH_MII_CRS	WKUP1 ADC1_IN0 ADC2_IN0 ADC3_IN0 RTC_TAMP1 RTC_TAMP2 RTC_TS
35	24	15	PA1	I/O	FT	RCC_EXTCLK EVENTOUT USART2_RTS UART4_RX TIM2_CH2 TIM5_CH2 FSMC_TFT_DCLK QSPI_BK1_IO3 ETH_MII_RX_CLK ETH_RMII_REF_CLK	ADC1_IN1 ADC2_IN1 ADC3_IN1
36	25	16	PA2	I/O	FT	EVENTOUT USART2_TX TIM2_CH3	ADC1_IN2 ADC2_IN2 ADC3_IN2

LQFP144	LQFP100	LQFP64	引脚名称 (复位后默认功能)	引脚类型 ⁽¹⁾	是否支持 5V 耐受 ⁽²⁾	引脚复用功能	引脚附加功能
						TIM5_CH3 TIM9_CH1 ETH_MDIO	
37	26	17	PA3	I/O	FT	EVENTOUT USART2_RX TIM2_CH4 TIM5_CH4 TIM9_CH2 FSMC_TFT_HSYNC4 OTG_HS_ULPI_D0 ETH_MII_COL	ADC1_IN3 ADC2_IN3 ADC3_IN3
38	27	18	VSS	S	-	地	
39	28	32	VDD	S	-	数字电源供电	
40	29	20	PA4	I/O	-	EVENTOUT USART2_CK SPI1_NSS I2S1_WS SPI3_NSS I2S3_WS DCMI_HSYNC OTG_HS_SOF	ADC1_IN4 ADC2_IN4 DAC1_OUT1
41	30	21	PA5	I/O	-	EVENTOUT TIM2_CH1_ETR TIM8_CH1N SPI1_SCK I2S1_CK FSMC_TFT_VSYNC1 OTG_HS_ULPI_CK	ADC1_IN5 ADC2_IN5 DAC2_OUT2
42	31	22	PA6	I/O	FT	EVENTOUT TIM1_BKIN TIM3_CH1 TIM8_BKIN TIM13_CH1 SPI1_MISO I2S1_MCK DCMI_PIXCK QSPI_BK2_IO0	ADC1_IN6 ADC2_IN6
43	32	23	PA7	I/O	FT	EVENTOUT TIM1_CH1N TIM3_CH2 TIM8_CH1N TIM14_CH1 SPI1_MOSI I2S1_SD	ADC1_IN7 ADC2_IN7

LQFP144	LQFP100	LQFP64	引脚名称 (复位后默认功能)	引脚类型 ⁽¹⁾	是否支持 5V 耐受 ⁽²⁾	引脚复用功能	引脚附加功能
						QSPI_BK2_IO1 ETH_MII_RX_DV ETH_RMII_CRS_DV	
44	33	24	PC4	I/O	FT	EVENTOUT QSPI_BK2_IO2 ETH_MII_RXD0 ETH_RMII_RXD0 CAN2_RX	ADC1_IN14 ADC2_IN14
45	34	25	PC5	I/O	FT	EVENTOUT QSPI_BK2_IO3 ETH_MII_RXD1 ETH_RMII_RXD1 CAN2_TX	ADC1_IN15 ADC2_IN15
46	35	26	PB0	I/O	FT	EVENTOUT TIM1_CH2N TIM3_CH3 TIM8_CH2N FSMC_TFT_VSYNC2 OTG_HS_ULPI_D1 ETH_MII_RXD2	WKUP3 ADC1_IN8 ADC2_IN8
47	36	27	PB1	I/O	FT	RCC_EXTCLK EVENTOUT TIM1_CH3N TIM3_CH4 TIM8_CH3N FSMC_TFT_VSYNC3 QSPI_CLK OTG_HS_ULPI_D2 ETH_MII_RXD3	ADC1_IN9 ADC2_IN9
48	37	28	PB2	I/O	FT	EVENTOUT DCMI_D7 QSPI_CLK	BOOT1
49	-	-	PF11	I/O	FT	EVENTOUT TIM8_ETR DCMI_D12 FSMC_TFT_DCLK	-
50	-	-	PF12	I/O	FT	EVENTOUT TIM8_BKIN FSMC_A6 ETH_MII_TX_CLK	-
51	-	-	VSS	S	-	地	
52	50	48	VDD	S	-	数字电源供电	

LQFP144	LQFP100	LQFP64	引脚名称 (复位后默认功能)	引脚类型 ⁽¹⁾	是否支持 5V 耐受 ⁽²⁾	引脚复用功能	引脚附加功能
53	-	-	PF13	I/O	FT	EVENTOUT TIM8_CH1 FSMC_A7 FSMC_TFT_HSYNC2 ETH_MII_CRS	-
54	-	-	PF14	I/O	FT	EVENTOUT TIM8_CH2 FSMC_A8 ETH_MII_COL	-
55	-	-	PF15	I/O	FT	EVENTOUT TIM8_CH3 DCMI_HSYNC FSMC_A9 FSMC_TFT_HSYNC3	-
56	-	-	PG0	I/O	FT	EVENTOUT UART9_RX DCMI_PIXCK FSMC_A10	-
57	-	-	PG1	I/O	FT	EVENTOUT UART9_TX DCMI_D11 FSMC_A11	-
58	38	-	PE7	I/O	FT	EVENTOUT UART7_RX TIM1_ETR SPI2_NSS I2S2_WS FSMC_D4 QSPI_BK2_IO0 ETH_MDIO	-
59	39	-	PE8	I/O	FT	EVENTOUT TIM1_CH1N SPI2_SCK I2S2_CK FSMC_D5 QSPI_BK2_IO1 ETH_MDC	-
60	40	-	PE9	I/O	FT	EVENTOUT TIM1_CH1 SPI2_MISO I2S2_MCK I2S2ext_SD FSMC_D6	-

LQFP144	LQFP100	LQFP64	引脚名称 (复位后默认功能)	引脚类型 ⁽¹⁾	是否支持 5V 耐受 ⁽²⁾	引脚复用功能	引脚附加功能
						QSPI_BK2_IO2	
61	-	-	VSS	S	-	地	
62	-	-	VDD	S	-	数字电源供电	
63	41	-	PE10	I/O	FT	EVENTOUT TIM1_CH2N SPI2_MOSI I2S2_SD FSMC_D7	-
64	42	-	PE11	I/O	FT	EVENTOUT TIM1_CH2 I2S2ext_SD FSMC_D8	-
65	43	-	PE12	I/O	FT	EVENTOUT TIM1_CH3N FSMC_D9	-
66	44	-	PE13	I/O	FT	EVENTOUT TIM1_CH3 FSMC_D10	-
67	45	-	PE14	I/O	FT	EVENTOUT TIM1_CH4 FSMC_D11	-
68	46	-	PE15	I/O	FT	EVENTOUT TIM1_BKIN FSMC_D12	-
69	47	29	PB10	I/O	FT	EVENTOUT USART3_TX TIM2_CH3 SPI2_SCK I2S2_CK I2C2_SCL FSMC_TFT_VSYNC4 OTG_HS_ULPI_D3 ETH_MII_RX_ER	-
70	48	30	PB11	I/O	FT	EVENTOUT USART3_RX TIM2_CH4 I2C2_SDA FSMC_TFT_RST1 OTG_HS_ULPI_D4 ETH_MII_TX_EN ETH_RMII_TX_EN	-

LQFP144	LQFP100	LQFP64	引脚名称 (复位后默认功能)	引脚类型 ⁽¹⁾	是否支持 5V 耐受 ⁽²⁾	引脚复用功能	引脚附加功能
71	49	31	VCAP_1 ⁽⁴⁾	S	-	-	-
72	-	64	VDD	S	-	数字电源供电	
73	51	33	PB12	I/O	FT	EVENTOUT USART3_CK TIM1_BKIN SPI2_NSS I2S2_WS I2C2_SMBA FSMC_TFT_RST2 OTG_HS_ULPI_D5 OTG_HS_ID ETH_MII_TXD0 ETH_RMII_TXD0 CAN2_RX	-
74	52	34	PB13	I/O	FT	EVENTOUT USART3_CTS UART5_TX TIM1_CH1N SPI2_SCK I2S2_CK FSMC_TFT_RST3 OTG_HS_ULPI_D6 OTG_HS_VBUS ETH_MII_TXD1 ETH_RMII_TXD1 CAN2_TX	-
75	53	35	PB14	I/O	FT	EVENTOUT USART3_RTS UART5_RX TIM1_CH2N TIM8_CH2N TIM12_CH1 SPI2_MISO I2S2_MCK I2S2ext_SD OTG_HS_DM	-
76	54	36	PB15	I/O	FT	EVENTOUT RTC_REFIN TIM1_CH3N TIM8_CH3N TIM12_CH2 SPI2_MOSI I2S2_SD OTG_HS_DP	-

LQFP144	LQFP100	LQFP64	引脚名称 (复位后默认功能)	引脚类型 ⁽¹⁾	是否支持 5V 耐受 ⁽²⁾	引脚复用功能	引脚附加功能
77	55	-	PD8	I/O	FT	EVENTOUT USART3_TX FSMC_D13 ETH_MII_TXD2	-
78	56	-	PD9	I/O	FT	EVENTOUT USART3_RX FSMC_D14 ETH_MII_TX_CLK	-
79	57	-	PD10	I/O	FT	EVENTOUT USART3_CK FSMC_D15	-
80	58	-	PD11	I/O	FT	EVENTOUT USART3_CTS DCMI_D8 FSMC_A16 QSPI_BK1_IO0	-
81	59	-	PD12	I/O	FT	EVENTOUT USART3_RTS TIM4_CH1 DCMI_D9 FSMC_A17 QSPI_BK1_IO1	-
82	60	-	PD13	I/O	FT	EVENTOUT TIM4_CH2 DCMI_D10 FSMC_A18 QSPI_BK1_IO3	-
83	74	63	VSS	S	-	地	
84	75	-	VDD	S	-	数字电源供电	
85	61	-	PD14	I/O	FT	EVENTOUT UART9_RX TIM4_CH3 FSMC_D0	-
86	62	-	PD15	I/O	FT	EVENTOUT UART9_TX TIM4_CH4 FSMC_D1	-
87	-	-	PG2	I/O	FT	EVENTOUT TIM5_CH1 DCMI_D8 FSMC_A12	-

LQFP144	LQFP100	LQFP64	引脚名称 (复位后默认功能)	引脚类型 ⁽¹⁾	是否支持 5V 耐受 ⁽²⁾	引脚复用功能	引脚附加功能
88	-	-	PG3	I/O	FT	EVENTOUT TIM5_CH2 DCMI_D9 FSMC_A13	-
89	-	-	PG4	I/O	FT	EVENTOUT TIM5_CH3 DCMI_HSYNC FSMC_A14	-
90	-	-	PG5	I/O	FT	EVENTOUT TIM5_CH4 FSMC_A15 ETH_MII_TXD2	-
91	-	-	PG6	I/O	FT	EVENTOUT TIM12_CH1 FSMC_INT2 QSPI_BK1_NCS	-
92	-	-	PG7	I/O	FT	EVENTOUT USART6_CK TIM12_CH2 DCMI_D11 FSMC_INT3	-
93	-	-	PG8	I/O	FT	EVENTOUT USART6_RTS ETH_PPS_OUT	-
94	-	-	VSS	S	-	地	
95	-	-	VDD	S	-	数字电源供电	
96	63	37	PC6	I/O	FT	EVENTOUT USART6_TX TIM3_CH1 TIM8_CH1 SPI2_MISO I2S2_MCK DCMI_D0 SDIO_D6	-
97	64	38	PC7	I/O	FT	RCC_EXTCLK EVENTOUT USART6_RX TIM3_CH2 TIM8_CH2 SPI3_MISO I2S3_MCK I2C3_SDA	-

LQFP144	LQFP100	LQFP64	引脚名称 (复位后默认功能)	引脚类型 ⁽¹⁾	是否支持 5V 耐受 ⁽²⁾	引脚复用功能	引脚附加功能
						DCMI_D1 SDIO_D7	
98	65	39	PC8	I/O	FT	EVENTOUT USART6_CK TIM3_CH3 TIM8_CH3 I2C3_SCL DCMI_D2 SDIO_D0 QSPI_BK1_IO2	-
99	66	40	PC9	I/O	FT	RCC_MCO2 RCC_I2S_CKIN EVENTOUT USART6_TX TIM3_CH4 TIM8_CH4 I2C3_SDA DCMI_D3 SDIO_D1 QSPI_BK1_IO0	-
100	67	41	PA8	I/O	FT	RCC_MCO1 EVENTOUT USART1_CK UART7_RX TIM1_CH1 TIM3_CH1 TIM8_CH1 I2C3_SCL DCMI_D5	-
101	68	42	PA9	I/O	FT	EVENTOUT USART1_TX TIM1_CH2 I2C3_SMBA DCMI_D0	-
102	69	43	PA10	I/O	FT	EVENTOUT USART1_RX TIM1_CH3 SPI2_MISO I2S2_MCK DCMI_D1	-
103	70	44	PA11	I/O	FT	EVENTOUT USART1_CTS UART4_TX TIM1_CH4	-

LQFP144	LQFP100	LQFP64	引脚名称 (复位后默认功能)	引脚类型 ⁽¹⁾	是否支持 5V 耐受 ⁽²⁾	引脚复用功能	引脚附加功能
						DCMI_D12 CAN1_RX	
104	71	45	PA12	I/O	FT	EVENTOUT USART1_RTS UART4_RX TIM1_ETR DCMI_D13 CAN1_TX	-
105	72	46	PA13	I/O	FT	JTMS_SWDIO EVENTOUT IR_OUT	-
106	73	47	VCAP_2 ⁽³⁾	S	-	-	-
107	99	-	VSS	S	-	地	
108	100	-	VDD	S	-	数字电源供电	
109	76	49	PA14	I/O	FT	JTCK_SWCLK EVENTOUT	
110	77	50	PA15	I/O	FT	JTDI EVENTOUT UART7_TX TIM2_CH1_ETR SPI1_NSS I2S1_WS SPI3_NSS I2S3_WS DCMI_VSYNC	-
111	78	51	PC10	I/O	FT	EVENTOUT USART3_TX UART4_TX SPI3_SCK I2S3_CK DCMI_D8 SDIO_D2 QSPI_BK1_IO1	-
112	79	52	PC11	I/O	FT	EVENTOUT USART3_RX UART4_RX SPI3_MISO I2S3_MCK I2S3ext_SD DCMI_D4 SDIO_D3 QSPI_BK2_NCS	-

LQFP144	LQFP100	LQFP64	引脚名称 (复位后默认功能)	引脚类型 ⁽¹⁾	是否支持 5V 耐受 ⁽²⁾	引脚复用功能	引脚附加功能
113	80	53	PC12	I/O	FT	EVENTOUT USART3_CK UART5_TX SPI3_MOSI I2S3_SD DCMI_D9 SDIO_CK	-
114	81	-	PD0	I/O	FT	EVENTOUT FSMC_D2 ETH_MII_RX_DV ETH_RMII_CRS_DV CAN1_RX	-
115	82	-	PD1	I/O	FT	EVENTOUT FSMC_D3 ETH_MII_RXD0 ETH_RMII_RXD0 CAN1_TX	-
116	83	54	PD2	I/O	FT	EVENTOUT UART5_RX TIM3_ETR DCMI_D11 SDIO_CMD ETH_MII_RXD1 ETH_RMII_RXD1	-
117	84	-	PD3	I/O	FT	EVENTOUT USART2_CTS FSMC_CLK QSPI_CLK ETH_MII_RXD2	-
118	85	-	PD4	I/O	FT	EVENTOUT USART2_RTS FSMC_NOE ETH_MII_RXD3	-
119	86	-	PD5	I/O	FT	EVENTOUT USART2_TX FSMC_NWE ETH_MII_RX_ER	-
120	-	-	VSS	S	-	地	
121	-	-	VDD	S	-	数字电源供电	
122	87	-	PD6	I/O	FT	EVENTOUT USART2_RX FSMC_NWAIT	-

LQFP144	LQFP100	LQFP64	引脚名称 (复位后默认功能)	引脚类型 ⁽¹⁾	是否支持 5V 耐受 ⁽²⁾	引脚复用功能	引脚附加功能
123	88	-	PD7	I/O	FT	EVENTOUT USART2_CK FSMC_NE1 FSMC_NCE2	-
124	-	-	PG9	I/O	FT	EVENTOUT USART6_RX FSMC_NE2 FSMC_NCE3 QSPI_BK2_IO2	-
125	-	-	PG10	I/O	FT	EVENTOUT UART10_RX FSMC_NCE4_1 FSMC_NE3	-
126	-	-	PG11	I/O	FT	EVENTOUT FSMC_NCE4_2 ETH_MII_TX_EN ETH_RMII_TX_EN	-
127	-	-	PG12	I/O	FT	EVENTOUT USART6_RTS UART10_TX FSMC_NE4 FSMC_TFT_RST4	-
128	-	-	PG13	I/O	FT	EVENTOUT USART6_CTS FSMC_A24 ETH_MII_TXD0 ETH_RMII_TXD0	-
129	-	-	PG14	I/O	FT	EVENTOUT USART6_TX FSMC_A25 QSPI_BK2_IO3 ETH_MII_TXD1 ETH_RMII_TXD1	-
130	-	-	VSS	S	-	地	
131	-	-	VDD	S	-	数字电源供电	
132	-	-	PG15	I/O	FT	EVENTOUT USART6_CTS DCMI_D13 ETH_MII_RX_CLK ETH_RMII_REF_CLK	-
133	89	55	PB3	I/O	FT	JTDO_SWV	-

LQFP144	LQFP100	LQFP64	引脚名称 (复位后默认功能)	引脚类型 ⁽¹⁾	是否支持 5V 耐受 ⁽²⁾	引脚复用功能	引脚附加功能
						EVENTOUT UART7_RX TIM2_CH2 SPI1_SCK I2S1_CK SPI3_SCK I2S3_CK DCMI_D2 QSPI_BK2_IO3	
134	90	56	PB4	I/O	FT	NJTRST EVENTOUT UART7_TX TIM3_CH1 SPI1_MISO I2S1_MCK SPI3_MISO I2S3_MCK I2S3ext_SD DCMI_D3 QSPI_BK2_NCS	-
135	91	57	PB5	I/O	FT	EVENTOUT TIM3_CH2 SPI1_MOSI I2S1_SD SPI3_MOSI I2S3_SD I2C1_SMBA DCMI_D10 OTG_HS_ULPI_D7 ETH_PPS_OUT CAN2_RX	-
136	92	58	PB6	I/O	FT	EVENTOUT USART1_TX TIM4_CH1 I2C1_SCL DCMI_D5 QSPI_BK1_NCS CAN2_TX	-
137	93	59	PB7	I/O	FT	RCC_EXTCLK EVENTOUT USART1_RX TIM4_CH2 I2C1_SDA DCMI_VSYNC FSMC_NL ETH_MII_RXD3	-

LQFP144	LQFP100	LQFP64	引脚名称 (复位后默认功能)	引脚类型 ⁽¹⁾	是否支持 5V 耐受 ⁽²⁾	引脚复用功能	引脚附加功能
138	94	60	BOOT0	I/O	FT	-	-
139	95	61	PB8	I/O	FT	EVENTOUT TIM4_CH3 TIM10_CH1 I2C1_SCL DCMI_D6 SDIO_D4 ETH_MII_TXD3 CAN1_RX	-
140	96	62	PB9	I/O	FT	EVENTOUT TIM4_CH4 TIM11_CH1 IR_OUT SPI2_NSS I2S2_WS I2C1_SDA DCMI_D7 SDIO_D5 CAN1_TX	-
141	97	-	PE0	I/O	FT	EVENTOUT UART8_RX TIM4_ETR DCMI_D2 FSMC_NBL1	-
142	98	-	PE1	I/O	FT	EVENTOUT UART8_TX UART10_RX DCMI_D3 FSMC_NBL0 OTG_HS_ULPI_CK	-
143	-	-	PDR_ON	I/O	FT	-	-
144	-	-	VDD	S	-	数字电源供电	

(1). I = input, O=output, I/O= input/output, S= power supply。

(2). FT: 5V 容限输入。

(3). 64-pin 封装的 VDDA 和 VREF+在内部 bonding 在一起。

(4). VCAP_1/VCAP_2 引脚在芯片内部没有短路。

6.5 引脚复用（AF）功能表

表 6-2 引脚复用功能表

引脚名	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PA0	-	TIM2_CH1_ETR	TIM5_CH1	TIM8_ETR	-	-	-	USART2_CTS	UART4_TX	-	-	ETH_MII_CRS	-	-	-	EVENT OUT
PA1	RCC_EXTCLK	TIM2_CH2	TIM5_CH2	-	-	-	-	USART2_RTS	UART4_RX	QSPI_BK1_IO3	-	ETH_MII_RX_CLK/ ETH_RMII_REF_CLK	-	-	FSMC_TFT_DCLK	EVENT OUT
PA2	-	TIM2_CH3	TIM5_CH3	TIM9_CH1	-	-	-	USART2_TX	-	-	-	ETH_MDIO	-	-	-	EVENT OUT
PA3	-	TIM2_CH4	TIM5_CH4	TIM9_CH2	-	-	-	USART2_RX	-	-	OTG_HS_ULPI_D0	ETH_MII_COL	-	-	FSMC_TFT_HSYNC4	EVENT OUT
PA4	-	-	-	-	-	SPI1_NSS/ I2S1_WS	SPI3_NSS/ I2S3_WS	USART2_CK	-	-	-	-	OTG_HS_SOF	DCMI_HSYNC	-	EVENT OUT
PA5	-	TIM2_CH1_ETR	-	TIM8_CH1N	-	SPI1_SCK/ I2S1_CK	-	-	-	-	OTG_HS_ULPI_CK	-	-	-	FSMC_TFT_VSYNC1	EVENT OUT
PA6	-	TIM1_BKIN	TIM3_CH1	TIM8_BKIN	-	SPI1_MISO/ I2S1_MCK	-	-	-	TIM13_CH1	QSPI_BK2_IO0	-	-	DCMI_PIXCK	-	EVENT OUT
PA7	-	TIM1_CH1N	TIM3_CH2	TIM8_CH1N	-	SPI1_MOSI/ I2S1_SD	-	-	-	TIM14_CH1	QSPI_BK2_IO1	ETH_MII_RX_DV/ ETH_RMII_CRS_DV	-	-	-	EVENT OUT
PA8	RCC_MCO1	TIM1_CH1	TIM3_CH1	TIM8_CH1	I2C3_SCL	-	-	USART1_CK	UART7_RX	-	-	-	-	DCMI_D5	-	EVENT OUT
PA9	-	TIM1_CH2	-	-	I2C3_SMBA	-	-	USART1_TX	-	-	-	-	-	DCMI_D0	-	EVENT OUT
PA10	-	TIM1_CH3	-	-	-	SPI2_MISO/ I2S2_MCK	-	USART1_RX	-	-	-	-	-	DCMI_D1	-	EVENT OUT
PA11	-	TIM1_CH4	-	-	-	-	-	USART1_CTS	UART4_TX	CAN1_RX	-	-	-	DCMI_D12	-	EVENT OUT

引脚名	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PA12	-	TIM1_ETR	-	-	-	-	-	USART1_RTS	UART4_RX	CAN1_TX	-	-	-	DCMI_D13	-	EVENT OUT
PA13	JTMS_SWDIO	IR_OUT	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT
PA14	JTCK_SWCLK	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT
PA15	JTDI	TIM2_CH1_ETR	-	-	-	SPI1_NSS/I2S1_WS	SPI3_NSS/I2S3_WS	-	UART7_TX	-	-	-	-	DCMI_VSYNC	-	EVENT OUT
PB0	-	TIM1_CH2N	TIM3_CH3	TIM8_CH2N	-	-	-	-	-	-	OTG_HS_ULPI_D1	ETH_MII_RX_D2	-	-	FSMC_TFT_VSYNC2	EVENT OUT
PB1	RCC_EXTCLK	TIM1_CH3N	TIM3_CH4	TIM8_CH3N	-	-	-	-	-	QSPI_CLK	OTG_HS_ULPI_D2	ETH_MII_RX_D3	-	-	FSMC_TFT_VSYNC3	EVENT OUT
PB2	-	-	-	-	-	-	-	-	-	QSPI_CLK	-	-	-	DCMI_D7	-	EVENT OUT
PB3	JTDO_SWV	TIM2_CH2	-	-	-	SPI1_SCK/I2S1_CK	SPI3_SCK/I2S3_CK	-	UART7_RX	-	QSPI_BK2_IO3	-	-	DCMI_D2	-	EVENT OUT
PB4	NJTRST	-	TIM3_CH1	-	-	SPI1_MISO/I2S1_MCK	SPI3_MISO/I2S3_MCK	I2S3ext_SD	UART7_TX	QSPI_BK2_NCS	-	-	-	DCMI_D3	-	EVENT OUT
PB5	-	-	TIM3_CH2	-	I2C1_SMBA	SPI1_MOSI/I2S1_SD	SPI3_MOSI/I2S3_SD	-	-	CAN2_RX	OTG_HS_ULPI_D7	ETH_PPS_OUT	-	DCMI_D10	-	EVENT OUT
PB6	-	-	TIM4_CH1	-	I2C1_SCL	-	-	USART1_TX	-	CAN2_TX	QSPI_BK1_NCS	-	-	DCMI_D5	-	EVENT OUT
PB7	RCC_EXTCLK	-	TIM4_CH2	-	I2C1_SDA	-	-	USART1_RX	-	-	-	ETH_MII_RX_D3	FSMC_NL	DCMI_VSYNC	-	EVENT OUT
PB8	-	-	TIM4_CH3	TIM10_CH1	I2C1_SCL	-	-	-	-	CAN1_RX	-	ETH_MII_TX_D3	SDIO_D4	DCMI_D6	-	EVENT OUT
PB9	-	IR_OUT	TIM4_CH4	TIM11_CH1	I2C1_SDA	SPI2_NSS/I2S2_WS	-	-	-	CAN1_TX	-	-	SDIO_D5	DCMI_D7	-	EVENT OUT
PB10	-	TIM2_CH3	-	-	I2C2_SCL	SPI2_SCK/I2S2_CK	-	USART3_TX	-	-	OTG_HS_ULPI_D3	ETH_MII_RX_ER	-	-	FSMC_TFT_VSYNC4	EVENT OUT

引脚名	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PB11	-	TIM2_CH4	-	-	I2C2_SDA	-	-	USART3_RX	-	-	OTG_HS_ULPI_D4	ETH_MII_TX_EN/ ETH_RMII_TX_EN	-	-	FSMC_TFT_RST1	EVENT OUT
PB12	-	TIM1_BKIN	-	-	I2C2_SMBA	SPI2_NSS/ I2S2_WS	-	USART3_CK	-	CAN2_RX	OTG_HS_ULPI_D5	ETH_MII_TXD0/ ETH_RMII_TXD0	OTG_HS_ID	-	FSMC_TFT_RST2	EVENT OUT
PB13	-	TIM1_CH1N	-	-	-	SPI2_SCK/ I2S2_CK	-	USART3_CTS	UART5_TX	CAN2_TX	OTG_HS_ULPI_D6	ETH_MII_TXD1/ ETH_RMII_TXD1	OTG_HS_VBUS	-	FSMC_TFT_RST3	EVENT OUT
PB14	-	TIM1_CH2N	-	TIM8_CH2N	-	SPI2_MISO/ I2S2_MCK	I2S2ext_SD	USART3_RTS	UART5_RX	TIM12_CH1	-	-	OTG_HS_DM	-	-	EVENT OUT
PB15	RTC_REFIN	TIM1_CH3N	-	TIM8_CH3N	-	SPI2_MOSI/ I2S2_SD	-	-	-	TIM12_CH2	-	-	OTG_HS_DP	-	-	EVENT OUT
PC0	-	-	-	-	-	-	-	-	-	-	OTG_HS_ULPI_STP	-	-	-	FSMC_TFT_HSYNC1	EVENT OUT
PC1	-	-	-	-	-	-	I2S2ext_SD	-	-	-	-	ETH_MDC	-	-	-	EVENT OUT
PC2	-	-	-	-	-	SPI2_MISO/ I2S2_MCK	I2S2ext_SD	-	-	-	OTG_HS_ULPI_DIR	ETH_MII_TXD2	-	-	FSMC_TFT_HSYNC2	EVENT OUT
PC3	-	-	-	-	-	SPI2_MOSI/ I2S2_SD	-	-	-	-	OTG_HS_ULPI_NEXT	ETH_MII_TX_CLK	-	-	FSMC_TFT_HSYNC3	EVENT OUT
PC4	-	-	-	-	-	-	-	-	-	CAN2_RX	QSPI_BK2_IO2	ETH_MII_RXD0/ ETH_RMII_RXD0	-	-	-	EVENT OUT
PC5	-	-	-	-	-	-	-	-	-	CAN2_TX	QSPI_BK2_IO3	ETH_MII_RXD1/ ETH_RMII_RXD1	-	-	-	EVENT OUT
PC6	-	-	TIM3_CH1	TIM8_CH1	-	SPI2_MISO/	-	-	USART6_TX	-	-	-	SDIO_D6	DCMI_D0	-	EVENT OUT

引脚名	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
						I2S2_MCK										
PC7	RCC_EXTCLK	-	TIM3_CH2	TIM8_CH2	I2C3_SDA	-	SPI3_MISO/ I2S3_MCK	-	USART6_RX	-	-	-	SDIO_D7	DCMI_D1	-	EVENT OUT
PC8	-	-	TIM3_CH3	TIM8_CH3	I2C3_SCL	-	-	-	USART6_CK	QSPI_BK1_I O2	-	-	SDIO_D0	DCMI_D2	-	EVENT OUT
PC9	RCC_MCO2	-	TIM3_CH4	TIM8_CH4	I2C3_SDA	RCC_I2S_CK1 N	-	-	USART6_TX	QSPI_BK1_I O0	-	-	SDIO_D1	DCMI_D3	-	EVENT OUT
PC10	-	-	-	-	-	-	SPI3_SCK/ I2S3_CK	USART3_TX	UART4_TX	QSPI_BK1_I O1	-	-	SDIO_D2	DCMI_D8	-	EVENT OUT
PC11	-	-	-	-	-	I2S3ext_SD	SPI3_MISO/ I2S3_MCK	USART3_RX	UART4_RX	QSPI_BK2_N CS	-	-	SDIO_D3	DCMI_D4	-	EVENT OUT
PC12	-	-	-	-	-	-	SPI3_MOSI/ I2S3_SD	USART3_CK	UART5_TX	-	-	-	SDIO_CK	DCMI_D9	-	EVENT OUT
PC13	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT
PC14	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT
PC15	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT
PD0	-	-	-	-	-	-	-	-	-	CAN1_RX	-	ETH_MII_RX _DV/ ETH_RMII_C RS_DV	FSMC_D2	-	-	EVENT OUT
PD1	-	-	-	-	-	-	-	-	-	CAN1_TX	-	ETH_MII_RX D0/ ETH_RMII_R XD0	FSMC_D3	-	-	EVENT OUT
PD2	-	-	TIM3_ETR	-	-	-	-	-	UART5_RX	-	-	ETH_MII_RX D1/ ETH_RMII_R XD1	SDIO_CMD	DCMI_D11	-	EVENT OUT

引脚名	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PD3	-	-	-	-	-	-	-	USART2_CTS	-	QSPI_CLK	-	ETH_MII_RX_D2	FSMC_CLK	-	-	EVENT OUT
PD4	-	-	-	-	-	-	-	USART2_RTS	-	-	-	ETH_MII_RX_D3	FSMC_NOE	-	-	EVENT OUT
PD5	-	-	-	-	-	-	-	USART2_TX	-	-	-	ETH_MII_RX_ER	FSMC_NWE	-	-	EVENT OUT
PD6	-	-	-	-	-	-	-	USART2_RX	-	-	-	-	FSMC_NWAIT	-	-	EVENT OUT
PD7	-	-	-	-	-	-	-	USART2_CK	-	-	-	-	FSMC_NE1/FSMC_NCE2	-	-	EVENT OUT
PD8	-	-	-	-	-	-	-	USART3_TX	-	-	-	ETH_MII_TX_D2	FSMC_D13	-	-	EVENT OUT
PD9	-	-	-	-	-	-	-	USART3_RX	-	-	-	ETH_MII_TX_CLK	FSMC_D14	-	-	EVENT OUT
PD10	-	-	-	-	-	-	-	USART3_CK	-	-	-	-	FSMC_D15	-	-	EVENT OUT
PD11	-	-	-	-	-	-	-	USART3_CTS	-	QSPI_BK1_IO0	-	-	FSMC_A16	DCMI_D8	-	EVENT OUT
PD12	-	-	TIM4_CH1	-	-	-	-	USART3_RTS	-	QSPI_BK1_IO1	-	-	FSMC_A17	DCMI_D9	-	EVENT OUT
PD13	-	-	TIM4_CH2	-	-	-	-	-	-	QSPI_BK1_IO3	-	-	FSMC_A18	DCMI_D10	-	EVENT OUT
PD14	-	-	TIM4_CH3	-	-	-	-	-	-	-	-	UART9_RX	FSMC_D0	-	-	EVENT OUT
PD15	-	-	TIM4_CH4	-	-	-	-	-	-	-	-	UART9_TX	FSMC_D1	-	-	EVENT OUT
PE0	-	-	TIM4_ETR	-	-	-	-	-	UART8_RX	-	-	-	FSMC_NBL1	DCMI_D2	-	EVENT OUT
PE1	-	-	-	-	-	-	-	-	UART8_TX	-	OTG_HS_ULPI_CLK	UART10_RX	FSMC_NBL0	DCMI_D3	-	EVENT OUT

引脚名	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PE2	TRACECLK	-	-	-	-	-	-	-	-	QSPI_BK1_I O2	-	ETH_MII_TX D3	FSMC_A23	-	-	EVENT OUT
PE3	TRACED0	-	-	-	-	-	-	-	-	-	-	UART10_TX	FSMC_A19	-	-	EVENT OUT
PE4	TRACED1	-	-	-	-	-	-	-	-	-	-	-	FSMC_A20	DCMI_D4	FSMC_TFT_ HSYNC4	EVENT OUT
PE5	TRACED2	-	-	TIM9_CH1	-	-	-	-	-	-	QSPI_BK2_I O1	-	FSMC_A21	DCMI_D6	-	EVENT OUT
PE6	TRACED3	-	-	TIM9_CH2	-	-	-	-	-	-	-	-	FSMC_A22	DCMI_D7	-	EVENT OUT
PE7	-	TIM1_ETR	-	-	-	SPI2_NSS/ I2S2_WS	-	-	UART7_RX	-	QSPI_BK2_I O0	ETH_MDIO	FSMC_D4	-	-	EVENT OUT
PE8	-	TIM1_CH1N	-	-	-	SPI2_SCK/ I2S2_CK	-	-	-	-	QSPI_BK2_I O1	ETH_MDC	FSMC_D5	-	-	EVENT OUT
PE9	-	TIM1_CH1	-	-	-	SPI2_MISO/ I2S2_MCK	I2S2ext_SD	-	-	-	QSPI_BK2_I O2	-	FSMC_D6	-	-	EVENT OUT
PE10	-	TIM1_CH2N	-	-	-	SPI2_MOSI/ I2S2_SD	-	-	-	-	-	-	FSMC_D7	-	-	EVENT OUT
PE11	-	TIM1_CH2	-	-	-	-	I2S2ext_SD	-	-	-	-	-	FSMC_D8	-	-	EVENT OUT
PE12	-	TIM1_CH3N	-	-	-	-	-	-	-	-	-	-	FSMC_D9	-	-	EVENT OUT
PE13	-	TIM1_CH3	-	-	-	-	-	-	-	-	-	-	FSMC_D10	-	-	EVENT OUT
PE14	-	TIM1_CH4	-	-	-	-	-	-	-	-	-	-	FSMC_D11	-	-	EVENT OUT
PE15	-	TIM1_BKIN	-	-	-	-	-	-	-	-	-	-	FSMC_D12	-	-	EVENT OUT
PF0	-	-	-	-	I2C2_SDA	-	-	-	-	-	-	-	FSMC_A0	-	-	EVENT OUT

引脚名	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PF1	-	-	-	-	I2C2_SCL	-	-	-	-	-	-	-	FSMC_A1	-	-	EVENT OUT
PF2	-	-	-	-	I2C2_SMBA	-	-	-	-	-	-	-	FSMC_A2	-	FSMC_TFT_V SYNC1	EVENT OUT
PF3	-	-	-	TIM8_CH1N	-	-	-	-	-	-	-	-	FSMC_A3	-	FSMC_TFT_V SYNC2	EVENT OUT
PF4	-	-	-	TIM8_CH2N	-	-	-	-	-	-	-	-	FSMC_A4	-	FSMC_TFT_V SYNC3	EVENT OUT
PF5	-	-	-	TIM8_CH3N	-	-	-	-	-	-	-	-	FSMC_A5	-	FSMC_TFT_V SYNC4	EVENT OUT
PF6	-	-	-	TIM10_CH1	-	-	-	-	UART7_RX	QSPI_BK1_I O3	-	-	FSMC_NIORD	-	-	EVENT OUT
PF7	-	-	-	TIM11_CH1	-	-	-	-	UART7_TX	QSPI_BK1_I O2	-	-	FSMC_NREG	-	-	EVENT OUT
PF8	-	-	-	-	-	-	-	-	UART8_RX	TIM13_CH1	QSPI_BK1_I O0	-	FSMC_NIOWR	-	-	EVENT OUT
PF9	-	-	-	-	-	-	-	-	UART8_TX	TIM14_CH1	QSPI_BK1_I O1	-	FSMC_CD	-	-	EVENT OUT
PF10	-	-	-	TIM8_CH4	-	-	-	-	-	-	-	-	FSMC_INTR	-	FSMC_TFT_HSYNC1	EVENT OUT
PF11	-	-	-	TIM8_ETR	-	-	-	-	-	-	-	-	-	DCMI_D12	FSMC_TFT_DCLK	EVENT OUT
PF12	-	-	-	TIM8_BKIN	-	-	-	-	-	-	-	ETH_MII_TX_CLK	FSMC_A6	-	-	EVENT OUT
PF13	-	-	-	TIM8_CH1	-	-	-	-	-	-	-	ETH_MII_CRS	FSMC_A7	-	FSMC_TFT_HSYNC2	EVENT OUT
PF14	-	-	-	TIM8_CH2	-	-	-	-	-	-	-	ETH_MII_COL	FSMC_A8	-	-	EVENT OUT
PF15	-	-	-	TIM8_CH3	-	-	-	-	-	-	-	-	FSMC_A9	DCMI_HSYNC	FSMC_TFT_HSYNC3	EVENT OUT

引脚名	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PG0	-	-	-	-	-	-	-	-	-	-	-	UART9_RX	FSMC_A10	DCMI_PIXCK	-	EVENT OUT
PG1	-	-	-	-	-	-	-	-	-	-	-	UART9_TX	FSMC_A11	DCMI_D11	-	EVENT OUT
PG2	-	-	TIM5_CH1	-	-	-	-	-	-	-	-	-	FSMC_A12	DCMI_D8	-	EVENT OUT
PG3	-	-	TIM5_CH2	-	-	-	-	-	-	-	-	-	FSMC_A13	DCMI_D9	-	EVENT OUT
PG4	-	-	TIM5_CH3	-	-	-	-	-	-	-	-	-	FSMC_A14	DCMI_HSYN C	-	EVENT OUT
PG5	-	-	TIM5_CH4	-	-	-	-	-	-	-	-	ETH_MII_TX D2	FSMC_A15	-	-	EVENT OUT
PG6	-	-	-	-	-	-	-	-	-	TIM12_CH1	QSPI_BK1_N CS	-	FSMC_INT2	-	-	EVENT OUT
PG7	-	-	-	-	-	-	-	-	USART6_CK	TIM12_CH2	-	-	FSMC_INT3	DCMI_D11	-	EVENT OUT
PG8	-	-	-	-	-	-	-	-	USART6_RTS	-	-	ETH_PPS_O UT	-	-	-	EVENT OUT
PG9	-	-	-	-	-	-	-	-	USART6_RX	QSPI_BK2_I O2	-	-	FSMC_NE2/ FSMC_NCE3	-	-	EVENT OUT
PG10	-	-	-	-	-	-	-	-	-	-	-	UART10_RX	FSMC_NCE4 _1/ FSMC_NE3	-	-	EVENT OUT
PG11	-	-	-	-	-	-	-	-	-	-	-	ETH_MII_TX _EN/ ETH_RMII_T X_EN	FSMC_NCE4 _2	-	-	EVENT OUT
PG12	-	-	-	-	-	-	-	-	USART6_RTS	-	-	UART10_TX	FSMC_NE4	-	FSMC_TFT_R ST4	EVENT OUT
PG13	-	-	-	-	-	-	-	-	USART6_CTS	-	-	ETH_MII_TX D0/ETH_RMII_TXD0	FSMC_A24	-	-	EVENT OUT

引脚名	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PG14	-	-	-	-	-	-	-	-	USART6_TX	QSPI_BK2_I O3	-	ETH_MII_TX D1/ ETH_RMII_T XD1	FSMC_A25	-	-	EVENT OUT
PG15	-	-	-	-	-	-	-	-	USART6_CTS	-	-	ETH_MII_RX _CLK/ ETH_RMII_R EF_CLK	-	DCMI_D13	-	EVENT OUT
PH0	-	-	-	-	-	-	-	-	-	-	-	-	-	DCMI_D4	-	EVENT OUT
PH1	-	-	-	-	-	-	-	-	-	-	-	-	-	DCMI_D6	-	EVENT OUT

7 封装参数

7.1 封装尺寸

7.1.1 LQFP64 封装

LQFP64 为 10 x 10mm，0.5mm 间距，64 脚低剖面方形扁平封装。

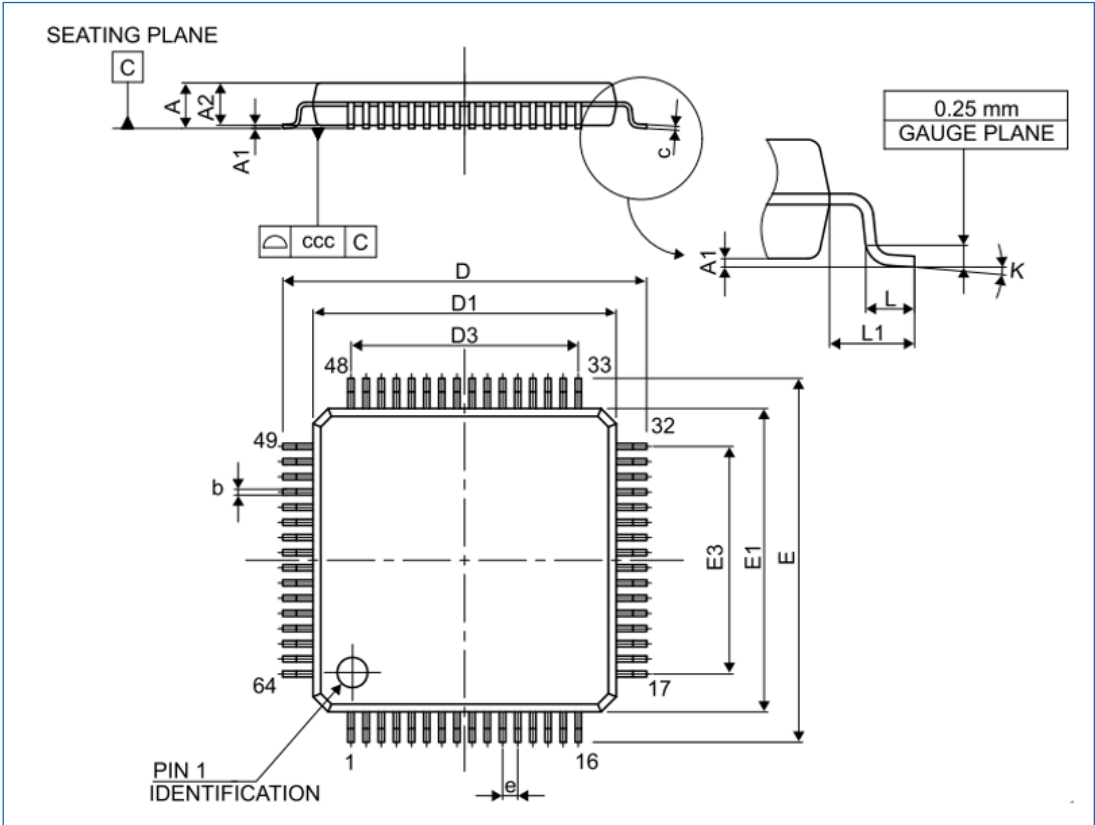


图 7-1 LQFP64 封装尺寸

表 7-1 LQFP64 封装参数

符号	单位: mm			单位: inches ⁽¹⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
A	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090	-	0.200	0.0035	-	0.0079
D	-	12.000	-	-	0.4724	-
D1	-	10.000	-	-	0.3937	-
D3	-	7.500	-	-	0.2953	-
E	-	12.000	-	-	0.4724	-

(1). 英寸为单位的数值是从对应的毫米数值转化得到，并保留至小数点后 4 位。

LQFP100 为 14 x 14mm, 0.5mm 间距, 100 脚低剖面方形扁平封装。

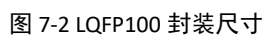


表 7-2 LQFP100 封装参数

符号	单位: mm			Inches ⁽¹⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
A	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090	-	0.200	0.0035	-	0.0079
D	15.800	16.000	16.200	0.6220	0.6299	0.6378
D1	13.800	14.000	14.200	0.5433	0.5512	0.5591
D3	-	12.000	-	-	0.4724	-
E	15.800	16.000	16.200	0.6220	0.6299	0.6378
E1	13.800	14.000	14.200	0.5433	0.5512	0.5591
E3	-	12.000	-	-	0.4724	-
e	-	0.500	-	-	0.0197	-
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
k	0°	3.5°	7°	0°	3.5°	7°
ccc	-	-	0.080	-	-	0.0031

(1). 英寸为单位的数值是从对应的毫米数值转化得到，并保留至小数点后 4 位。

7.1.3 LQFP144 封装

LQFP144 为 20 x 20mm，0.5mm 间距，144 脚低剖面方形扁平封装。

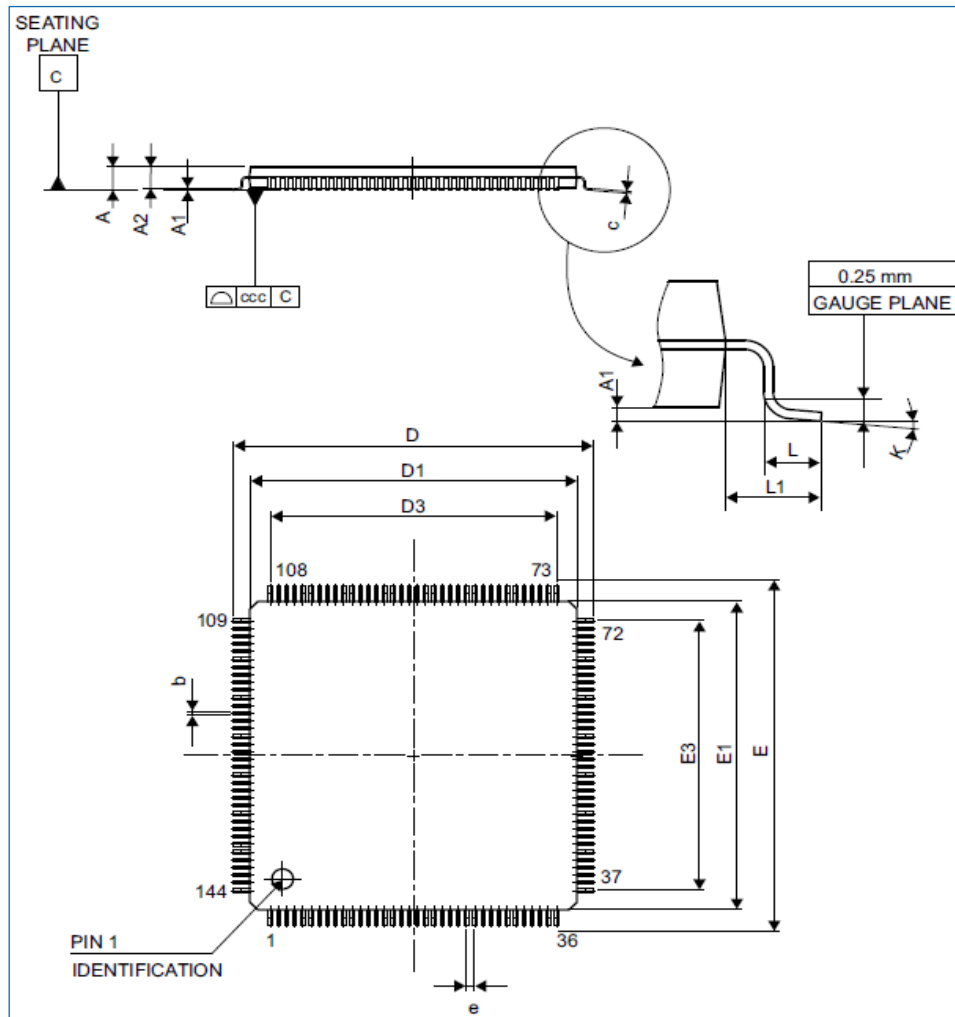


图 7-3 LQFP144 封装尺寸

表 7-3 LQFP144 封装参数

符号	单位: mm			Inches ⁽¹⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
A	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090	-	0.200	0.0035	-	0.0079
D	21.800	22.000	22.200	0.8583	0.8661	0.8740
D1	19.800	20.000	20.200	0.7795	0.7874	0.7953
D3	-	17.500	-	-	0.6890	-
E	21.800	22.000	22.200	0.8583	0.8661	0.8740

符号	单位: mm			Inches ⁽¹⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
E1	19.800	20.000	20.200	0.7795	0.7874	0.7953
E3	-	17.500	-	-	0.6890	-
e	-	0.500	-	-	0.0197	-
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
k	0°	3.5°	7°	0°	3.5°	7°
ccc	-	-	0.080	-	-	0.0031

(1). 英寸为单位的数值是从对应的毫米数值转化得到，并保留至小数点后 4 位。

7.2 丝印信息

丝印信息包括了航顺 LOGO+ARM LOGO、产品型号和产品批号。其中，产品批号的说明如下表所示。

表 7-4 产品批号说明

产品批号	说明
第 1 位字符	代表年份，例如 1 是代表 21 年
第 2 和 3 位字符	代表封装厂
第 4 和 5 位字符	代表周期，例如 18 代表周期
第 6、7 和 8 位字符	代表晶圆批号的后三位

7.2.1 LQFP64 丝印

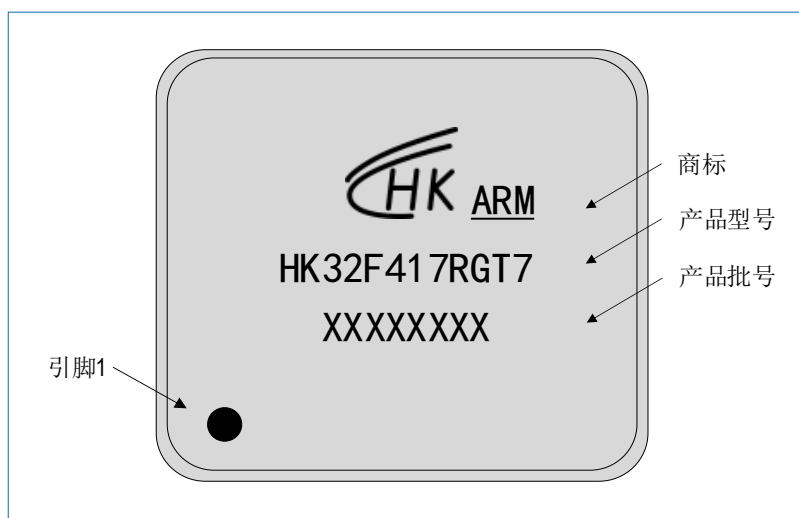


图 7-4 LQFP64 HK32F417RGT7 丝印示例

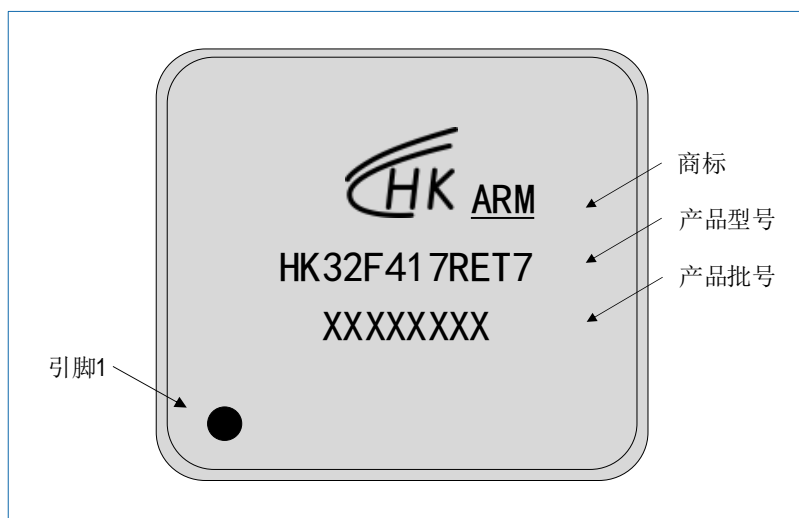


图 7-5 LQFP64 HK32F417RET7 丝印示例

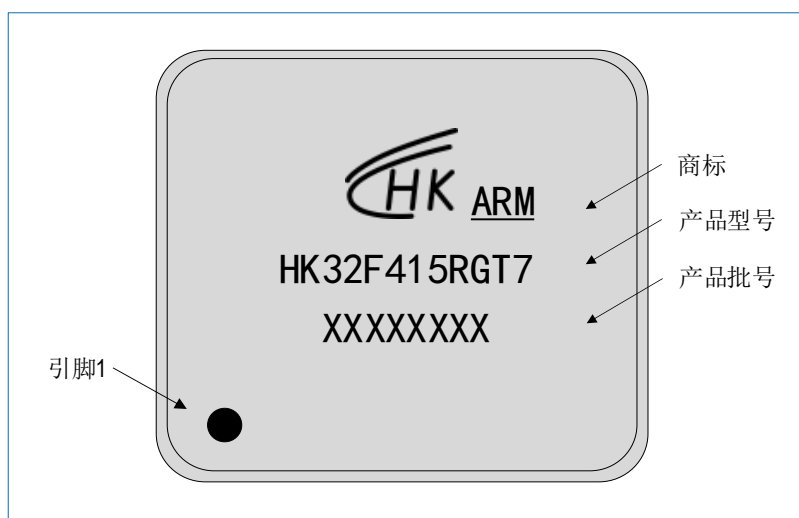


图 7-6 LQFP64 HK32F415RGT7 丝印示例

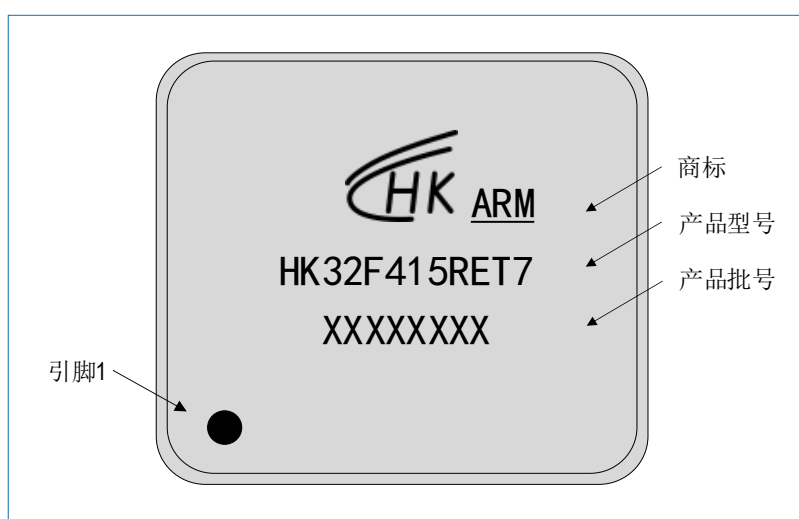


图 7-7 LQFP64 HK32F415RET7 丝印示例

7.2.2 LQFP100 丝印

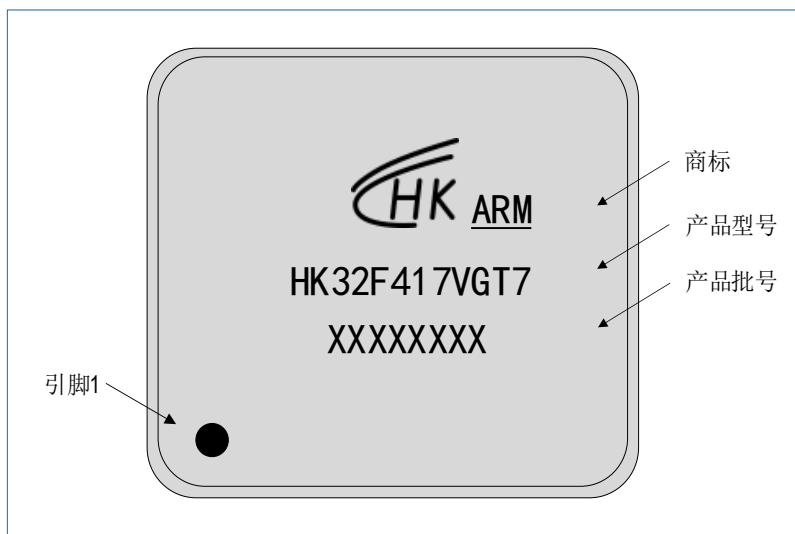


图 7-8 LQFP100 HK32F417VGT7 丝印示例

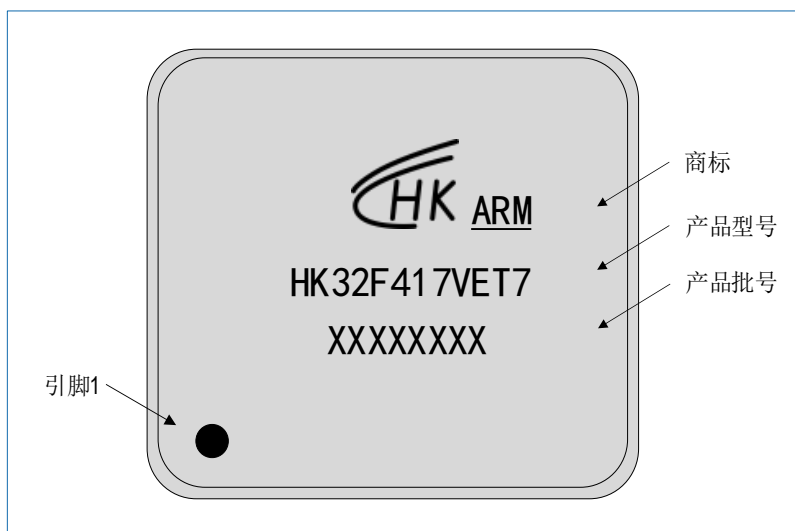


图 7-9 LQFP100 HK32F417VET7 丝印示例

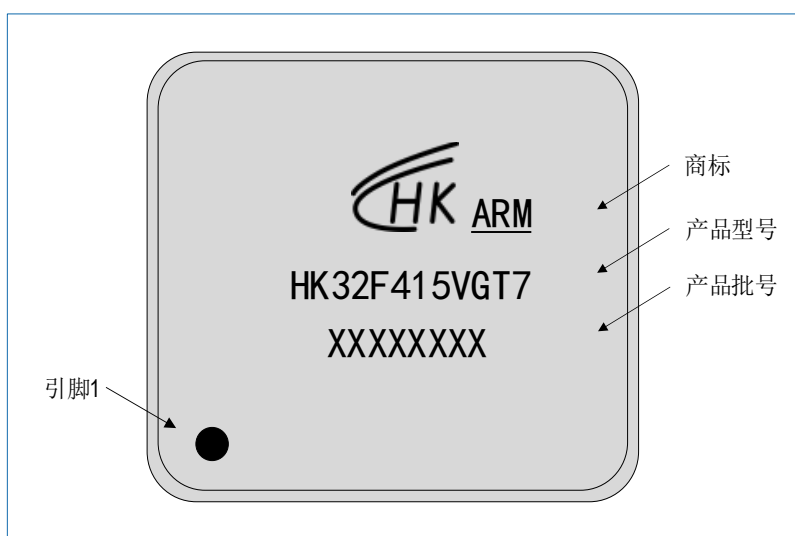


图 7-10 LQFP100 HK32F415VGT7 丝印示例

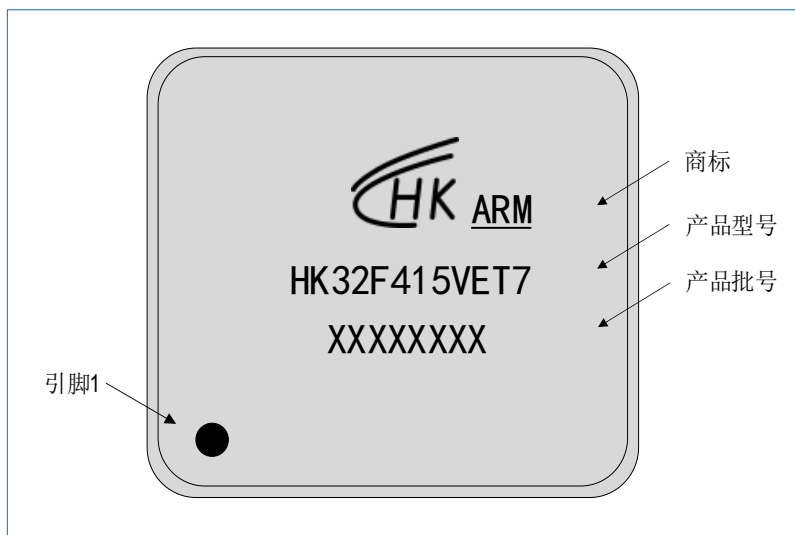


图 7-11 LQFP100 HK32F415VET7 丝印示例

7.2.3 LQFP144 丝印

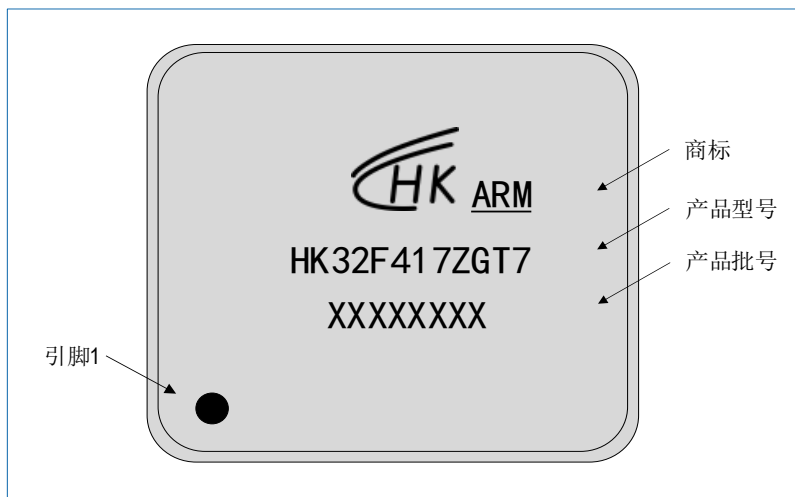


图 7-12 LQFP144 HK32F417ZGT7 丝印示例

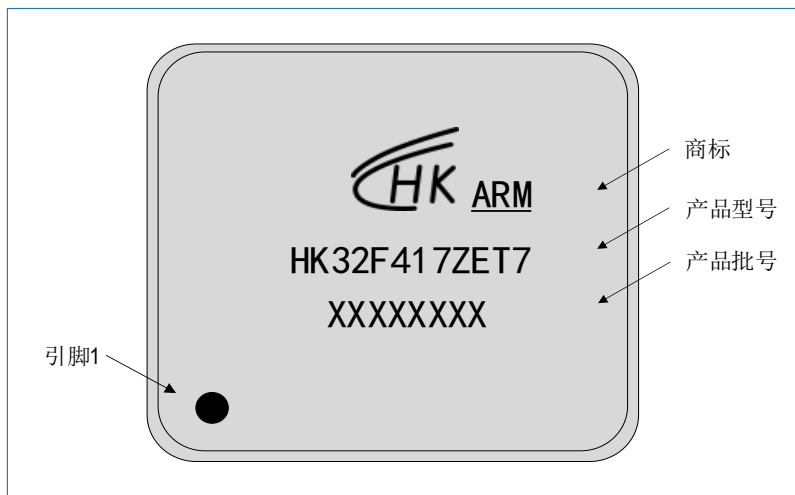


图 7-13 LQFP144 HK32F417ZET7 丝印示例

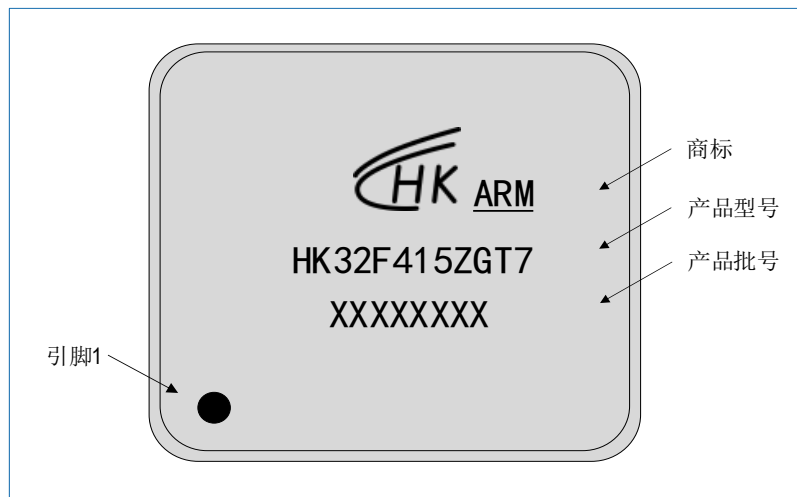


图 7-14 LQFP144 HK32F415ZGT7 丝印示例

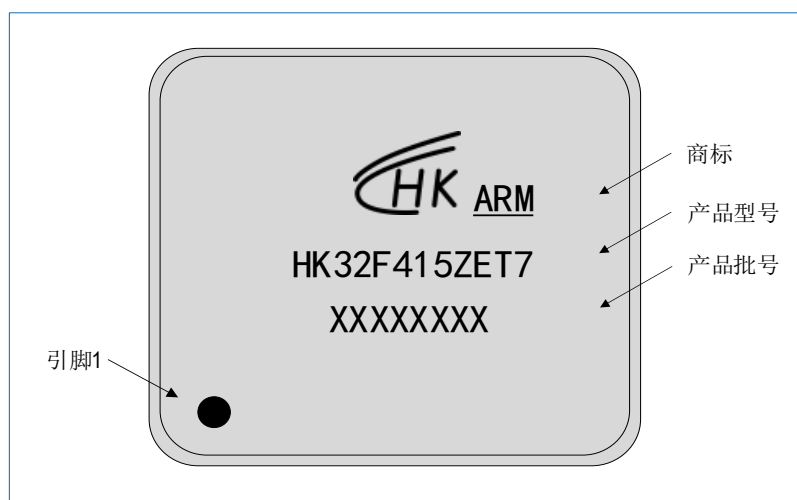


图 7-15 LQFP144 HK32F415ZET7 丝印示例

8 订货信息

8.1 订货代码

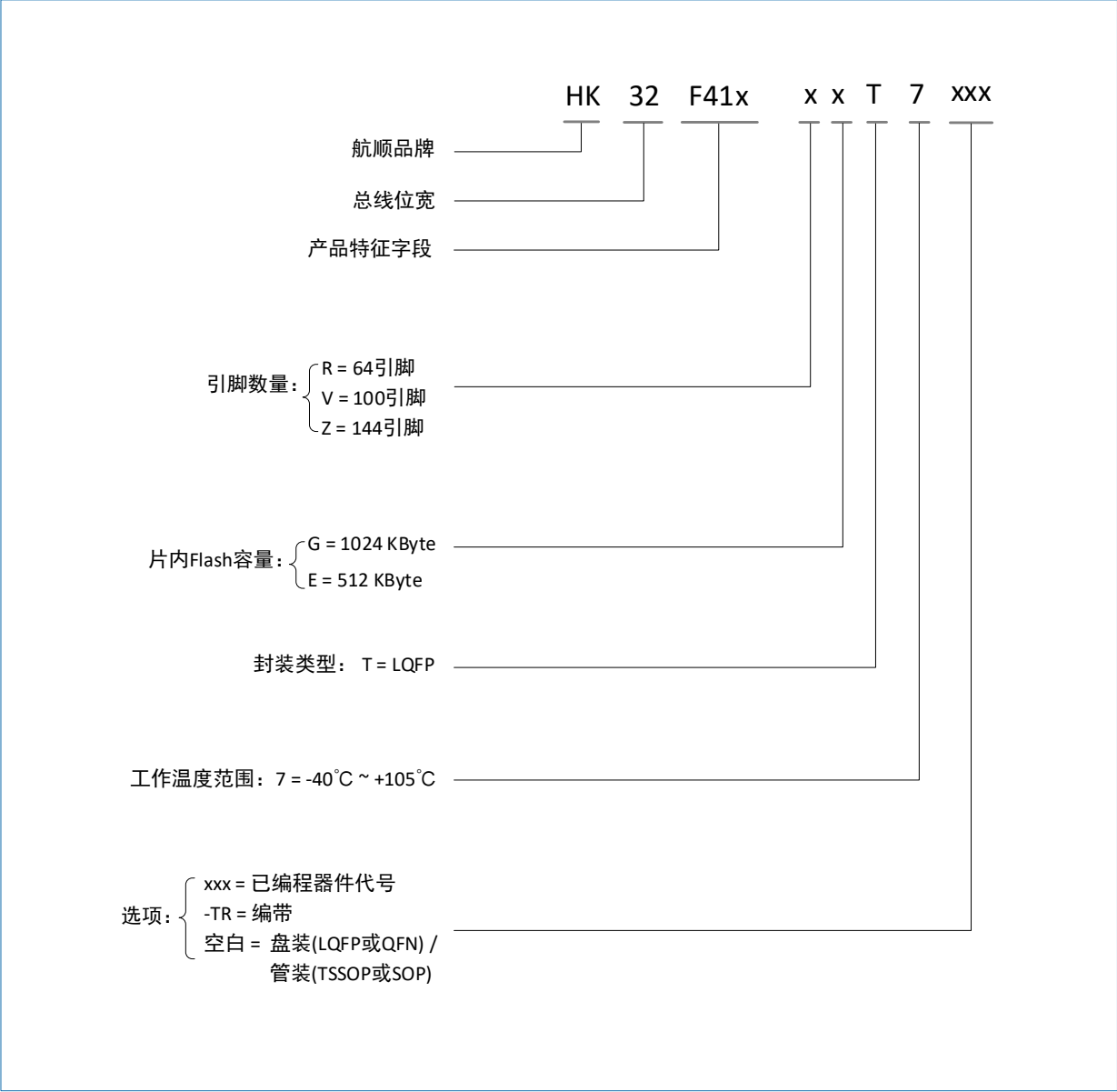


图 8-1 订货代码

8.2 订货包装

表 8-1 产品订货包装

封装	具体型号	包装	备注
LQFP64	HK32F417RGT7	盘装	-
LQFP64	HK32F417RGT7-TR	编带	-
LQFP64	HK32F417RET7	盘装	-
LQFP64	HK32F417RET7-TR	编带	-
LQFP64	HK32F415RGT7	盘装	-

封装	具体型号	包装	备注
LQFP64	HK32F415RGT7-TR	编带	-
LQFP64	HK32F415RET7	盘装	-
LQFP64	HK32F415RET7-TR	编带	-
LQFP100	HK32F417VGT7	盘装	-
LQFP100	HK32F417VGT7-TR	编带	-
LQFP100	HK32F417VET7	盘装	-
LQFP100	HK32F417VET7-TR	编带	-
LQFP100	HK32F415VGT7	盘装	-
LQFP100	HK32F415VGT7-TR	编带	-
LQFP100	HK32F415VET7	盘装	-
LQFP100	HK32F415VET7-TR	编带	-
LQFP144	HK32F417ZGT7	盘装	-
LQFP144	HK32F417ZGT7-TR	编带	-
LQFP144	HK32F417ZET7	盘装	-
LQFP144	HK32F417ZET7-TR	编带	-
LQFP144	HK32F415ZGT7	盘装	-
LQFP144	HK32F415ZGT7-TR	编带	-
LQFP144	HK32F415ZET7	盘装	-
LQFP144	HK32F415ZET7-TR	编带	-

9 缩略语与术语

9.1 缩略语

缩写	全称	中文描述
AHB	Advanced High-Performance Bus	高级高性能总线
APB	Advanced Peripheral Bus	外围总线
GPIO	General Purpose Input Output	通用输入输出
HSI	High-Speed Internal (Clock Signal)	高速内部 (时钟信号)
IAP	In-Application Programming	在线应用编程
ICP	In Circuit Programing	在电路编程
LSI	Low-Speed Internal (Clock Signal)	低速内部 (时钟信号)
MCU	Microcontroller Unit	微控制单元
OBL	Option Byte Loader	选项字节装载器
SWD	Serial Wire Debug	内核集成的调试口，它是基于SWD 协议的 2 线调试接口。

9.2 术语

名称	中文描述
Byte	字节，8 位数据长度。
Half word	半字，16 位的数据或指令长度。
Option byte	选项字节，保存在Flash 中的MCU 配置字节。
Word	字，32 位的数据或指令长度。

在未经深圳市航顺芯片技术研发有限公司同意下，不得以任何形式或途径修改本公司产品规格和数据表中的任何部分以及子部分。深圳市航顺芯片技术研发有限公司在以下方面保留权利：修改数据单和/或产品、停产任一产品或者终止服务不做通知；建议顾客获取最新版本的相关信息，在下定订单前进行核实以确保信息的及时性和完整性。所有的产品都依据订单确认时所提供的销售合同条款出售，条款内容包括保修范围、知识产权和责任范围。

顾客认可本公司的产品的设计、生产的目不涉及与生命保障相关或者用于其他危险的活动或者环境的其他系统或产品中。出现故障的产品会导致人身伤亡、财产或环境的损伤（统称高危活动）。人为在高危活动中使用本公司产品，本公司据此不作保修，并且不对顾客或者第三方负有责任。

深圳市航顺芯片技术研发有限公司将会提供与现在一样的技术支持、帮助、建议和信息，（全部包括关于购买的电路板或其他应用程序的设计，开发或调试）。特此声明，对于所有的技术支持、可销性或针对特定用途，及在支持技术无误下，电路板和其他应用程序可以操作或运行的，本公司将不作任何有关此类支持技术的担保，并对您在使用这项支持服务不负任何法律责任。

所有版权©深圳市航顺芯片技术研发有限公司 2015-2025

深圳市航顺芯片技术研发有限公司

联系电话: 0755-83247667

網址: www.hsxp-hk.com