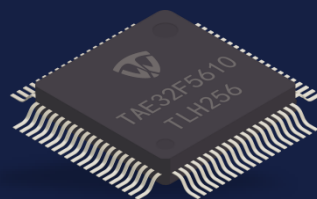




珠海泰为电子有限公司
Zhuhai Tai-Action Electronics CO., LTD.

TAE32F5610 系列



规格列表 Datasheet

版本号: Rev 1.0
修订日期: 2026 年 5 月 26 日

目录

简要规格	1
1 相关文档	2
2 资源汇总	3
3 功能概述	5
3.1 总线矩阵	5
3.2 存储	6
3.2.1 FLASH	6
3.2.2 SRAM	6
3.3 自举配置	7
3.4 电源控制器	7
3.4.1 LDO（线性调压器）	7
3.4.2 上电复位（POR）/掉电复位（PDR）	8
3.4.3 可编程电压检测器（LVD）	8
3.4.4 低功耗模式	9
3.5 时钟	9
3.6 嵌入式 FLASH 接口（FLASH）	10
3.7 中断和事件	11
3.7.1 嵌套向量中断控制器（NVIC）	11
3.7.2 SysTick 校准值寄存器	11
3.7.3 中断和异常向量	11
3.7.4 唤醒事件	13
3.8 通用 I/O（GPIO）	13
3.9 定时器和看门狗	14
3.9.1 基本定时器（TMR7/TMR8）	14
3.9.2 通用定时器（TMR0/TMR1/TMR2）	14
3.9.3 独立看门狗（IWDG）	15
3.9.4 窗口看门狗（WWDG）	15
3.10 DMA 控制器（DMA）	15
3.11 IQ 除法单元（IQDIV）	16
3.12 模数转换器（ADC）	16
3.13 数模转换器（DAC）	17
3.14 比较器（CMP）	17
3.15 高精度脉宽调制器（HRPWM）	17
3.16 通信接口	18
3.16.1 内部集成接口（I2C）	18
3.16.2 通用异步收发器（UART）	19
3.16.3 控制器局域网络（CAN）	19
3.16.4 串行外设接口（SPI）	20
3.16.5 正交编码器接口（QEI）	20
4 引脚定义	21
4.1 引脚框图	21
4.2 引脚描述	24

5 存储器地址映射	31
6 电气特性	33
6.1 参数条件	33
6.2 最大值和最小值	33
6.3 典型值	33
6.4 电源供电	33
6.5 绝对最大额定值	34
6.5.1 电压特性	34
6.5.2 电流特性	34
6.5.3 温度特性	34
6.6 典型工作条件	35
6.7 芯片功耗汇总	35
6.7.1 系统功耗	35
6.7.2 外设功耗	36
6.8 芯片上电/掉电特性	37
6.9 片内电源 AVCC 监测特性	38
6.10 片内参考电压	38
6.11 时钟特性	38
6.11.1 片外晶振特性 (HSE)	38
6.11.2 片内高速 RC 振荡器特性 (HSI)	39
6.11.3 片内低速 RC 振荡器特性 (LSI)	39
6.11.4 锁相环特性	39
6.12 FLASH 存储器特性	40
6.13 电灵敏度特性	40
6.13.1 ESD	40
6.13.2 Latch-Up	40
6.14 通用输入/输出端口特性	40
6.15 MCLR 引脚特性	41
6.16 高精度 PWM 特性	41
6.17 模拟外设特性	43
6.17.1 模数转换器特性	43
6.17.2 数模转换器特性	45
6.17.3 比较器特性	45
6.17.4 温度传感器特性	46
6.18 计时器特性	46
6.19 通信接口特性	47
6.19.1 I2C 特性	47
6.19.2 SPI 特性	48
6.19.3 UART 特性	50
7 封装信息	51
8 丝印信息	55
9 订购信息	58
版本历史	59

表目录

表 1	TAE32F5610 资源汇总.....	3
表 2	自举模式（默认从 BROM 自举）.....	7
表 3	低功耗模式汇总.....	9
表 4	芯片的中断向量表.....	11
表 5	引脚定义缩写说明.....	24
表 6	引脚定义.....	24
表 7	引脚功能复用表.....	29
表 8	芯片外设地址映射表.....	31
表 9	电压特性.....	34
表 10	电流特性.....	34
表 11	温度特性.....	34
表 12	典型工作条件.....	35
表 13	系统功耗.....	35
表 14	外设功耗.....	36
表 15	芯片上电/掉电特性.....	37
表 16	片内电源 AVCC 监测特性.....	38
表 17	片内参考电压.....	38
表 18	片外晶振特性（HSE）.....	38
表 19	片内高速 RC 振荡器特性（HSI）.....	39
表 20	片内低速 RC 振荡器特性（LSI）.....	39
表 21	锁相环特性.....	39
表 22	Flash 存储器特性.....	40
表 23	ESD 特性.....	40
表 24	Latch-Up 特性.....	40
表 25	通用输入/输出端口特性.....	40
表 26	MCLR 引脚特性.....	41
表 27	HRPWM Characteristics.....	41
表 28	HRPWM output response to fault protection.....	42
表 29	HRPWM output response to external events 0 to 9 (Fast mode).....	42
表 30	HRPWM output response to external events 0 to 9 (Slow mode).....	42
表 31	HRPWM synchronization input / output.....	42
表 32	ADC 特性.....	43
表 33	ADC 特性.....	44
表 34	DAC 特性.....	45
表 35	CMP 特性.....	45
表 36	温度传感器特性.....	46
表 37	计时器特性.....	46
表 38	IWDG min/max timeout period at 32 kHz (LSI).....	47
表 39	Minimum I2CCLK frequency in all I2C modes.....	47
表 40	SPI 特性.....	48
表 41	UART 特性.....	50
表 42	订购信息.....	58

图目录

图 1	总线架构	4
图 2	系统总线互联矩阵	5
图 3	上电复位/掉电复位波形	8
图 4	LVD 阈值	8
图 5	时钟电路简图	10
图 6	LQFP 80L 引脚框图	21
图 7	LQFP 64L 引脚框图	21
图 8	LQFP 48L 引脚框图	22
图 9	QFN 56L 引脚框图	22
图 10	QFN 40L 引脚框图	23
图 11	QFN 32L 引脚框图	23
图 12	存储映射图	31
图 13	电源框架图	33
图 14	SPI 时序图-从模式和 CPHA=0	48
图 15	SPI 时序图-从模式和 CPHA=1	49
图 16	SPI 时序图-主模式	49
图 17	LQFP 80L 封装信息	51
图 18	LQFP 64L 封装信息	52
图 19	LQFP 48L 封装信息	52
图 20	QFN 56L 封装信息	53
图 21	QFN 40L 封装信息	53
图 22	QFN 32L 封装信息	54

简要规格

- 采用 ARM Cortex-M4 系列内核
 - 系统工作频率 160MHz
 - 内核内置 32 位硬件乘/除法
- 硬件加速器(ERPU)
 - 内置 IQDIV 硬件加速算法
- 存储资源
 - 内置 256KB 容量 FLASH 程序存储器
 - 支持读/写/擦保护及零延迟执行
 - 支持单/双 Bank 操作
 - 内置 32KB 系统 SRAM
- 时钟、复位和电源管理
 - 支持单电源输入, 输入范围为 3.0V-3.6V
 - 支持上下电复位及欠压复位
 - 内置独立看门狗(IWDG)和窗口看门狗(WWDG)
 - 内置高频 HSI 振荡器及低频 LSI 振荡器
 - 支持带晶振和无晶振方案, 支持 6M-26MHz 晶体振荡器
 - 内置时钟安全系统, 晶振异常检测电路并自动切换
 - 内置温度传感器
- DMA 控制器
 - 内置 4 个独立的 DMA 通道
 - 支持内存与外设之间任意组合传输
- 通用 I/O(GPIO)
 - LQFP80PIN 封装有 66 个 I/O, LQFP64PIN 封装有 52 个 I/O, LQFP48PIN 封装有 37 个 I/O, QFN56PIN 封装有 44 个 I/O, QFN40PIN 封装有 31 个 I/O, QFN32PIN 封装有 25 个 I/O
 - 支持 I/O 功能复用映射, 支持位操作
 - 所有 I/O 内建上拉/下拉电阻
 - 支持外部中断输入, 支持上下边沿触发, 可用于产生中断、事件唤醒
 - 内置 4 档驱动可调, 最大 24mA 驱动能力
- 通用定时器(TIMER)
 - 内置 5 套 16 位/32 位定时器
 - 支持定时、PWM 输出及 Capture 捕获功能
 - 支持自动重载功能
- 高精度脉宽调制器(HRPWM)
 - 支持 4 对 PWM(8 路)输出, 每路 PWM 输出最小分辨率为 195ps
 - 支持互补/独立输出模式, 支持对称/不对称波形输出
 - 内置死区及斩波插入机制, 支持 4 路故障和事件输入, 内置故障及异常保护功能
 - 支持多路 HRPWM 间的同步机制
- 模数转换器(ADC)
 - 内置 2 个 5MSPS 采样率的 13bit ADC
 - 支持 22 路模拟采样通道(每个 ADC 11 路)
 - 支持规则序列转换和注入序列转换, 支持增益补偿与偏置补偿机制
 - 支持单次/不连续/连续采样模式, 支持事件触发采样, 支持 HRPWM 同步触发采样
 - 内置 ADC 基准源, 支持内部基准电压
- 数模转换器(DAC)及比较器(CMP)
 - 内置 4 套 12bit DAC 和 4 套 CMP
 - 支持锯齿波、三角波输出, 支持方向与幅度可编程
- 通讯接口外设
 - 内置 5 套 UART 接口, 支持 RS485 通信
 - 内置 2 套 SPI 接口
 - 内置 2 套 I2C 接口, 支持 SMBus
 - 内置 2 套 CAN 控制器, 支持 CAN2.0B
 - 内置 1 套 QEI 接口
- LVD 欠压监测功能(4 档可调)
- 128 位芯片唯一标识码
- 两种低功耗模式: 睡眠模式和停机模式
- 支持 2 线 SWD 调试接口
- 结温范围: -40°C - 150°C
- 封装: LQFP80(12*12), LQFP64(10*10), LQFP48(7*7), QFN56(7*7), QFN40(5*5), QFN32(4*4)

1 相关文档

- Cortex™-M4 技术参考手册，可按下述链接下载：
http://infocenter.arm.com/help/topic/com.arm.doc.100166_0001_00_en/arm_cortexm4_process_or_trm_100165_0201_00_en.pdf
- Cortex™-M4 Device 通用用户指南（含架构、指令集、核内外设等），可按下述链接下载：
http://infocenter.arm.com/help/topic/com.arm.doc.dui0553b/DUI0553B_cortex_m4_dgug.pdf

TAI-ACTION

2 资源汇总

TAE32F5610 系列提供 32PIN、40PIN、48PIN、56PIN、64PIN、80PIN 封装。

表 1 TAE32F5610 资源汇总

Peripheral		TAE32F5610 TQC256	TAE32F5610 TQD256	TAE32F5610 TQE256	TAE32F5610 TLD256	TAE32F5610 TLF256	TAE32F5610 TLH256
Package		QFN32L	QFN40L	QFN56L	LQFP 48L	LQFP 64L	LQFP 80L
Flash memory (Kbytes)		256	256	256	256	256	256
System SRAM (Kbytes)		32	32	32	32	32	32
Timer	Timer	5	5	5	5	5	5
	SysTick timer	1	1	1	1	1	1
	Watchdog (independent, window)	2	2	2	2	2	2
Comm. interfaces	UART	4	5	5	5	5	5
	I2C	2	2	2	2	2	2
	CAN	2	2	2	2	2	2
	QEI	0	1	1	1	1	1
	SPI	1	2	2	2	2	2
GPIO	Normal I/Os	25	31	44	37	52	66
HRPWM channels		8	8	8	8	8	8
DMA channels		4	4	4	4	4	4
ADC channels		10	11	16	14	17	22
DAC channels		2	3	4	4	4	4
Ultra-fast analog comparator		4	4	4	4	4	4
CPU frequency		160Mhz					
Operating voltage		3.0 to 3.6 V					
Operating temperature		Junction temperature: -40°C - 150°C					

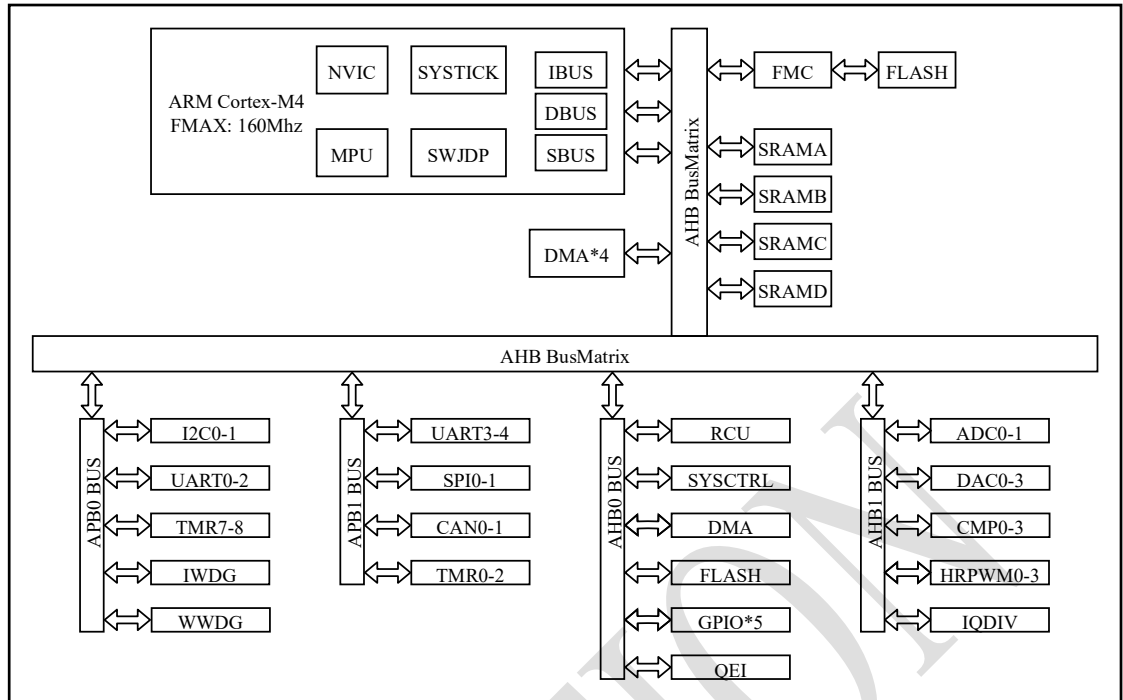


图 1 总线架构

3 功能概述

3.1 总线矩阵

主系统由 32 位多层 AHB 总线矩阵构成，可实现以下部分的互连：

- 五条主控总线：
 - Cortex™-M4 内核 I 总线、D 总线和 S 总线
 - DMA 存储器总线 0
 - DMA 存储器总线 1
- 八条被控总线：
 - FLASH ICode 总线
 - FLASH DCode 总线
 - SRAM (32KB)
 - AHB0 外设
 - AHB1 外设
 - APB0 外设
 - APB1 外设

通过总线矩阵可以实现主控总线到被控总线的访问，这样即使在多个高速外设同时运行期间，系统也可以实现并发访问和高效运行，此架构如下图所示。

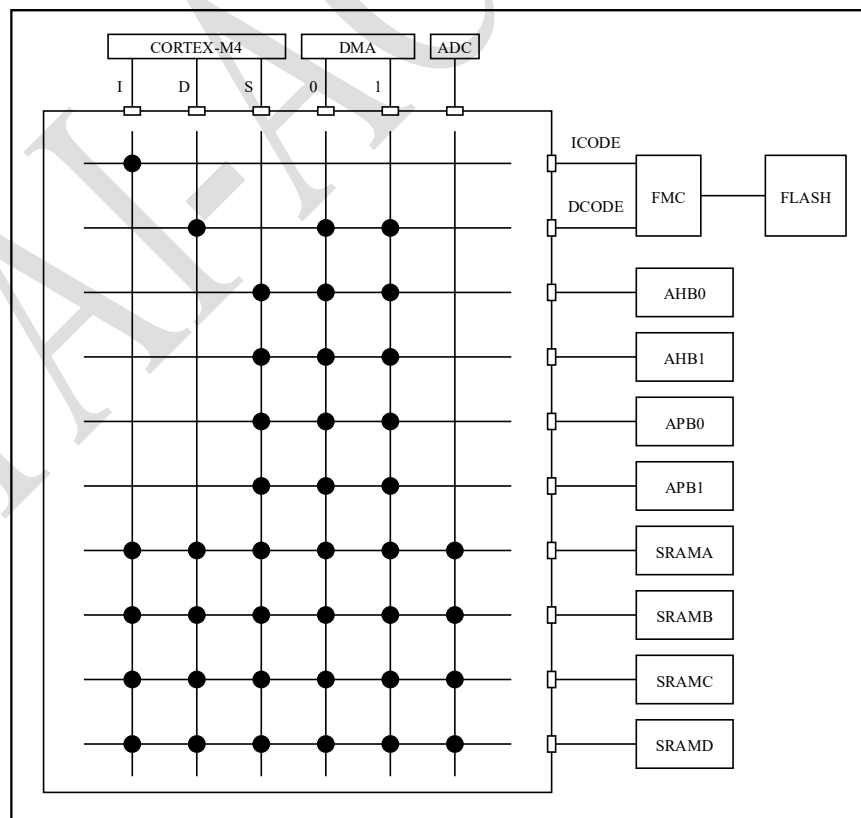


图 2 系统总线互联矩阵

I 总线：此总线用于将 Cortex™-M4 内核的指令总线连接到总线矩阵，内核通过此总线获取指令。此总线访问的对象是包含代码的存储器（内部 FLASH/SRAM）。

D 总线：此总线用于将 Cortex™-M4 数据总线连接到总线矩阵，内核通过此总线进行立即数加载和调试访问。此总线访问的对象是包含代码或数据的存储器（内部 FLASH/SRAM）。

S 总线：此总线用于 Cortex™-M4 内核的系统总线连接到总线矩阵。此总线用于访问位于外设或 SRAM 中的数据。也可通过此总线获取指令（效率低于 ICode）。此总线访问的对象是 32KB 的内部 SRAM 及 AHB0 外设、AHB1 外设、APB0 外设、APB1 外设。

DMA 存储器总线：此总线用于将 DMA 存储器总线主接口连接到总线矩阵。DMA 通过此总线来执行存储器数据的传入和传出。此总线访问的对象是数据存储器：内部 FLASH/SRAM。

总线矩阵：总线矩阵用于主控总线之间的访问仲裁管理。

AHB/APB 总线桥：通过一个 AHB 和两个 APB 总线桥（APB0/APB1），可在 AHB 总线与两个 APB 总线之间实现完全同步的连接，从而灵活选择外设频率。

3.2 存储

3.2.1 FLASH

FLASH 控制器用于管理 CPU 通过 I 总线（I-Code）及 D 总线（D-Code）对 FLASH 的访问。通过 FLASH 控制器，可以对 FLASH 存储体执行擦除/编程、读/写保护等功能的操作。

FLASH 存储体结构如下：

- 主存储器块分为多个扇区。
- 选项字节，用于配置读保护、写保护等功能。

3.2.2 SRAM

系统 SRAM 可按字节、半字（16 位）或全字（32 位）进行访问，其读写操作均以 CPU 速度执行，且等待周期为 0，系统 SRAM 分为四个块：

- 映射在地址 0x2000 0000 的 SRAMA（8KB）块，可供所有 AHB 主控总线，DMA 主控总线访问。
- 映射在地址 0x2000 2000 的 SRAMB（8KB）块，可供所有 AHB 主控总线，DMA 主控总线访问。
- 映射在地址 0x2000 4000 的 SRAMC（8KB）块，可供所有 AHB 主控总线，DMA 主控总线访问。
- 映射在地址 0x2000 6000 的 SRAMD（8KB）块，可供所有 AHB 主控总线，DMA 主控总线访问。
- 当 BOOT=SRAM 时，系统 SRAM 将被映射到 0x0 地址以及 0x1000 0000 地址上。
- 当 BOOT=FLASH 时，系统 SRAM 块被映射到 0x1000 0000 地址上。

如果选择从 SRAM 自举，则 CPU 可通过系统总线或 I-Code/D-Code 总线访问系统 SRAM。要在 SRAM 执行期间获得最佳的性能，应选择物理重映射（通过自举管脚）。

3.3 自举配置

存储器地址采用绝对地址映射，代码区域的起始地址为 0x0000 0000（可通过 I-Code/D-Code 总线访问），而数据区域的起始地址为 0x2000 0000（可通过系统总线访问）。芯片上电启动过程中，CPU 始终通过 I-Code 总线获取复位向量，这意味着只有代码区域（通常为 FLASH）可以提供自举空间。芯片结合调试工具也可以从其它存储器（如内部 SRAM）进行自举。在芯片上电启动中，可通过 BOOT 引脚选择两种不同的自举模式，如下表所示。

表 2 自举模式（默认从 BROM 自举）

BOOT LOCK	Hard/Soft(Sel2) 0: Soft 1: Hard - Pin	Pin(PB12) Default: PullUp	OPT2(Sel1)	OPT1(Sel0)	BOOT Type
1	x	x	x	x	FLASH BOOT
0	1	0	x	x	FLASH BOOT
0	1	1	x	0	SRAM BOOT
0	1	1	x	1	BROM BOOT
0	0	x	1	x	FLASH BOOT
0	0	x	0	0	SRAM BOOT
0	0	x	0	1	BROM BOOT

在芯片上电复位后，在 SYSCLK 的第四个上升沿将锁存 BOOT 引脚的值，用户可以通过设置 BOOT 引脚的电平来选择需要的自举模式。

BOOT 引脚只有在芯片重新上电时，才会对 BOOT 引脚重新采样。因此，芯片上电复位结束后，CPU 将从 0x0000 0000 地址获取栈顶值，然后从 0x0000 0004 地址获取程序入口地址并开始执行程序代码。

3.4 电源控制器

3.4.1 LDO（线性调压器）

嵌入式线性调压器为所有数字电路供电，调压器输出电压约为 1.2V。

调压器在复位后始终处于使能状态，根据应用模式的不同，可选择以下两种不同的工作模式。

- 运行模式，调压器为 1.2 V 域（内核、存储器和数字外设）提供全功率，在此模式下，可通过软件配置 SYSCTRL_PWRCR.VDDSET 位将调压器的输出电压调整为 1.2V。
- 待机模式，调压器为 1.2 V 域（内核、存储器和数字外设）提供低功率，可以保留寄存器和内部 SRAM 中的内容。在此模式下，通过软件配置 SYSCTRL_PWRCR.VDDSET 位将调压器的输出电压配置调整为 0.9V。

注意：通过软件配置 SYSCTRL_PWRCR.VDDSET 位时，注意 VDD 低电压检测（LVD）的相关配置，避免由于启动了 VDD 的低电压检测导致芯片误入复位状态。

3.4.2 上电复位（POR）/掉电复位（PDR）

本芯片内部集成有 POR/PDR 电路，可以从 2.8V 开始正常工作。

当 VCC/VDD 低于指定阈值 $V_{POR/PDR}$ 时，器件无需外部复位电路便会保持复位状态。

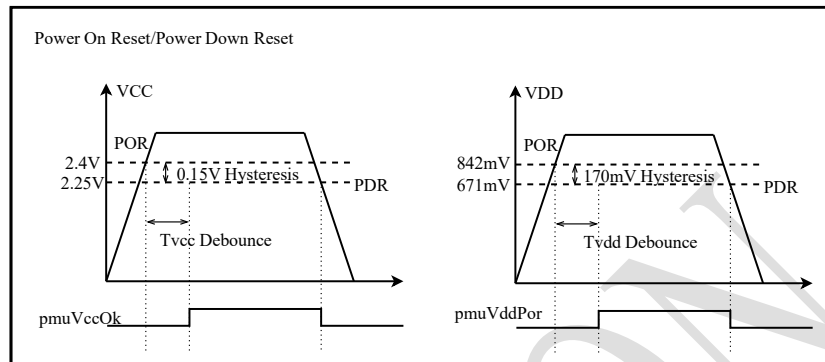


图 3 上电复位/掉电复位波形

3.4.3 可编程电压检测器（LVD）

可以使用 LVD 单元监视 AVCC/VDD 的电源电压，对 AVCC/VDD 的电压和过流进行实时监测，并将实时监测值与低电压检测模块中设置的阈值（SYSCTRL_PLCR.xxLVS）进行比较。

芯片内 AVCC/VDD 的电压及过流监测功能可通过软件配置 LVD 模块中的模拟控制寄存器（SYSCTRL_PLCR.xxLVE）来使能对应的功能。

在 LVD 模块中的状态控制寄存器（SYSCTRL_PSR）提供了 AVCC/VDD 欠压及过流的标志，用于指示电源电压是否小于用户设置的电压阈值或者电源电流是否大于用户设置的电流阈值。该事件标志会生成中断，并内部直接连接到 NMI 中断，如果中断使能，则可以产生不可屏蔽中断；该事件标志内部也会连接到系统复位，如果复位使能，则可以产生系统复位；该事件标志内部也会连接到事件系统，该功能的用处是可以在异常情况下执行紧急关闭的任务。

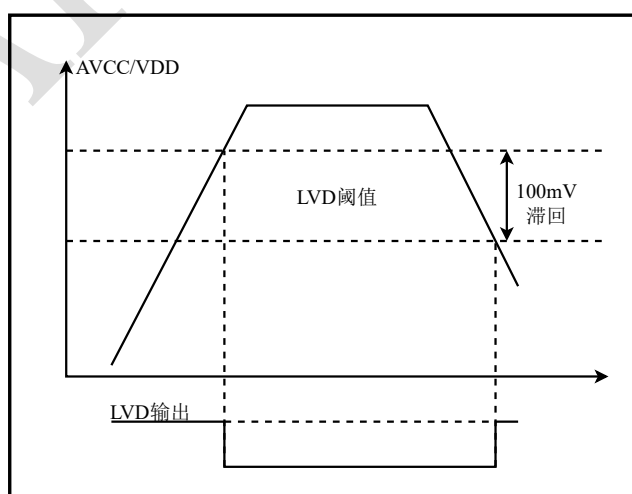


图 4 LVD 阈值

3.4.4 低功耗模式

默认情况下，系统复位或上电复位后，微控制器进入运行模式。在运行模式下，CPU 通过 HCLK 提供时钟，并执行程序代码。系统提供了多个低功耗模式，可在 CPU 不需要运行时（例如等待外部事件时）节省功耗。由用户根据应用选择具体的低功耗模式，以在低功耗、短启动时间和可用唤醒源之间寻求最佳平衡。

芯片有两个低功耗模式：

- 睡眠模式（Cortex™-M4 内核停止，外设保持运行）
- 停止模式（除 LSI 时钟外，所有时钟都停止）

此外，可通过下列方法之一降低运行模式的功耗：

- 降低系统时钟速度
- 不使用 APB 和 AHB 外设时，将对应的外设时钟关闭

表 3 低功耗模式汇总

模式名称	进入	唤醒	对 VDD 域时钟的影响	调压器
睡眠 (立即休眠或退出时休眠)	WFI	任意中断	CPU CLK 关闭对其它时钟或模拟时钟源无影响	开启
	WFE	唤醒事件		
停止	SLEEPDEEP 位+ WFI 或 WFE	任意中断	除 LSI 时钟外，所有时钟都停止	开启

3.5 时钟

可以使用四种不同的时钟源来驱动系统时钟（SYSCLK）：

- LSI 振荡器时钟
- HSE 振荡器时钟
- PLL 时钟
- HSI 振荡器时钟

器件具有以下时钟源：

- 32KHz 低速内部 RC 振荡器（LSI），该 RC 振荡器用于驱动独立看门狗

对于每个时钟源来说，在未使用时都可单独打开或者关闭（LSI 除外），以降低功耗。

为了高度的灵活性，用户可选择使用外部晶振方案或者使用内部 RC 振荡器的无晶振方案，通过 PLL 的合理配置，既可满足系统的最高时钟频率，也可作为 ADC 需要特定时钟的外设保证合适的频率。

可通过多个预分频器配置 AHB0/1 频率、APB0/1 频率，AHB 域最高时钟频率为 160MHz，APB 域的最高时钟频率为 80MHz。

除以下时钟外，所有外设时钟均由系统时钟（SYSCLK）提供：

- 来自于 PLL0 输出的 ADC 时钟（53.3MHz）

RCU 送出一个 32 分频的 AHB 时钟（HCLK）到 Cortex 系统定时器（SysTick），SysTick 可使用此时钟作为时钟源，也可使用 HCLK 作为时钟源，具体可在 SysTick 控制和状态寄存器

中配置。

FCLK 充当 Cortex™-M4 的自由运行时钟。有关详细信息，请参见 Cortex™-M4 技术参考手册。

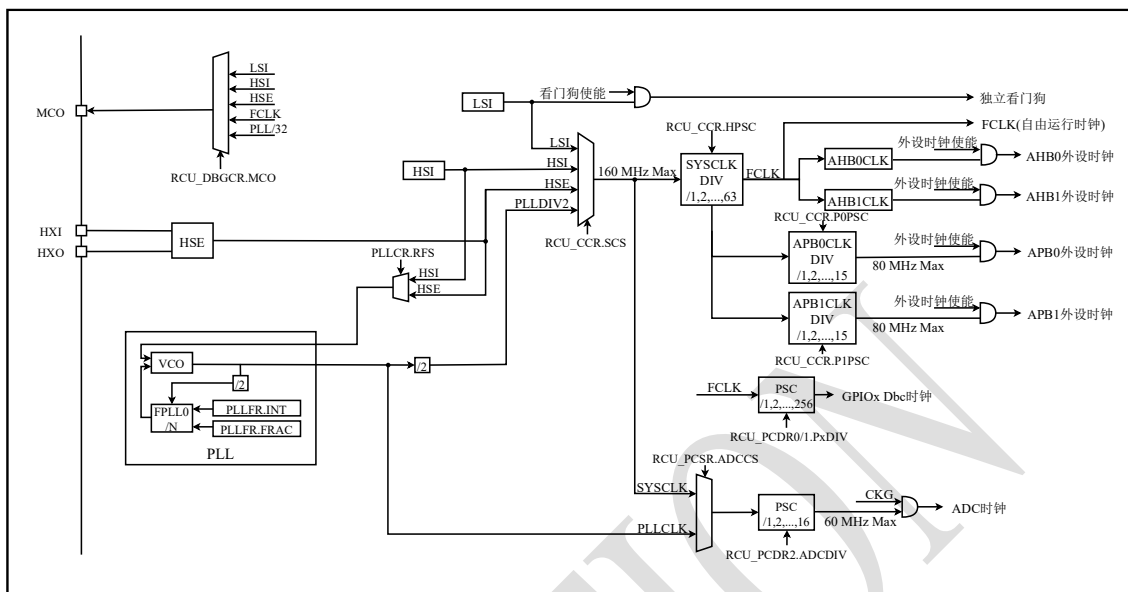


图 5 时钟电路简图

3.6 嵌入式 FLASH 接口（FLASH）

FLASH 主要具有以下特性：

- 存储器高达 256KB（128KB x2）
- 支持按整片/分块/扇区擦除（Chip/Bank/Sector Erase）
- FLASH 作为启动代码存储空间(默认的自举存储)和执行用户代码
- FLASH 支持 256Kbyte-2x128Kbyte 模式(Double Bank、Single Bank 模式)
 - FLASH 256Kbyte 双 Bank 模式下，两块可以相互独立运行，支持在线升级方案
 - FLASH 256Kbyte 单 Bank 模式下，两块并行处理，支持 128 位预取
 - FLASH 256Kbyte 单 Bank 模式下，共 32 个 Sector 扇区，每个 Sector 扇区大小为 8KB，256Kbyte 双 Bank 模式下，共 64 个 Sector 扇区，每个 Sector 扇区大小为 4KB
 - FLASH 选项字节，用于配置读写保护、看门狗默认使能、FLASH Bank 模式及 Boot 方式
- FLASH 支持 128Kbyte-2x64Kbyte 模式(Double Bank、Single Bank 模式)
 - FLASH 128Kbyte 双 Bank 模式下，两块可以相互独立运行，支持在线升级方案
 - FLASH 128Kbyte 单 Bank 模式下，两块并行处理，支持 128 位预取
 - FLASH 128Kbyte 单 Bank 模式下，共 16 个 Sector 扇区，Sector 扇区大小为 8KB
 - FLASH 选项字节，用于配置读写保护、看门狗默认使能、FLASH Bank 模式及 Boot 方式
- FLASH 支持 64Bit 位宽编程功能，支持按字节/半字/字读取 FLASH
- 增强安全功能
 - FLASH 读保护功能（RDP）
 - FLASH 写保护功能（WRP）
- FLASH I/D 总线支持预取、缓存功能

- FLASH I-Code Bus 上 1024Byte 缓存
- FLASH D-Code Bus 上 256Byte 缓存
- 误码校验 (ECC)，支持纠一检二
- 支持低功耗模式

3.7 中断和事件

3.7.1 嵌套向量中断控制器 (NVIC)

嵌套向量中断控制器 NVIC 包含以下特性：

- 芯片具有 47 个可屏蔽中断通道（不包括 Cortex™-M4 的 16 根中断线）
- 16 个可编程优先级（使用了 4 位中断优先级）
- 低延迟异常和中断处理
- 电源管理控制
- 系统控制寄存器的实现

嵌套向量中断控制器 (NVIC) 和处理器内核接口紧密配合，可以实现低延迟的中断处理和晚到中断的高效处理。

3.7.2 SysTick 校准值寄存器

SysTick 内部默认时钟源的频率为 HCLK，SysTick 外部时钟源的频率为 HCLK/16，当 SysTick 时钟源配置为外部时钟源 HCLK/16 时，为了产生 1 ms 时间基准，需要用户对校准值写入 20000。

3.7.3 中断和异常向量

表 4 芯片的中断向量表

位置	优先级	优先级类型	名称	说明	地址
	-	-	-	保留	0x0000 0000
	-3	固定	Reset	复位	0x0000 0004
	-2	固定	NMI	不可屏蔽中断，RCU 时钟安全系统 (CSS) 和 FLASH 多 Bit ECC 错误连接到 NMI 向量。	0x0000 0008
	-1	固定	HardFault	所有类型的错误	0x0000 000C
	0	可设置	MemManage	存储器管理	0x0000 0010
	1	可设置	BusFault	预取指失败，存储器访问失败	0x0000 0014
	2	可设置	UsageFault	未定义的指令或非法状态	0x0000 0018
	-	-	-	保留	0x0000 001C - 0x0000 002B
	3	可设置	SVCall	通过 SWI 指令调用的系统服务	0x0000 002C
	4	可设置	Debug Monitor	调试监控器	0x0000 0030

	-	-	-	保留	0x0000 0034
	5	可设置	PendSV	可挂起的系统服务	0x0000 0038
	6	可设置	SysTick	SysTick 定时器	0x0000 003C
0	7	可设置	I2C0	I2C0 全局中断	0x0000 0040
1	8	可设置	I2C1	I2C1 全局中断	0x0000 0044
2	9	可设置	UART0	UART0 全局中断	0x0000 0048
3	10	可设置	UART1	UART1 全局中断	0x0000 004C
4	11	可设置	UART2	UART2 全局中断	0x0000 0050
5	12	可设置	UART3	UART3 全局中断	0x0000 0054
6	13	可设置	UART4	UART4 全局中断	0x0000 0058
7	14	可设置	SPI0	SPI0 中断	0x0000 005C
8	15	可设置	SPI1	SPI1 中断	0x0000 0060
9	16	可设置	CAN0_INT0	CAN0 中断	0x0000 0064
10	17	可设置	CAN0_INT1	CAN0 中断	0x0000 0068
11	18	可设置	CAN1_INT0	CAN1 中断	0x0000 006C
12	19	可设置	CAN1_INT1	CAN1 中断	0x0000 0070
13	20	可设置	QEIO	QEIO 中断	0x0000 0074
14	21	可设置	DMA_CH0	DMA0 中断	0x0000 0078
15	22	可设置	DMA_CH1	DMA1 中断	0x0000 007C
16	23	可设置	DMA_CH2	DMA2 中断	0x0000 0080
17	24	可设置	DMA_CH3	DMA3 中断	0x0000 0084
18	25	可设置	TMR7	TMR7 全局中断	0x0000 0088
19	26	可设置	TMR8	TMR8 全局中断	0x0000 008C
20	27	可设置	TMR0	TMR0 全局中断	0x0000 0090
21	28	可设置	TMR1	TMR1 全局中断	0x0000 0094
22	29	可设置	TMR2	TMR2 全局中断	0x0000 0098
23	30	可设置	IWDG	独立看门狗中断	0x0000 009C
24	31	可设置	WWDG	窗口看门狗中断	0x0000 00A0
25	32	可设置	GPIOA	GPIOA 中断	0x0000 00A4
26	33	可设置	GPIOB	GPIOB 中断	0x0000 00A8
27	34	可设置	GPIOC	GPIOC 中断	0x0000 00AC
28	35	可设置	GIPOD	GIPOD 中断	0x0000 00B0
29	36	可设置	GPIOE	GPIOE 中断	0x0000 00B4
30	37	可设置	FLASH	FLASH 全局中断	0x0000 00B8
31	38	可设置	CMPG0	CMP0 中断	0x0000 00BC
32	39	可设置	HRPWM_MST	HRPWM 主定时器中断	0x0000 00C0
33	40	可设置	HRPWM_SLV0	HRPWM0 从定时器中断	0x0000 00C4
34	41	可设置	HRPWM_SLV1	HRPWM1 从定时器中断	0x0000 00C8
35	42	可设置	HRPWM_SLV2	HRPWM2 从定时器中断	0x0000 00CC
36	43	可设置	HRPWM_SLV3	HRPWM3 从定时器中断	0x0000 00D0
37	44	可设置	HRPWM_COM	HRPWM 中断	0x0000 00D4
38	45	可设置	ADC0_NORMAL	ADC0 常规中断	0x0000 00D8
39	46	可设置	ADC0_SAMPLE	ADC0 采样中断	0x0000 00DC

40	47	可设置	ADC0_HALF	ADC0 DMA 半满中断	0x0000 00E0
41	48	可设置	ADC0_FULL	ADC0 DMA 全满中断	0x0000 00E4
42	49	可设置	ADC1_NORMAL	ADC1 常规中断	0x0000 00E8
43	50	可设置	ADC1_SAMPLE	ADC1 采样中断	0x0000 00EC
44	51	可设置	ADC1_HALF	ADC1 DMA 半满中断	0x0000 00F0
45	52	可设置	ADC1_FULL	ADC1 DMA 全满中断	0x0000 00F4
46	53	可设置	PMU	PMU 全局中断	0x0000 00F8

3.7.4 唤醒事件

芯片能够处理外部或内部事件来唤醒内核（WFE）。唤醒事件可通过以下方式产生：

- 在外设的控制寄存器使能一个中断，但不在 NVIC 中使能，同时使能 Cortex™-M4 系统控制寄存器中的 SEVONPEND 位。当 CPU 从 WFE 恢复时，需要清除相应外设的中断挂起位和外设 NVIC 中断通道挂起位（在 NVIC 中断清除挂起寄存器中）。
- 配置一个外部或内部中断为事件模式，当 CPU 从 WFE 恢复时，因为对应事件线的挂起位没有被置位，不必清除相应外设的中断挂起位或 NVIC 中断通道挂起位。

3.8 通用 I/O（GPIO）

GPIO 主要具有以下特性：

- 受控 I/O 高达 66 个
- 输出状态：推挽或开漏 + 上拉/下拉
- 输入状态：浮空、上拉/下拉、模拟
- 输出数据寄存器或外设（复用功能输出）输出数据
- 数据输入到输入数据寄存器或外设（复用功能输入）
- 模拟功能
- 置位和复位寄存器，对输出数据寄存器具有按位写权限
- 可选的同步功能和消抖功能
- 可配的电流驱动能力
- 每个 I/O 均可独立配置输出压摆率（Slew Rate）和输入迟滞（Hysteresis）
- 复用功能输入/输出选择寄存器
- 复用功能高灵活性，允许将 I/O 引脚配置为 GPIO 或各种外设功能
- 所有 I/O 均可独立配置外部输入触发中断使能，上升沿/下降沿/双边沿触发，独立的中断挂起标志

3.9 定时器和看门狗

3.9.1 基本定时器（TMR7/TMR8）

TMR7/8 主要具有以下特性：

- 16 位的自动重载向上计数器。
- 16 位预分频器，用于对计数器时钟频率进行分频，分频系数介于 1 和 65536 之间
- 16 位的计数比较值和周期值寄存器。
- 两种工作模式：
 - 循环模式，计数完成后自动重载并继续计数
 - 单次模式，计数完成后自动关闭定时器的使能
- 支持 Master 主模式，可用于触发其他定时器及 DAC 的同步电路

3.9.2 通用定时器（TMR0/TMR1/TMR2）

TMR0/1/2 主要具有以下特性：

- 16 位的自动重载向上计数器
- 16 位的预分频器，用于对计数器的时钟源进行预分频，分频系数介于 1 和 65536 之间
- 16 位的计数比较值和周期值寄存器
- 两种工作模式：
 - 循环模式，计数完成后自动重载并继续计数
 - 单次模式，计数完成后自动关闭定时器的使能
- 多达 2 个独立通道，可用于：
 - 输入捕获
 - 输出比较
 - PWM 生成（边沿模式）
 - 单脉冲模式输出
- 带可编程死区时间的互补输出
- 支持主从模式，可以实现多个定时器的互连
- 支持断路保护功能，在发生异常时将 PWM 输出置于复位或已知状态
- 发生如下事件时产生中断：
 - 计数器上溢(Overflow Event)
 - 更新事件(Update Event) (需使能)：计数器上溢产生更新事件，也可软件产生(UG)
 - 输入捕获(Capture Event)、重复捕获(Over Capture Event)
 - 输出比较(Compare Event)
 - 断路输入(Break Event)

3.9.3 独立看门狗 (IWDG)

IWDG 主要具有以下特性:

- 自由运行递减计数器
- 16 位重载计数值寄存器, 计数时钟支持 4 到 512 分频
- 时钟由独立 RC 振荡器 (LSI) 提供 (可在待机模式下独立运行)
- 当递减计数器值达到 0x0 时产生复位 (如果看门狗已激活)

3.9.4 窗口看门狗 (WWDG)

WWDG 主要具有以下特性:

- 自由运行递减计数器
- 复位条件 (当 RCU_SRSTSR 寄存器的 WWRSTE 位置 1, 允许 WWDG 系统复位功能, 详见 RCU_SRSTSR 寄存器介绍)
 - 当递减计数器值小于 0x40 时复位 (如果看门狗已激活)
 - 在窗口之外重载递减计数器时复位 (如果看门狗已激活)
- 提前唤醒中断 (EWI): 当递减计数器减至 0x40 时触发 (如果已使能且看门狗已激活), 可用于在中断内重载计数器以避免 WWDG 复位

3.10 DMA 控制器 (DMA)

DMA 主要具有以下特性:

- 包含 4 个通道, 每个通道连接多个特定的外设请求
- 存储器和外围设备支持单一传输, 4 拍、8 拍和 16 拍增量突发传输
- 支持外设 DMA: 5 个 UART, 2 个 I2C, 2 个 SPI
- 当外围设备向存储器发送数据时支持改变存储器
- 支持对所有内部存储的 DMA 访问
- 支持软件优先级 (低/中/高/超高) 和硬件优先级 (通道数越低, 优先级越高)
- 存储器和外设的数据传输宽度可配置为: 字节/半字/字
- 存储器和外设的数据传输支持固定和增量寻址
- 支持循环传输模式
- 支持单数据传输和多种数据传输方式
 - 多种数据传输方式: 当存储器数据和外围数据的宽度不同时, 自动打包/解包数据
 - 单数据传输模式: 当且仅当 FIFO 为空时, 数据从源地址读取, 存储在 FIFO 中, FIFO 的数据写入目标地址。
- 每个通道具有独立的事件标志和中断

3.11 IQ 除法单元 (IQDIV)

IQDIV 主要具有以下特性：

- 工作模式：轮询标志位模式
- IQDIV 算法运行 11cycle
- 支持整数运算（64 位被除数，32 位除数，64 位结果）
- 结果支持 round/fix
- 支持有符号运算及无符号运算
- 支持一套计算引擎，两套寄存器接口
- 支持除数为 0 错误指示
- 支持 AHB 协议，IQDIV 模块通过 AHB 接口作为寄存器的访问端口

3.12 模数转换器 (ADC)

ADC 主要具有以下特性：

- 高性能特性
 - 支持 2 路 ADC，可以在同步模式下运行
 - 每路 ADC 连接到 11 个外部通道+5 个内部通道
 - 每路 ADC 支持独立设置各通道的单端/差分输入
 - 每路 ADC 支持独立设置各通道的采样时间
 - 每路 ADC 支持多达 16 个常规转换
 - 每路 ADC 支持多达 4 个注入转换(模拟输入分配为常规转换或注入转换完全可配置)
 - 每路 ADC 支持 16 路 DMA 搬运数据，供常规转换使用
 - 每路 ADC 支持 4 个专用数据寄存器，供注入转换使用
- 过采样器
 - 每路 ADC 支持 16 位数据寄存器，数据位数最多为 16 位
 - 每路 ADC 支持 2~256 倍过采样
 - 每路 ADC 数据右移可编程
- 数据预处理
 - 每路 ADC 支持增益补偿，最多支持 4 组补偿系数
 - 每路 ADC 支持偏置补偿，最多支持 4 组补偿系数
- 转换启动
 - 每路 ADC 支持通过软件启动常规转换和注入转换
 - 每路 ADC 支持通过具有可配置极性的硬件触发事件（内部定时器事件或 GPIO 输入事件）启动常规转换和注入转换
- 转换模式
 - 每路 ADC 均可转换单个通道，也可扫描一个通道序列
 - 每路 ADC 在单次模式下在每次触发时单次地转换选定的输入
 - 每路 ADC 在连续模式下在每次触发时连续地转换选定的输入
 - 每路 ADC 在不连续模式在每次触发时分组地转换选定的输入
 - 每路 ADC 支持在准备就绪、常规/注入转换结束、常规/注入序列转换结束，模拟看门狗 0/1/2 或数据溢出事件时生成中断
- 每个 ADC 支持 3 个模拟看门狗，模拟看门狗可以过滤并忽略超出范围的数据

- ADC 输入范围： $AVSS \leq V_{IN} \leq V_{REF+}$

3.13 数模转换器（DAC）

DAC 的主要功能如下：

- 4 个 DAC 接口，DAC0~DAC3 支持通道输出
- 支持三角波生成模式
- 支持锯齿波生成模式
- 支持软件触发转换
- 支持外部事件触发转换
- 支持连接到片上外设（比较器）

3.14 比较器（CMP）

CMP 主要具有以下特性：

- 可选的负端模拟输入
 - I/O 引脚输入（每个比较通道均有两个引脚可选）
 - DAC 通道输出（内部信号）
- 可编程迟滞
- 将输出映射到 I/O，并可配消抖后输出
- 将输出重定向到用于触发以下事件的定时器输入
 - 捕获事件
 - 断路事件（用于快速 PWM 关断）
- 消隐比较器输出
- 上升沿和下降沿中断

3.15 高精度脉宽调制器（HRPWM）

HRPWM 主要具有以下特性：

- 多个定时单元
 - 195 ps 分辨率，已针对电压和温度变化进行补偿
 - 所有输出均支持高分辨率，可在各种模式下调整占空比，频率和脉宽
 - 4 个 18 位定时单元（每个定时单元包含一个独立计数器、4 个比较单元和 2 个捕获单元）
 - 8 路输出可通过定时单元控制，每条通道多达 17 个置位/复位源
 - 模块化结构可满足多种配有 1 或 2 个开关的独立转换器的需求，也可满足少数大型多开关拓扑的需求
- 多达 4 个外部事件，可用于任何定时单元
 - 可编程极性和有效边沿
 - 快速异步模式
 - 可编程数字滤波器
 - 使用消隐和加窗模式实现伪事件过滤

- 多条通道可连接到内置模拟外设
 - 4 个连接到 ADC 转换器的触发事件
 - 3 个连接到 DAC 转换器（三角波补偿）的触发事件
 - 4 个连接到 DAC 转换器（锯齿波补偿）的复位事件
 - 4 个连接到 DAC 转换器（锯齿波补偿）的步进事件
- 全面的保护机制
 - 4 个故障输入可组合使用并关联到任何定时单元
 - 可编程极性和有效边沿
 - 可编程数字滤波器
- 多个 HRPWM 单元可与外部同步输入/输出同步
- 多功能输出级
 - 高分辨率的死区插入
 - 可编程输出极性
 - 斩波模式
- 突发模式控制器，可同时处理多路转换器上的轻载操作
- 6 个中断向量，每个向量最多具有 15 个源

3.16 通信接口

3.16.1 内部集成接口（I2C）

I2C 主要具有以下特性：

- I2C 特性
 - 支持主模式和从模式
 - 支持标准模式（高达 100 kHz）
 - 支持快速模式（高达 400 kHz）
 - 支持超快速模式（高达 1 MHz）
 - 支持 7 位和 10 位寻址模式
 - 支持多个从地址（2 个从设备地址寄存器，1 个具有可配置的掩码位段）
 - 支持 DMA 操作
 - 支持可编程建立时间和保持时间
 - 支持产生 START、STOP、ACK 信号的检测
 - 支持错误指示
 - 支持深度为 16 宽度为 8 的 RXFIFO 和 TXFIFO
 - 支持主机内部回环模式
- SMBUS 特性
 - 支持硬件 PEC（数据包错误检查）的生成和验证
 - 支持地址解析协议（ARP）
 - 支持主模式和从模式
 - 支持 SMBUS 警报的产生和检测
 - 支持 SMBUS 超时和空闲状态检测
 - 支持 SMBUS 快速命令模式

3.16.2 通用异步收发器 (UART)

UART 主要具有以下特性:

- 全双工异步通信
- 支持 8 倍和 16 倍过采样
- 支持 2 个用于收发数据的内部 FIFO, 同时也支持非 FIFO 模式
- 支持串行数据字长度可编程 (5 位~8 位)
- 支持可编程的奇偶检验位和 STOP 位
- 支持拓展位功能
- 支持 RS-485 收发器的硬件流控制 (DE 和 RE)
- 支持通信控制/错误检测标志
- 支持单线模式/1WIRE 主机
- 支持中断和轮询操作
- 支持 DMA 传输
- 支持自动波特率检测
- 支持噪声检测
- 支持内部回环模式

3.16.3 控制器局域网络 (CAN)

CAN 主要具有以下特性:

- 支持 CAN 2.0A/B 协议
- CAN 2.0 最多支持 8 字节传输
- 支持可编程数据速率 (CAN 2.0 最高 1Mbit/s 的数据速率)
- 支持可编程波特率预分频器 (2 至 256 分频)
- 支持 3 个主接收缓冲区 PRB 和 3 个辅接收缓冲区 SRB
- 支持 3 个发送缓冲区 STB
- 支持 3 个发送事务缓冲区 ETB, 用于存放发送事件信息
- 支持 8 个独立的可编程内部 29 位验收滤波器
- 支持单发传输模式 (用于 STB)
- 支持仅收听模式
- 支持回环模式 (内部回环和外部回环)
- 支持错误状态的指示 (捕获上次发生的错误、捕获仲裁丢失的位置、错误报告计数)
- 支持可编程的错误警告限制
- 支持发送接收时间戳功能
- 支持两条可编程中断线

3.16.4 串行外设接口（SPI）

SPI 主要具有以下特性：

- 支持四线全双工同步传输
- 支持三线半双工同步传输和单工同步传输
- 支持主机模式和从机模式
- 支持 2~16 位的数据位长度发送和接收
- 支持可配的时钟极性和相位
- 支持可配的 NSS 信号极性和时序
- 支持 MSB 和 LSB 传输
- 支持可配的传输数据量
- 主机支持最高系统时钟的 2 分频通信速度
- 从机支持最高系统时钟的 8 分频通信速度
- 支持中断和轮询方式
- 支持 DMA 模式
- 支持主机 RX 的 delay chain 配置
- 支持主机内部回环模式

3.16.5 正交编码器接口（QEI）

QEI 主要具有以下特性：

- QEIA/XCLK 与 QEIB/XDIR
 - 正交时钟模式
在正交时钟模式下，QEI 提供两路互差 90°的脉冲信号 QEIA 及 QEIB，用两者之间的相位关系可判断旋转方向，脉冲信号的频率可判断转速。
 - 方向计数模式
在方向计数模式下，方向以及脉冲信号分别由 XDIR 及 XCLK 单独提供。
- QEIZ
编码器通过索引脉冲信号 QEIZ 来表明绝对起始地址，这路信号在每个旋转周期内用来复位芯片内部 QEI 模块的计数器。

4 引脚定义

4.1 引脚框图

LQFP 80L:

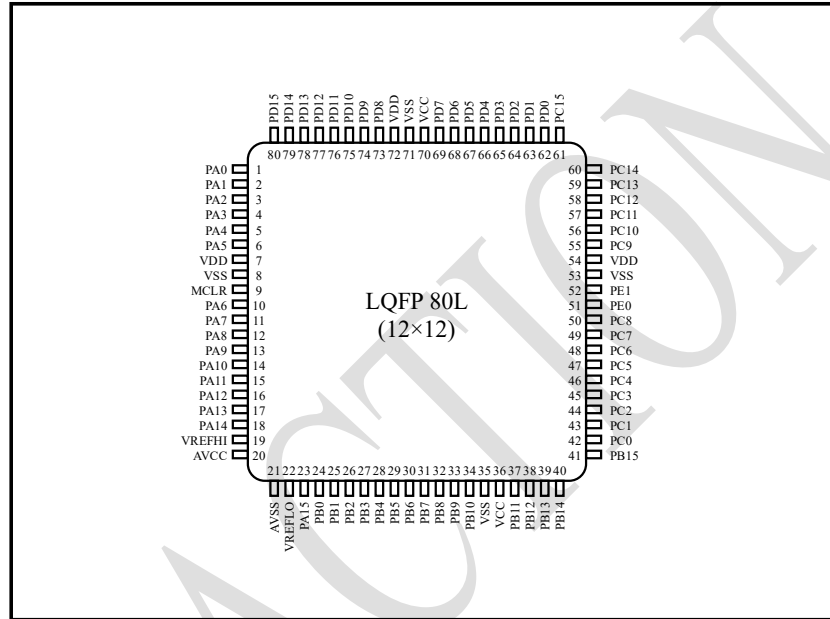


图 6 LQFP 80L 引脚框图

LQFP 64L:

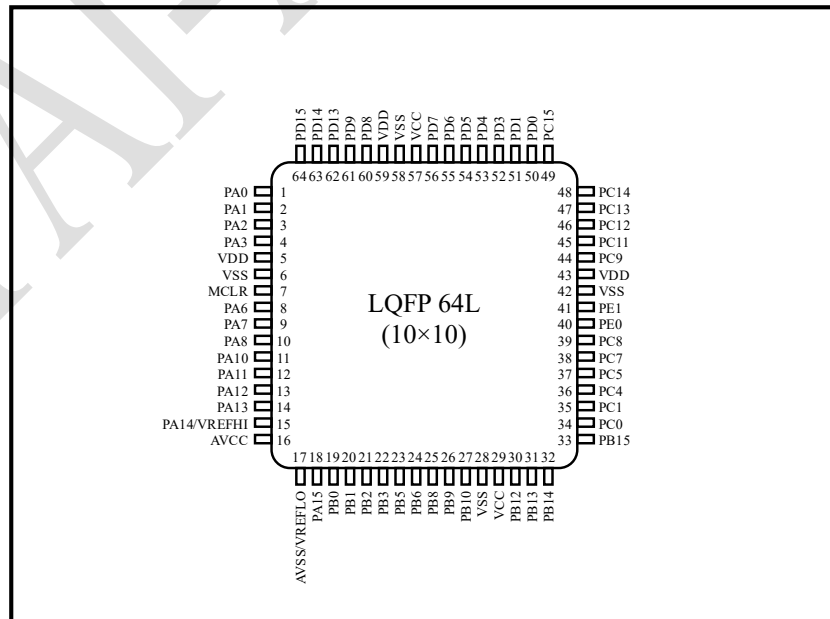


图 7 LQFP 64L 引脚框图

LQFP 48L:

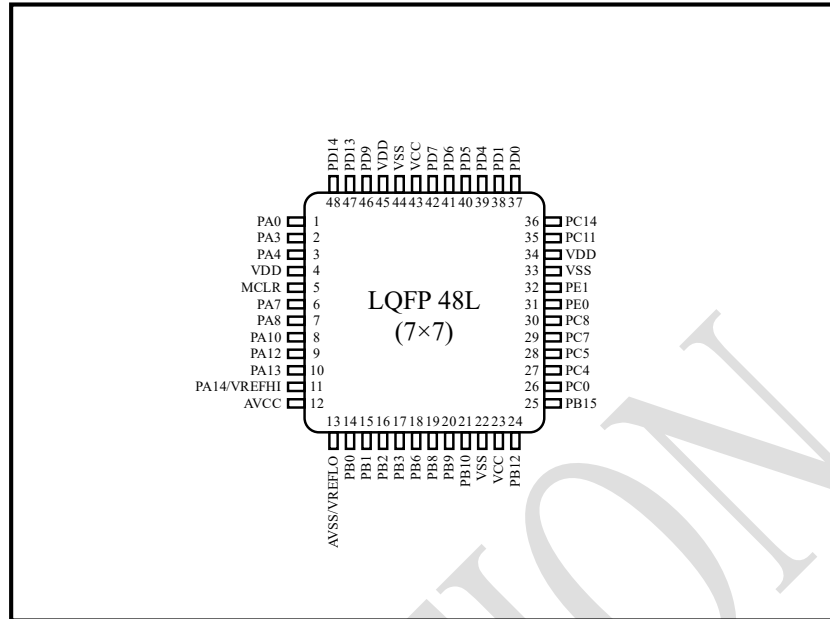


图 8 LQFP 48L 引脚框图

QFN 56L:

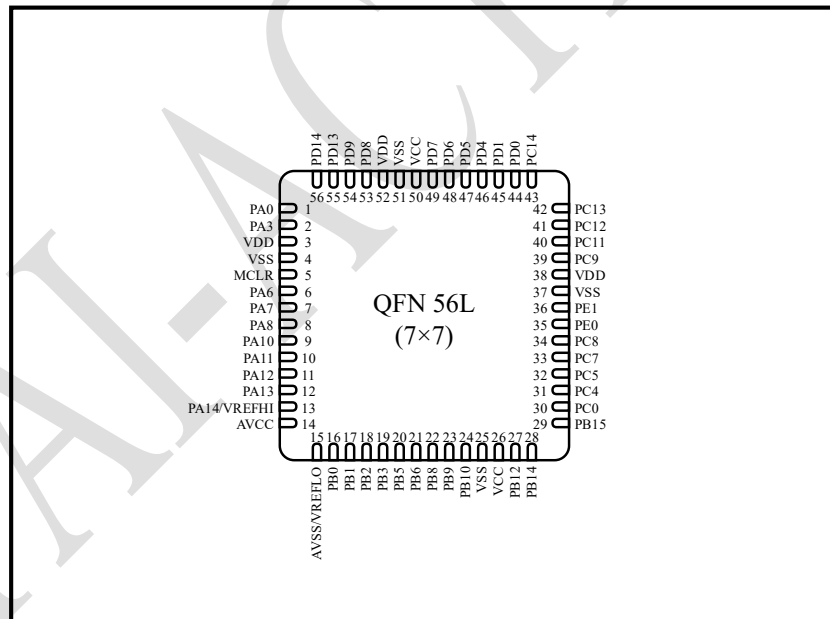


图 9 QFN 56L 引脚框图

QFN 40L:

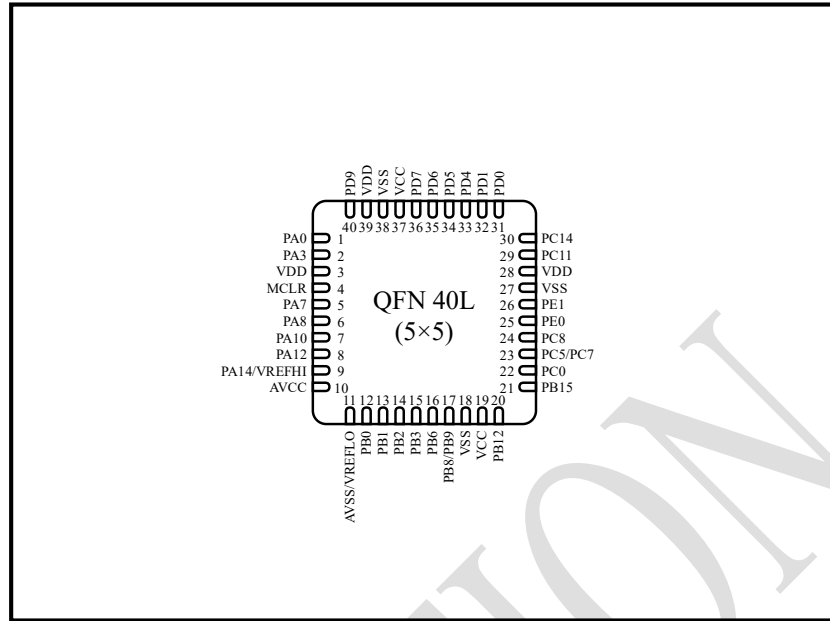


图 10 QFN 40L 引脚框图

QFN 32L:

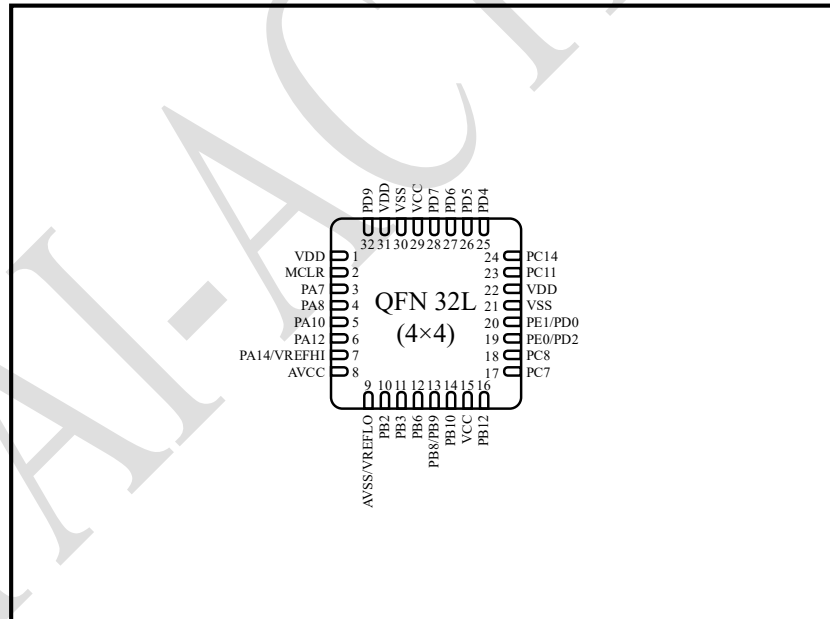


图 11 QFN 32L 引脚框图

4.2 引脚描述

表 5 引脚定义缩写说明

名称	缩写	定义
引脚名称	除非在引脚名称下使用括号特别说明，否则在复位期间和复位之后的引脚功能均与实际引脚名称相同。	
引脚类型	S	电源引脚
	SO	电源输出引脚
	I	仅输入引脚
	I/O	输入/输出引脚
引脚架构	FT	5V I/O
	TT	3.3V I/O
	B	专用 BOOT 引脚
	MCLR	嵌入了弱上拉电阻的复位引脚
	TT or FT I/Os	
	_a	I/O，具有模拟复用功能的引脚
注释	除非通过注释特别说明，否则所有 I/O 在复位期间和复位之后均设置为悬空状态	
复用功能	通过 GPIOx_MUX 寄存器选择的功能	

表 6 引脚定义

Package						Pin name	Pin type	I/O structure	Digital Functions	Analog Functions
LQFP 80	LQFP 64	LQFP 48	QFN 56	QFN 40	QFN 32					
1	1	1	1	1	-	PA0	I/O	TT	MCO, TMR0_CH0, UART1_TX, CAN0_RX, I2C0_SBA, UART4_DE, PWM_TZ3	-
2	2	-	-	-	-	PA1	I/O	TT	TMR0_CH1, TMR2_CH0N, UART3_TX, CAN1_RX, I2C1_SDA, I2C0_SDA, UART2_RE, PWM_SCI	-
3	3	-	-	-	-	PA2	I/O	TT	TMR0_CH0, TMR2_CH1N, UART3_RX, CAN1_TX, I2C1_SBA, I2C0_SCL, UART1_RE, PWM_SCO	-
4	4	2	2	2	-	PA3	I/O	TT	TMR0_CH1, TMR2_CH0N, UART1_RX, CAN0_TX, I2C1_SCL, QE1_Z, CMP2_OUT	-
5	-	3	-	-	-	PA4	I/O	TT_a	TMR2_CH1N, UART4_TX, I2C1_SDA, QE1_A, CMP0_OUT	ADC0_IN10
6	-	-	-	-	-	PA5	I/O	TT_a	UART4_RX, I2C1_SCL, QE1_B, CMP1_OUT	ADC0_IN9
7	5	4	3	3	1	VDD	SO	-	-	-
8	6	-	4	-	-	VSS	S	-	-	-
9	7	5	5	4	2	MCLR	I	RSTn	-	-
10	8	-	6	-	-	PA6	I/O	TT_a	TMR0_CH0, TMR1_CH0, UART2_TX, QE1_Z	ADC0_IN8
11	9	6	7	5	3	PA7	I/O	TT_a	TMR1_CH0, TMR0_CH0N, UART2_RX,	ADC0_IN7,

									UART1_RX, I2C0_SCL, PWM_TZ0	CMP3_INP
12	10	7	8	6	4	PA8	I/O	TT_a	TMR1_CH1, UART1_TX, I2C0_SBA, PWM_TZ1	ADC0_IN6, CMP2_INP
13	-	-	-	-	-	PA9	I/O	TT_a	TMR1_CH0N	ADC0_IN5
14	11	8	9	7	5	PA10	I/O	TT_a	TMR0_CH0, I2C1_SDA, PWM_TZ2	ADC0_IN4, CMP1_INP
15	12	-	10	-	-	PA11	I/O	TT_a	SPI0_CS	ADC0_IN3
16	13	9	11	8	6	PA12	I/O	TT_a	TMR1_CH0, SPI0_CLK, I2C1_SCL, PWM_TZ3	ADC0_IN2, CMP0_INP
17	14	10	12	-	-	PA13	I/O	TT_a	SPI0_MISO	ADC0_IN1
18	15	11	13	9	7	PA14	I/O	TT_a	SPI0_MOSI	ADC0_IN0
19						VREFHI	S	-	-	-
20	16	12	14	10	8	AVCC	S	-	-	-
21	17	13	15	11	9	AVSS	S	-	-	-
22						VREFLO	SO	-	-	-
23	18	-	-	-	-	PA15	I/O	TT_a	-	ADC1_IN0, CMP3_INM0
24	19	14	16	12	-	PB0	I/O	TT_a	CMP0_OUT	ADC1_IN1, CMP0_INM0
25	20	15	17	13	-	PB1	I/O	TT_a	CMP1_OUT	ADC1_IN2, CMP0_INM1
26	21	16	18	14	10	PB2	I/O	TT_a	UART1_DE, I2C0_SDA, CMP2_OUT	ADC1_IN3, CMP1_INM0
27	22	17	19	15	11	PB3	I/O	TT_a	UART2_DE, I2C0_SCL, CMP3_OUT	ADC1_IN4, CMP1_INM1
28	-	-	-	-	-	PB4	I/O	TT_a	-	ADC1_IN5, CMP2_INM0
29	23	-	20	-	-	PB5	I/O	TT_a	-	ADC1_IN6, CMP2_INM1
30	24	18	21	16	12	PB6	I/O	TT_a	TMR2_CH0, SPI1_CS, CMP0_OUT, CMP1_OUT, CMP2_OUT, CMP3_OUT	ADC1_IN7, CMP3_INM1
31	-	-	-	-	-	PB7	I/O	TT_a	TMR2_CH1, TMR2_CH0N, SPI1_CS, PWM_TZ0	ADC1_IN8
32	25	19	22	17	13	PB8	I/O	TT	TMR1_CH1, SPI1_MISO, SPI1_CLK, I2C1_SCL, CAN0_TX, CAN1_TX, QEI_A	-
33	26	20	23			PB9	I/O	TT_a	TMR1_CH0, UART0_RX, SPI1_MISO, I2C1_SDA, CAN0_RX, CAN1_RX, QEI_B	ADC1_IN9
34	27	21	24	-	14	PB10	I/O	TT_a	UART0_TX, SPI1_MOSI, CAN0_TX, I2C0_SCL, CMP3_OUT, PWM_TZ2	ADC1_IN10
35	28	22	25	18	-	VSS	S	-	-	-
36	29	23	26	19	15	VCC	S	-	-	-
37	-	-	-	-	-	PB11	I/O	TT	TMR2_CH0, SPI1_CLK, UART0_DE, PWM_TZ3	-

38	30	24	27	20	16	PB12	I/O	TT	BOOT, TMR2_CH1, TMR1_CH1N, UART0_RX, UART2_TX, CAN1_TX, CAN0_RX, UART1_DE, PWM_TZ2	-
39	31	-	-	-	-	PB13	I/O	TT	TMR1_CH1, TMR1_CH0N, UART0_TX, UART1_TX, CAN1_RX, UART2_DE, PWM_OUT0B	-
40	32	-	28	-	-	PB14	I/O	TT	TMR0_CH0N, UART0_RX, SPI0_CS, I2C0_SDA, CAN1_TX, PWM_TZ1	-
41	33	25	29	21	-	PB15	I/O	TT	MCO, TMR0_CH0, TMR2_CH0N, UART1_TX, SPI0_CLK, I2C0_SCL, CAN1_RX, CMP2_OUT	-
42	34	26	30	22	-	PC0	I/O	TT	TMR0_CH1, TMR2_CH1N, UART2_RX, SPI0_MISO, UART2_TX, CMP1_OUT, PWM_TZ2	-
43	35	-	-	-	-	PC1	I/O	TT	TMR1_CH0, TMR1_CH1N, UART2_TX , UART0_TX , SPI0_MOSI, UART1_RX, PWM_OUT0A	-
44	-	-	-	-	-	PC2	I/O	TT	TMR1_CH1, TMR1_CH0N, UART3_RX, SPI1_MISO	-
45	-	-	-	-	-	PC3	I/O	TT	TMR1_CH1N, UART4_RX, UART3_TX , I2C0_SBA, I2C1_SBA, QE1_Z, PWM_TZ3	-
46	36	27	31	-	-	PC4	I/O	TT	TMR2_CH0N, UART4_TX, SPI1_CS, SPI0_MOSI, I2C1_SCL, UART2_TX, PWM_TZ1	-
47	37	28	32	23	-	PC5	I/O	TT	TMR2_CH0, TMR2_CH0N, UART0_TX , UART4_RX, SPI1_MOSI, I2C1_SDA, CMP3_OUT, PWM_TZ0	-
48	-	-	-	-	-	PC6	I/O	TT	TMR2_CH0, TMR1_CH0N, UART4_TX , CMP0_OUT, PWM_OUT2B	-
49	38	29	33	23	17	PC7	I/O	TT	TMR0_CH0, UART0_RX, I2C0_SBA, PWM_OUT3B	-
50	39	30	34	24	18	PC8	I/O	TT	TMR0_CH0N, PWM_SCI, PWM_SCO, PWM_OUT3A	-
51	40	31	35	25	19	PE0	I/O	TT_a	TMR2_CH0, UART3_RX, CMP3_OUT, CAN0_TX, I2C1_SCL, PWM_TZ0, PWM_OUT1B	HXO
52	41	32	36	26	20	PE1	I/O	TT_a	CLKIN, TMR2_CH0N, UART3_TX, I2C0_SBA, CAN0_RX, I2C1_SDA, I2C1_SBA, PWM_TZ3	HXI
53	42	33	37	27	21	VSS	S	-	-	-
54	43	34	38	28	22	VDD	SO	-	-	-
55	44	-	39	-	-	PC9	I/O	TT	CLKIN, TMR0_CH1, UART1_RX, SPI0_CS, PWM_TZ3	-
56	-	-	-	-	-	PC10	I/O	TT	TMR0_CH1N, UART1_DE, UART0_DE,	-

									SPI0_CLK, I2C0_SBA, UART0_RE, PWM_TZ1	
57	45	35	40	29	23	PC11	I/O	TT	SWCLK, TMR2_CH0, TMR1_CH0N, UART0_TX, SPI0_MISO, CMP3_OUT	-
58	46	-	41	-	-	PC12	I/O	TT	SWO, TMR1_CH1, TMR2_CH0N, UART0_RX, UART4_TX, SPI0_MOSI	-
59	47	-	42	-	-	PC13	I/O	TT	TMR0_CH1, TMR1_CH1N, UART4_RX, CAN0_TX, I2C1_SCL, QE1_A	-
60	48	36	43	30	24	PC14	I/O	TT	SWDAT, TMR1_CH0, TMR0_CH1N, CAN0_RX, I2C1_SDA, QE1_B	-
61	49	-	-	-	-	PC15	I/O	TT	TMR0_CH1, UART1_RX, UART1_TX, UART0_TX, PWM_OUT1B	-
62	50	37	44	31	20	PD0	I/O	TT	TMR2_CH1, TMR0_CH1N, UART0_RX, UART2_TX, SPI0_MOSI, PWM_OUT2B	-
63	51	38	45	32	-	PD1	I/O	TT	TMR2_CH1N, UART2_RX, SPI0_CS, PWM_OUT2A	-
64	-	-	-	-	19	PD2	I/O	TT	TMR1_CH0, TMR2_CH0N, UART0_RX, I2C0_SDA, PWM_OUT2A	-
65	52	-	-	-	-	PD3	I/O	TT	TMR0_CH1N, UART4_RX, UART1_RX, UART0_RX, I2C0_SCL, PWM_OUT1A	-
66	53	39	46	33	25	PD4	I/O	TT	TMR2_CH0N, UART3_TX, CAN1_TX, SPI0_MISO, CMP1_OUT, PWM_OUT1B	-
67	54	40	47	34	26	PD5	I/O	TT	MCO, TMR2_CH0, UART3_RX, CAN1_RX, CMP3_OUT, PWM_OUT1A	-
68	55	41	48	35	27	PD6	I/O	TT	TMR2_CH1, TMR1_CH1N, UART2_TX, UART3_RE, I2C1_SDA, QE1_B, CMP0_OUT, PWM_OUT0B	-
69	56	42	49	36	28	PD7	I/O	TT	TMR1_CH1, UART2_RX, UART4_RE, I2C1_SCL, QE1_A, PWM_OUT0A	-
70	57	43	50	37	29	VCC	S	-	-	-
71	58	44	51	38	30	VSS	S	-	-	-
72	59	45	52	39	31	VDD	SO	-	-	-
73	60	-	53	-	-	PD8	I/O	TT	TMR0_CH0, I2C0_SCL, CMP3_OUT, QE1_Z, PWM_TZ0	-
74	61	46	54	40	32	PD9	I/O	TT	TMR1_CH0, TMR0_CH0N, UART4_TX, UART0_DE, I2C0_SDA, CMP2_OUT, CMP1_OUT, CMP0_OUT	-
75	-	-	-	-	-	PD10	I/O	TT	TMR2_CH0, TMR1_CH0N, UART2_DE, UART1_RX, SPI1_CS, PWM_TZ0	-
76	-	-	-	-	-	PD11	I/O	TT	TMR0_CH1, TMR2_CH0N, UART2_RX, SPI1_MISO, I2C0_SDA, CAN0_TX, PWM_TZ1	-
77	-	-	-	-	-	PD12	I/O	TT	TMR1_CH1, UART2_TX, UART1_TX, SPI1_CLK, I2C0_SCL,	-

									CAN0_RX, PWM_TZ2	
78	62	47	55	-	-	PD13	I/O	TT	TMR1_CH1N, UART3_DE, UART3_RX, I2C0_SDA, CAN1_TX, QE1_A, CMP1_OUT	-
79	63	48	56	-	-	PD14	I/O	TT	UART4_RX, UART3_TX, I2C0_SCL, CAN1_RX, QE1_B, CMP2_OUT	-
80	64	-	-	-	-	PD15	I/O	TT	TMR2_CH1, TMR0_CH1N, UART4_TX, UART1_TX, SPI1_MOSI, UART4_DE, QE1_Z	-

*注意:

- 1) PC11/PC14 为调试引脚, PC14 数据接口内置上拉, PC11 时钟接口内置下拉。
- 2) PB12 为BOOT 引脚, 默认内置上拉

表 7 引脚功能复用表

Pin name	Functions											
	AF0(In)	AF1(Out)	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF15(ANALOG)
PA0	-	-	MCO	TMR0_CH0	-	UART1_TX	CAN0_RX	-	I2C0_SBA	UART4_DE	PWM_TZ3	-
PA1	-	-	-	TMR0_CH1	TMR2_CH0N	UART3_TX	CAN1_RX	I2C1_SDA	I2C0_SDA	UART2_RE	PWM_SCI	-
PA2	-	-	-	TMR0_CH0	TMR2_CH1N	UART3_RX	CAN1_TX	I2C1_SBA	I2C0_SCL	UART1_RE	PWM_SCO	-
PA3	-	-	-	TMR0_CH1	TMR2_CH0N	UART1_RX	CAN0_TX	I2C1_SCL	-	QE1_Z	CMP2_OUT	-
PA4	-	-	-	-	TMR2_CH1N	UART4_TX	-	-	I2C1_SDA	QE1_A	CMP0_OUT	ADC0_IN10
PA5	-	-	-	-	-	UART4_RX	-	-	I2C1_SCL	QE1_B	CMP1_OUT	ADC0_IN9
PA6	-	-	-	TMR0_CH0	TMR1_CH0	UART2_TX	-	-	-	QE1_Z	-	ADC0_IN8
PA7	-	-	-	TMR1_CH0	TMR0_CH0N	UART2_RX	UART1_RX	-	I2C0_SCL	-	PWM_TZ0	ADC0_IN7, CMP3_INP
PA8	-	-	-	TMR1_CH1	-	-	UART1_TX	-	I2C0_SBA	-	PWM_TZ1	ADC0_IN6, CMP2_INP
PA9	-	-	-	-	TMR1_CH0N	-	-	-	-	-	-	ADC0_IN5
PA10	-	-	-	TMR0_CH0	-	-	-	I2C1_SDA	-	-	PWM_TZ2	ADC0_IN4, CMP1_INP
PA11	-	-	-	-	-	-	SPI0_CS	-	-	-	-	ADC0_IN3
PA12	-	-	-	TMR1_CH0	-	-	SPI0_CLK	I2C1_SCL	-	-	PWM_TZ3	ADC0_IN2, CMP0_INP
PA13	-	-	-	-	-	-	SPI0_MISO	-	-	-	-	ADC0_IN1
PA14	-	-	-	-	-	-	SPI0_MOSI	-	-	-	-	ADC0_IN0
PA15	-	-	-	-	-	-	-	-	-	-	-	ADC1_IN0, CMP3_INM0
PB0	-	-	-	-	-	-	-	-	-	-	CMP0_OUT	ADC1_IN1, CMP0_INM0
PB1	-	-	-	-	-	-	-	-	-	-	CMP1_OUT	ADC1_IN2, CMP0_INM1
PB2	-	-	-	-	-	-	UART1_DE	I2C0_SDA	-	-	CMP2_OUT	ADC1_IN3, CMP1_INM0
PB3	-	-	-	-	-	-	UART2_DE	I2C0_SCL	-	-	CMP3_OUT	ADC1_IN4, CMP1_INM1
PB4	-	-	-	-	-	-	-	-	-	-	-	ADC1_IN5, CMP2_INM0
PB5	-	-	-	-	-	-	-	-	-	-	-	ADC1_IN6, CMP2_INM1
PB6	-	-	-	TMR2_CH0	-	SPI1_CS	-	CMP0_OUT	CMP1_OUT	CMP2_OUT	CMP3_OUT	ADC1_IN7, CMP3_INM1
PB7	-	-	-	TMR2_CH1	TMR2_CH0N	-	SPI1_CS	-	-	-	PWM_TZ0	ADC1_IN8
PB8	-	-	-	TMR1_CH1	-	SPI1_MISO	SPI1_CLK	I2C1_SCL	CAN0_TX	CAN1_TX	QE1_A	-
PB9	-	-	-	TMR1_CH0	-	UART0_RX	SPI1_MISO	I2C1_SDA	CAN0_RX	CAN1_RX	QE1_B	ADC1_IN9
PB10	-	-	-	-	-	UART0_TX	SPI1_MOSI	CAN0_TX	I2C0_SCL	CMP3_OUT	PWM_TZ2	ADC1_IN10
PB11	-	-	-	TMR2_CH0	-	-	-	SPI1_CLK	-	UART0_DE	PWM_TZ3	-
PB12	-	-	-	BOOT	TMR2_CH1	TMR1_CH1N	UART0_RX	UART2_TX	CAN1_TX	CAN0_RX	UART1_DE	PWM_TZ2
PB13	-	-	-	TMR1_CH1	TMR1_CH0N	UART0_TX	UART1_TX	CAN1_RX	-	UART2_DE	PWM_OUT0B	-
PB14	-	-	-	-	TMR0_CH0N	-	UART0_RX	SPI0_CS	I2C0_SDA	CAN1_TX	PWM_TZ1	-
PB15	-	-	-	MCO	TMR0_CH0	TMR2_CH0N	UART1_TX	-	SPI0_CLK	I2C0_SCL	CAN1_RX	CMP2_OUT
PC0	-	-	-	TMR0_CH1	TMR2_CH1N	UART2_RX	-	SPI0_MISO	UART2_TX	CMP1_OUT	PWM_TZ2	-
PC1	-	-	-	TMR1_CH0	TMR1_CH1N	UART2_TX	UART0_TX	SPI0_MOSI	UART1_RX	-	PWM_OUT0A	-
PC2	-	-	-	TMR1_CH1	TMR1_CH0N	-	UART3_RX	SPI1_MISO	-	-	-	-
PC3	-	-	-	-	TMR1_CH1N	UART4_RX	UART3_TX	I2C0_SBA	I2C1_SBA	QE1_Z	PWM_TZ3	-
PC4	-	-	-	-	TMR2_CH0N	UART4_TX	SPI1_CS	SPI0_MOSI	I2C1_SCL	UART2_TX	PWM_TZ1	-
PC5	-	-	-	TMR2_CH0	TMR2_CH0N	UART0_TX	UART4_RX	SPI1_MOSI	I2C1_SDA	CMP3_OUT	PWM_TZ0	-
PC6	-	-	-	TMR2_CH0	TMR1_CH0N	-	UART4_TX	-	-	CMP0_OUT	PWM_OUT2B	-
PC7	-	-	-	TMR0_CH0	-	UART0_RX	-	-	I2C0_SBA	-	PWM_OUT3B	-
PC8	-	-	-	-	TMR0_CH0N	-	-	-	PWM_SCI	-	PWM_SCO	PWM_OUT3A
PC9	-	-	-	CLKIN	TMR0_CH1	-	UART1_RX	-	SPI0_CS	-	PWM_TZ3	-

PC10	-	-			TMR0_CH1N	UART1_DE	UART0_DE	SPI0_CLK	I2C0_SBA	UART0_RE	PWM_TZ1	-
PC11	-	-	SWCLK	TMR2_CH0	TMR1_CH0N	UART0_TX	-	SPI0_MISO	-	-	CMP3_OUT	-
PC12	-	-	SWO	TMR1_CH1	TMR2_CH0N	UART0_RX	UART4_TX	SPI0_MOSI	-	-	-	-
PC13	-	-	-	TMR0_CH1	TMR1_CH1N	-	UART4_RX	CAN0_TX	I2C1_SCL	QE1_A	-	-
PC14	-	-	SWDAT	TMR1_CH0	TMR0_CH1N	-	-	CAN0_RX	I2C1_SDA	QE1_B	-	-
PC15	-	-	-	TMR0_CH1	-	UART1_RX	UART1_TX	UART0_TX	-	-	PWM_OUT1B	-
PD0	-	-	-	TMR2_CH1	TMR0_CH1N	UART0_RX	UART2_TX	SPI0_MOSI	-	-	PWM_OUT2B	-
PD1	-	-	-	-	TMR2_CH1N	-	UART2_RX	SPI0_CS	-	-	PWM_OUT2A	-
PD2	-	-	-	TMR1_CH0	TMR2_CH0N	UART0_RX	-	-	I2C0_SDA	-	PWM_OUT2A	-
PD3	-	-	-	-	TMR0_CH1N	UART4_RX	UART1_RX	UART0_RX	I2C0_SCL	-	PWM_OUT1A	-
PD4	-	-	-	-	TMR2_CH0N	UART3_TX	CAN1_TX	SPI0_MISO	-	CMP1_OUT	PWM_OUT1B	-
PD5	-	-	MCO	TMR2_CH0	-	UART3_RX	CAN1_RX	-	-	CMP3_OUT	PWM_OUT1A	-
PD6	-	-	-	TMR2_CH1	TMR1_CH1N	UART2_TX	UART3_RE	I2C1_SDA	QE1_B	CMP0_OUT	PWM_OUT0B	-
PD7	-	-	-	TMR1_CH1	-	UART2_RX	UART4_RE	I2C1_SCL	QE1_A	-	PWM_OUT0A	-
PD8	-	-	-	TMR0_CH0	-	-	-	I2C0_SCL	CMP3_OUT	QE1_Z	PWM_TZ0	-
PD9	-	-	-	TMR1_CH0	TMR0_CH0N	UART4_TX	UART0_DE	I2C0_SDA	CMP2_OUT	CMP1_OUT	CMP0_OUT	-
PD10	-	-	-	TMR2_CH0	TMR1_CH0N	UART2_DE	UART1_RX	SPI1_CS	-	-	PWM_TZ0	-
PD11	-	-	-	TMR0_CH1	TMR2_CH0N	UART2_RX	-	SPI1_MISO	I2C0_SDA	CAN0_TX	PWM_TZ1	-
PD12	-	-	-	TMR1_CH1	-	UART2_TX	UART1_TX	SPI1_CLK	I2C0_SCL	CAN0_RX	PWM_TZ2	-
PD13	-	-	-	-	TMR1_CH1N	UART3_DE	UART3_RX	I2C0_SDA	CAN1_TX	QE1_A	CMP1_OUT	-
PD14	-	-	-	-	-	UART4_RX	UART3_TX	I2C0_SCL	CAN1_RX	QE1_B	CMP2_OUT	-
PD15	-	-	-	TMR2_CH1	TMR0_CH1N	UART4_TX	UART1_TX	SPI1_MOSI	UART4_DE	QE1_Z	-	-
PE0	-	-	-	TMR2_CH0	-	UART3_RX	CMP3_OUT	CAN0_TX	I2C1_SCL	PWM_TZ0	PWM_OUT1B	HXO
PE1	-	-	CLKIN		TMR2_CH0N	UART3_TX	I2C0_SBA	CAN0_RX	I2C1_SDA	I2C1_SBA	PWM_TZ3	HXI

*注意:

(1) PC11/PC14 为调试引脚, PC14 数据接口内置上拉, PC11 时钟接口内置下拉。

(2) PB12 为BOOT 引脚, 默认内置上拉。

5 存储器地址映射

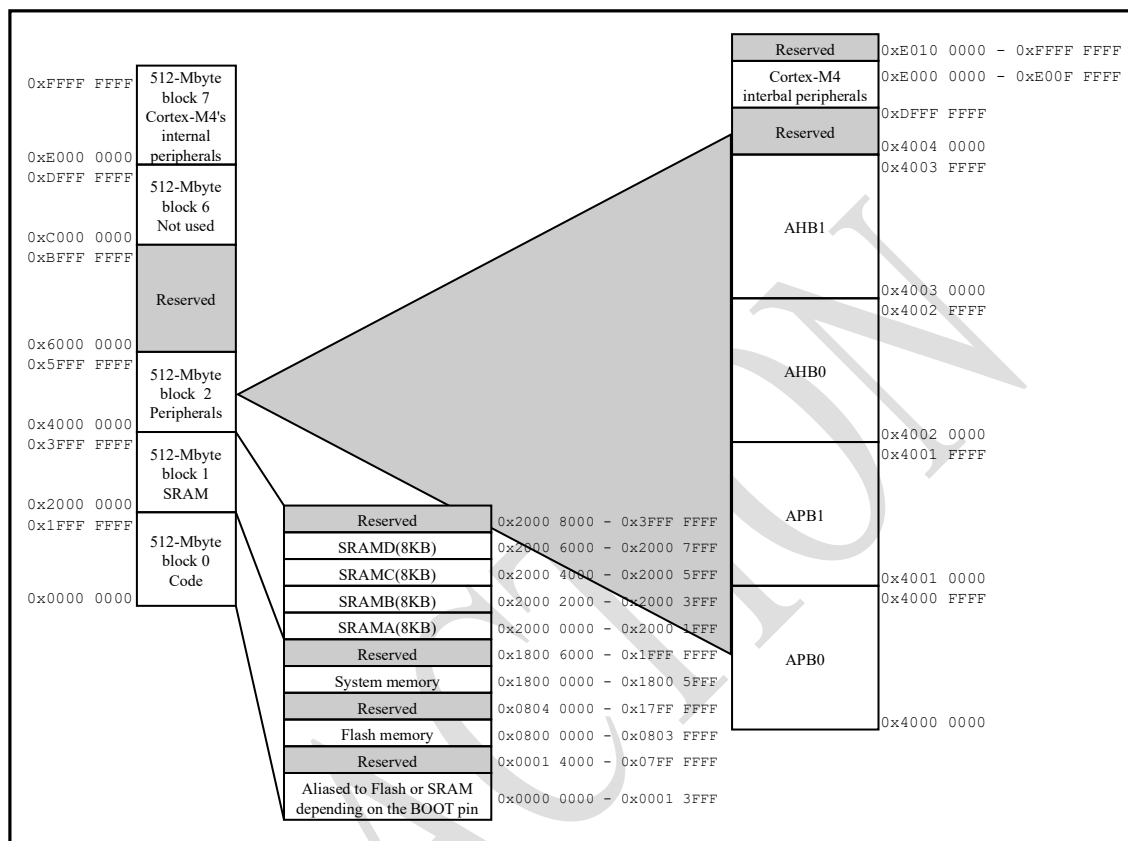


图 12 存储映射图

表 8 芯片外设地址映射表

总线	边界地址	外设
Reserved	0xE010 0000 - 0xFFFF FFFF	Reserved
Cortex™-M4	0xE000 0000 - 0xE00F FFFF	Cortex™-M4 internal peripherals
Reserved	0x4004 0000 - 0xDFFF FFFF	Reserved
AHB1	0x4003 F000 - 0x4003 FFFF	IQDIV
	0x4003 BF00 - 0x4003 BFFF	HRPWM-COM
	0x4003 B400 - 0x4003 B4FF	HRPWM_SLV3
	0x4003 B300 - 0x4003 B3FF	HRPWM_SLV2
	0x4003 B200 - 0x4003 B2FF	HRPWM_SLV1
	0x4003 B100 - 0x4003 B1FF	HRPWM_SLV0
	0x4003 B000 - 0x4003 B0FF	HRPWM-MST
	0x4003 A300 - 0x4003 A3FF	CMP3
	0x4003 A200 - 0x4003 A2FF	CMP2
	0x4003 A100 - 0x4003 A1FF	CMP1
	0x4003 A000 - 0x4003 A0FF	CMP0
	0x4003 9300 - 0x4003 93FF	DAC3

	0x4003 9200 - 0x4003 92FF	DAC2
	0x4003 9100 - 0x4003 91FF	DAC1
	0x4003 9000 - 0x4003 90FF	DAC0
	0x4003 8400 - 0x4003 87FF	ADC1
	0x4003 8000 - 0x4003 83FF	ADC0
AHB0	0x4002 D000 - 0x4002 DFFF	QEI
	0x4002 8000 - 0x4002 8FFF	GPIOE
	0x4002 7000 - 0x4002 7FFF	GPIOD
	0x4002 6000 - 0x4002 6FFF	GPIOC
	0x4002 5000 - 0x4002 5FFF	GPIOB
	0x4002 4000 - 0x4002 4FFF	GPIOA
	0x4002 3000 - 0x4002 3FFF	FLASH
	0x4002 2060 - 0x4002 207F	DMA3
	0x4002 2040 - 0x4002 205F	DMA2
	0x4002 2020 - 0x4002 203F	DMA1
	0x4002 2000 - 0x4002 201F	DMA0
	0x4002 1000 - 0x4002 1FFF	SYSCTRL
	0x4002 0000 - 0x4002 0FFF	RCU
APB1	0x4001 A000 - 0x4001 AFFF	TMR2
	0x4001 9000 - 0x4001 9FFF	TMR1
	0x4001 8000 - 0x4001 8FFF	TMR0
	0x4001 5000 - 0x4001 5FFF	CAN1
	0x4001 4000 - 0x4001 4FFF	CAN0
	0x4001 3000 - 0x4001 3FFF	SPI1
	0x4001 2000 - 0x4001 2FFF	SPI0
	0x4001 1000 - 0x4001 1FFF	UART4
	0x4001 0000 - 0x4001 0FFF	UART3
APB0	0x4000 D000 - 0x4000 DFFF	WWDG
	0x4000 C000 - 0x4000 CFFF	IWDG
	0x4000 9000 - 0x4000 9FFF	TMR8
	0x4000 8000 - 0x4000 8FFF	TMR7
	0x4000 5000 - 0x4000 5FFF	UART2
	0x4000 4000 - 0x4000 4FFF	UART1
	0x4000 3000 - 0x4000 3FFF	UART0
	0x4000 1000 - 0x4000 1FFF	I2C1
	0x4000 0000 - 0x4000 0FFF	I2C0

6 电气特性

6.1 参数条件

除非特别说明，所有电压都是以 VSS 作为参考。

6.2 最大值和最小值

除非特别说明，最大值和最小值是在最差环境温度、供电电压以及频率下的测试结果。

6.3 典型值

除非特别说明，典型值都是在 $T_A=25^{\circ}\text{C}$ ， $V_{CC}=AV_{CC}=3.3\text{V}$ 的条件下获取的，仅作为设计参考。

6.4 电源供电

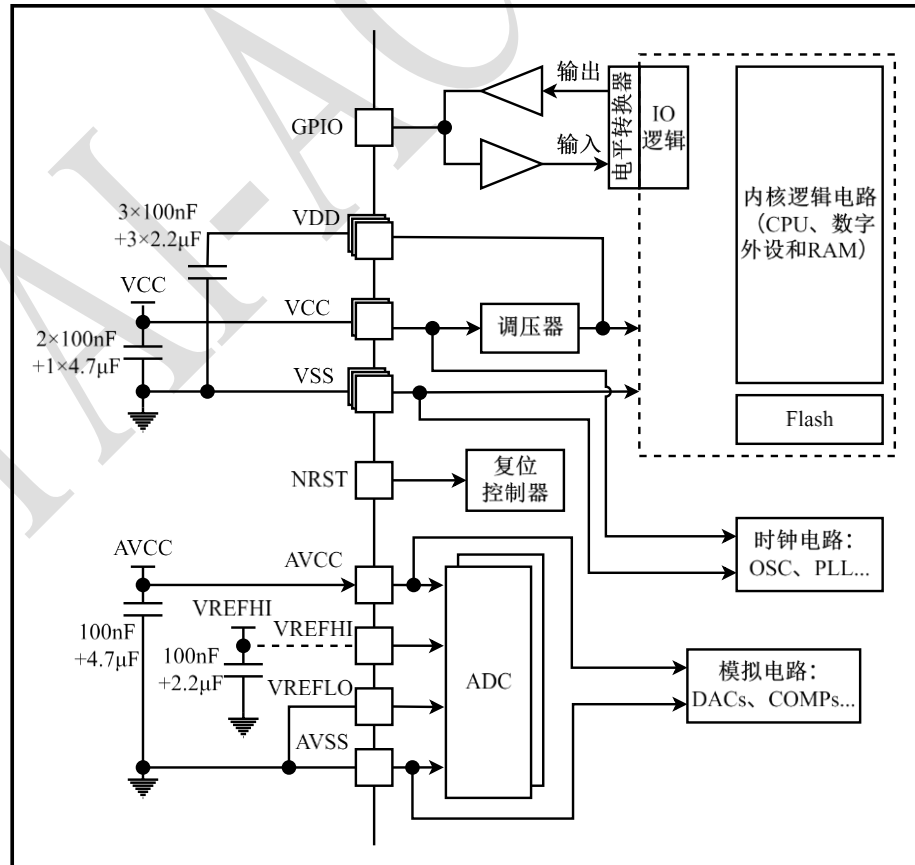


图 13 电源框架图

注意：

1. 建议按上图推荐给每个电源添加退耦电容。建议给每个电源引脚添加一个 100nF 小电容滤除高频噪声。
2. VCC 引脚数量因不同封装有所差异，具体请查看[表 3-2 引脚定义](#)

6.5 绝对最大额定值

超过下表所示绝对最大额定值的电压值、电流或温度可能导致芯片永久性的损坏。

6.5.1 电压特性

表 9 电压特性

Symbol	Description	Min	Max	Unit
VCC -VSS	片外供电电压，包括VCC、AVCC。	-0.3	4.0	V
VCC - AVCC	允许的VCC和AVCC电压差值	-0.4	0.4	V
VIN	TT_x的输入电压	VSS-0.3	4.0	V
ΔV_{CCx}	不同VCC引脚的电压差值	-	50	mV
ΔV_{SSx}	不同VSS引脚的电压差值（包括AVSS）	-	50	mV

6.5.2 电流特性

表 10 电流特性

Symbol	Description	Max.	Unit
ΣI_{VCC}	所有VCC引脚输入的总电流	150	mA
ΣI_{AVCC}	所有AVCC引脚输入的总电流	100	mA
I_{VCC}	单个VCC引脚输入的总电流	100	mA
I_{AVCC}	单个AVCC引脚输入的总电流	100	mA
I_{IO}	单个GPIO输入/输出的电流	20	mA
ΣI_{IO}	所有GPIO输入/输出的总电流	100	mA

6.5.3 温度特性

表 11 温度特性

Symbol	Description	Max.	Unit
T_{STRG}	芯片储存温度范围	-65 ~ +150	°C
T_j	芯片结温	-40 ~ +150	°C

6.6 典型工作条件

表 12 典型工作条件

Symbol	Parameters	Condition	Min.	Typ.	Max.	Unit
F _{sysclk}	芯片内部系统时钟频率		0		160	MHz
F _{hclk}	芯片内部 AHB 时钟频率		0		160	MHz
F _{pcik0}	芯片内部 APB0 时钟频率		0		80	MHz
F _{pcik1}	芯片内部 APB1 时钟频率		0		80	MHz
VCC	数字 IO 工作电压		3.0	3.3	3.6	V
AVCC	模拟供电电压	与 VCC 电压相同	3.0	3.3	3.6	V
VDD	数字内核电压	当禁用内部 LDO，由片外电源供电时	1.08	1.2	1.32	V
V _{IN}	IO 输入电压	TT_xx	-0.3		VCC+0.3	V

6.7 芯片功耗汇总

6.7.1 系统功耗

表 13 系统功耗

HTOL						
Parameters	Test Condition		IvDD	IvCC	IvVCC	Unit
Running from	PLL-160MHz	1. VDD-1.2V / VCC-3.3V / AVCC-3.3V 2. Temperature : 25°C 3. Flash is earsing and programing 4. All Peripherals are operating	26.76	38.07	20.09	mA
Flash in	XOSC-8M		2.66	6.27	0.01	
SingleBank	RC8M-8M		2.64	5.32	0.01	
Running from	PLL-160MHz		25.65	38.50	20.10	mA
Flash in	XOSC-8M		4.23	8.04	0.01	
DoubleBank	RC8M-8M		4.22	7.10	0.01	
Running from	PLL-160MHz		/	40.59	20.07	mA
SRAM	XOSC-8M		/	10.13	0.01	
	RC8M-8M		/	9.18	0.01	
COREMARK						
Parameters	Test Condition		IvDD	IvCC	IvVCC	Unit
Running from	PLL-160MHz	1. VDD-1.2V / VCC-3.3V / AVCC-3.3V 2. Temperature : 25°C 3. Flash not in low power 4. Peripherals clk default	26.17	33.13	0.01	mA
Flash in	XOSC-8M		3.57	7.18	0.01	
SingleBank	RC8M-8M		3.66	6.26	0.01	
Running from	PLL-160MHz		26.62	33.87	0.01	mA
Flash in	XOSC-8M		4.96	8.55	0.01	
DoubleBank	RC8M-8M		4.98	7.63	0.01	
Running from	PLL-160MHz		/	34.67	0.01	mA
SRAM	XOSC-8M		/	10.16	0.01	
	RC8M-8M		/	9.16	0.01	

WHILE(1)							
Parameters	Test Condition		I _{VDD}	I _{VCC}	I _{AVCC}	Unit	
Running from Flash in SingleBank	PLL-160MHz	1. VDD-1.2V / VCC-3.3V / AVCC-3.3V 2. Temperature : 25°C 3. Flash not in low power 4. Peripherals clk default	15.28	22.53	0.01	mA	
	XOSC-8M		3.44	6.67	0.01		
	RC8M-8M		3.38	5.91	0.01		
Running from Flash in DoubleBank	PLL-160MHz		18.08	23.76	0.01	mA	
	XOSC-8M		4.65	8.21	0.01		
	RC8M-8M		4.63	7.33	0.01		
Running from SRAM	PLL-160MHz		/	25.47	0.01	mA	
	XOSC-8M		/	10.14	0.01		
	RC8M-8M		/	9.20	0.01		
LOW POWER							
Parameters	Test Condition		I _{VDD}	I _{VCC}	I _{AVCC}	Unit	
Sleep Mode	32KHz	1. VDD-1.2V / VCC-3.3V / AVCC-3.3V 2. Temperature : 25°C 3. All Peripherals Reset (except wake-up module) 4. Flash in low power 5. Sysclk RC32K 6. CPU in WFI Mode	0.88	2.66	0.01	mA	

6.7.2 外设功耗

表 14 外设功耗

Bus	Peripheral	Testing Method	I _{VCC}		Unit
			80MHz	160MHz	
APB0	I2C0	clk on	2.24	/	μA/MHz
	I2C1	clk on	2.10	/	
	UART0	clk on	1.70	/	
	UART1	clk on	1.66	/	
	UART2	clk on	1.60	/	
	TMR7	clk on	2.21	/	
	TMR8	clk on	2.17	/	
	IWDG	clk on	6.81	/	
	WWDG	clk on	6.62	/	
APB1	UART3	clk on	1.49	/	μA/MHz
	UART4	clk on	1.67	/	
	SPI0	clk on	1.39	/	
	SPI1	clk on	1.31	/	
	CAN0	clk on	6.51	/	
	CAN1	clk on	6.62	/	
	TMR0	clk on	2.77	/	

	TMR1	clk on	2.77	/	
	TMR2	clk on	2.63	/	
AHB0	DMA	clk on	5.37	5.32	$\mu\text{A}/\text{MHz}$
	FLASH	clk on	12.06	6.10	
	GPIOA	clk on	0.28	0.25	
	GPIOB	clk on	0.33	0.26	
	GPIOC	clk on	0.46	0.28	
	GIOD	clk on	0.29	0.24	
	GPIOE	clk on	0.20	0.19	
	QEI	clk on	1.20	1.18	
AHB1	ADC0	clk on	4.47	4.42	$\mu\text{A}/\text{MHz}$
	ADC1	clk on	4.35	4.38	
	DAC	clk on	2.95	3.03	
	CMP	clk on	0.42	0.44	
	HRPWM_SLV0	clk on	7.95	7.99	
	HRPWM_SLV1	clk on	7.83	7.83	
	HRPWM_SLV2	clk on	8.13	8.08	
	HRPWM_SLV3	clk on	12.40	12.47	
	IQDIV	clk on	0.29	0.29	

6.8 芯片上电/掉电特性

(VCC=AVCC=3.3V, TA=25°C, 除非另有说明)

表 15 芯片上电/掉电特性

Symbol	Parameters	Condition	Min.	Typ.	Max.	Unit
VCC _{OK} *	VCC 上电 OK 阈值	下降沿		2.25		V
		上升沿		2.4		V
VCC _{LVD0}	VCC 低压检测阈值 0	上升沿		2.4		V
VCC _{LVD1}	VCC 低压检测阈值 1	上升沿		2.55		V
VCC _{LVD2}	VCC 低压检测阈值 2	上升沿		2.7		V
VCC _{LVD3}	VCC 低压检测阈值 3	上升沿		2.85		V
VCC _{hyst_LVD}	VCC 电压监测迟滞		-	100	-	mV
T _{rst} *	上电复位时间					ms
VCC _{UP}	VCC 电源斜升速率		7		100	mV/ μs
VCC _{DN}	VCC 电源斜降速率		20		100	mV/ μs

注：*-由设计保证，不在量产测试中测试。

6.9 片内电源 AVCC 监测特性

表 16 片内电源 AVCC 监测特性

Symble	Parameters	Condition	Min.	Typ.	Max.	Unit
V _{LVD0}	AVCC电压监测阈值0	上升沿		2.55		V
V _{LVD1}	AVCC电压监测阈值1	上升沿		2.7		V
V _{LVD2}	AVCC电压监测阈值2	上升沿		2.85		V
V _{LVD3}	AVCC电压监测阈值3	上升沿		3.0		V
V _{hyst_LVD}	AVCC电压监测迟滞		-	100	-	mV

注：*-由设计保证，不在量产测试中测试。

6.10 片内参考电压

表 17 片内参考电压

Symbol	Parameters	Condition	Min.	Typ.	Max.	Unit
V _{REF+}	ADC 参考电压	AVCC ≥ 3.1V		3		V
TC*	参考电压温度系数	TA = -40°C~125°C		TBD		%
t _{Setup} *	内部参考建立时间			10		uS

注：*-由设计保证，不在量产测试中测试。

注：ADC 使用片内参考电压时，AVCC 电压应≥3.1V，此时 VREFHI 建议连接到 AVCC。

6.11 时钟特性

6.11.1 片外晶振特性（HSE）

（VCC= 3.3V，TA=25°C）

表 18 片外晶振特性（HSE）

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
F _{HSE}	外部输入时钟频率或晶振频率		4	8	26	MHz
VXIH*	HXI 输入高电平	外部输入时钟	0.7*VCC			V
VXIL*	HXI 输入低电平	外部输入时钟			0.3*VCC	V
Duty	外部输入时钟占空比		45	50	55	%
R _{FB}	反馈电阻			200		kΩ
I _{VCC}	起振电路功耗	起振期间			2	mA
gm*	振荡器跨导	起振期间，驱动强度可调		TBD		mA/V
T _{su} *	启动时间	从软件使能到输出稳定的时钟			2	ms

注：*-由设计保证，不在量产测试中测试。

6.11.2 片内高速 RC 振荡器特性 (HSI)

(VCC= 3.3V, TA=25°C)

表 19 片内高速 RC 振荡器特性 (HSI)

symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
F _{HSI} **	Frequency		5	8	13	MHz
Duty	Duty Cycle		45	50	55	%
ACC*	振荡器的频率精度	TA=-40 ~ 105°C		TBD		%
		TA=-10 ~ 85°C		TBD		
		TA=0 ~ 85°C		TBD		
T _{su} *	启动时间	从软件使能到震荡到目标频率			12	us
I _{vcc}	振荡器功耗	TA=25°C @ 8MHz		0.6		mA

注：*-振荡器频率在 TA=25°C 测量并存储到 FLASH 中，可通过查询 FLASH NVR 区域获得实际振荡频率。

注：**-振荡器频率不校正，通过调节 PLL 分频系数进行 PLL 输出频率校正，初始绝对精度<±1%。

6.11.3 片内低速 RC 振荡器特性 (LSI)

(VCC= 3.3V, TA=25°C)

表 20 片内低速 RC 振荡器特性 (LSI)

symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
F _{LSI} **	LSI 输出频率		24	32	40	kHz
ACC*	振荡器的频率精度	TA=-40 ~ 105°C		TBD		%

注：*-由设计保证，不在量产测试中测试。

注：**-振荡器频率无校正，FLASH 存储其 TA=25°C 的频率值，可通过查询 FLASH NVR 区域获得实际振荡频率。

6.11.4 锁相环特性

(VCC= 3.3V, TA=25°C)

表 21 锁相环特性

Symbol	Parameter	Min.	Typ.	Max.	Unit
F _{PLL_IN}	PLL 输入时钟	4		26	MHz
F _{PLL_OUT}	PLL VCO 输出时钟	200		500	MHz
T _{LOCK} *	PLL 锁定时间		0.5	2	ms

注：*-由设计保证，不在量产测试中测试。

6.12 Flash 存储器特性

表 22 Flash 存储器特性

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
T _{PROG}	编程时间		8		10	us
T _{SECTOR_ERASE}	扇区擦除时间		3.2		4	ms
T _{CHIP_ERASE}	芯片擦除时间		16		20	ms
N _{END}	闪存耐受度	TA=-40~125°C	100			kCycles
T _{RET}	数据保持时间	TA=85°C with 10k sector endurance	20			Years
		TA=85°C with 100k sector endurance	5			
T _{ACC}	闪存访问时间	TA=-40~125°C	35			ns

6.13 电灵敏度特性

6.13.1 ESD

表 23 ESD 特性

Symbol	Ratings	Condition	Class	Max	Unit
VESD(HBM)	静电放电电压（人体模型）	TA = +25 °C, ANSI/ESDA/JEDEC JS-001		±2000	V
VESD(CDM)	静电放电电压（充电器件模型）	TA = +25 °C, ANSI/ESDA/JEDEC JS-002		±500	V

6.13.2 Latch-Up

表 24 Latch-Up 特性

Symbol	Ratings	Condition	Class
LU	门锁等级	TJ = +150 °C conforming to JESD78E	II A

6.14 通用输入/输出端口特性

表 25 通用输入/输出端口特性

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
V _{IL}	低电平输入电压				0.48*VCC-0.12	V
V _{IH}	高电平输入电压		0.54*VCC+0.08			V
C _{IO}	IO 端口寄生电容			10		pF
R _{PU}	引脚内部上拉电阻		8	10	12	kΩ
R _{PD}	引脚内部下拉电阻		8	10	12	kΩ
V _{OL}	低电平输出电压				0.4	V
V _{OH}	高电平输出电压		VCC-0.4			V

6.15 MCLR 引脚特性

表 26 MCLR 引脚特性

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
VIL(MCLR)	MCLR input low level voltage	-			0.3*VCC	V
VIH(MCLR)	MCLR input high level voltage	-	0.7*VCC			
Vhys(MCLR)	MCLR Schmitt trigger voltage hysteresis	-		500		mV
RMCLR	PIN Pull-up resistor		75	100	125	kΩ

6.16 高精度 PWM 特性

(VCC= 3.3V, TA=25°C)

表 27 HRPWM Characteristics

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
F _{HRPWM}	HRPWM 时钟频率		120		160	MHz
T _{HRPWM}	HRPWM 时钟周期		6.25		8.33	ns
T _{RES}	HRPWM 分辨率	F _{HRPWM} =160MHz, TA=-40~125°C		195		ps
ResHRPWM	定时器分辨率		-	-	18	bit
T _{DTG}	死区时间发生器时钟周期		1/32	-	8	T _{HRPWM}
		F _{HRPWM} =160 MHz	0.195	-	50.00	ns
T _{DTR} / T _{DTF} max	死区时间		-	-	1023	t _{DTG}
		F _{HRPWM} =160 MHz	-	-	51.15	μs
f _{CHPFRQ}	斩波时钟频率		1/256	-	1/16	F _{HRPWM}
		F _{HRPWM} =160 MHz	0.976	-	15.62	MHz
T _{1STPW}	第一个斩波脉宽		16	-	256	T _{HRPWM}
		F _{HRPWM} =160 MHz	0.10	-	1.6	μs

(VCC= 3.3V, TA=25°C)

表 28 HRPWM output response to fault protection

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
T _{LAT(DFLT)}	数字故障响应延时	从 HRPWM_FLTx 输入到 HRPWM_OUTxy 输出引脚的传输延时	-	7.72	17.17	ns
T _{W(FLT)}	最小故障脉宽时间		7.50	-	-	
T _{LAT(AFLT)}	模拟故障响应延时	从 CMPx_INP 输入引脚到 HRPWM_OUTxy 输出引脚的传输延时	-	13.74	26.62	

(VCC= 3.3V, TA=25°C)

表 29 HRPWM output response to external events 0 to 9 (Fast mode)

Symbol	Parameter	Condition	Min	Typ(2)	Max.	Unit
T _{LAT(DEVT)}	数字外部事件响应延时	Propagation delay from HRPWM_EVTx digital input to HRPWM_OUTxy output pin	-	10.30	19.74	ns
T _{W(EVT)}	最小外部事件脉宽事件		7.50	-	-	
T _{LAT(AEVT)}	Analog external event response latency	Propagation delay from comparator CMPx_INP input pin to HRPWM_CHxy output pin	-	16.30	26.61	

(VCC= 3.3V, TA=25°C)

表 30 HRPWM output response to external events 0 to 9 (Slow mode)

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
T _{LAT(DEVT)}	Digital external event response latency	Propagation delay from HRPWM1_EVTx digital input to HRPWM_CHxy output pin	-	48.00	56.67	ns
T _{LAT(AEVT)}	Analog external event response latency	Propagation delay from COMPx_INP input pin to HRPWM_CHxy output pin	-	53.24	65.25	ns
T _{W(EVT)}	Minimum external event pulse width		7.50	-	-	ns
T _{JIT(EVT)}	External event response jitter	Jitter of the delay from HRPWM1_EVTx digital input or COMPx_INP to HRPWM_CHxy output pin	-	-	1	T _{HRPWM}

(VCC= 3.3V, TA=25°C)

表 31 HRPWM synchronization input / output

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
T _{W(SYNCIN)}	Minimum pulse width on SYNCIN inputs, including HRPWM_SCIN		2	-	-	T _{HRPWM}
T _{RES(ESR)}	Response time to external synchronization request		-	-	3	T _{HRPWM}
T _{W(SYNCOU)}	Pulse width on HRPWM_SCOUT output		-	16	-	T _{HRPWM}
		F _{HRPWM} =160 MHz	-	100.00	-	ns

6.17 模拟外设特性

6.17.1 模数转换器特性

(测试条件: AVCC=3.3V, TA=25°C, F_ADC=60MHz, 除非另有说明)

表 32 ADC 特性

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
AVCC	模拟电源电压		3.1	3.3	3.6	V
Resolution	ADC 分辨率			13		bit
V _{ref+}	ADC 正参考电压		2.4		AVCC	V
V _{ref-}	ADC 负参考电压, 芯片内部连接到 AVSS			0		V
V _{AIN}	ADC 输入电压范围		AVSS		V _{REF+}	V
R _{IN} *	ADC 片内输入阻抗		400	500	800	Ω
C _{IN}	ADC 输入电容			2		pF
F _{ADC}	ADC 工作时钟			53.33	60	MHz
F _S	ADC 采样率				5	MSps
T _{sample}	ADC 采样时间, ADC 时钟周期数		2		510	T _{adc}
T _{con}	总转换时间	T _{con} =T _{sample} (2~510 T _{adc}) +T _{conv} (10T _{adc})	12		520	T _{adc}
DNL*	微分非线性			TBD		LSB
INL*	积分非线性			TBD		LSB
I _{AVCC}	ADC 功耗	单端/差分, 5MSPS		2		mA
DR*	ADC 动态范围	差分		67		dB
		单端		65		dB
SNDR*	ADC 信号与噪声失真比	差分		65		dB
		单端		64		dB

注: *-由设计保证, 不在量产测试中测试。

(测试条件: AVCC=3.3V, TA=25°C, F_ADC=60MHz, 除非另有说明)

表 33 ADC 特性

分辨率	采样周期数 @60 MHz	采样时间[ns] @60 MHz	R _{AINmax} * (Ω)
12 bit	2	33	
	6	100	
	14	233	
	30	500	
	62	1033	
	126	2100	
	254	4233	
	510	8500	
10 bit	2	33	
	6	100	
	14	233	
	30	500	
	62	1033	
	126	2100	
	254	4233	
	510	8500	
8 bit	2	33	
	6	100	
	14	233	
	30	500	
	62	1033	
	126	2100	
	254	4233	
	510	8500	

注: *-由设计保证, 不在量产测试中测试。

6.17.2 数模转换器特性

(测试条件为: AVCC=3.3V, TA=25°C, 除非另有说明)

表 34 DAC 特性

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
AVCC	模拟电源电压		3.0	3.3	3.6	V
Resolution	DAC 分辨率			12		bit
V _{ref+}	DAC 正参考电压, 片内连接到 AVCC			AVCC		V
V _{ref-}	DAC 负参考电压, 片内连接到 AVSS			AVSS		V
V _{DACOUT}	DAC 输出电压范围		AVSS		AVCC	V
t _{setting} *	DAC 建立时间	DAC Data 0->4095 DAC Data 4095->0 建立到 1LSB 精度, CL=50pF			3	us
DNL*	微分非线性					LSB
INL*	积分非线性					LSB
I _{AVCC}	DAC 功耗					mA
Update Rate	DAC 数据更新速率			5		MS/s

注: *-由设计保证, 不在量产测试中测试。

6.17.3 比较器特性

(AVCC=3.3V, TA=25°C)

表 35 CMP 特性

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
AVCC	模拟电源电压		3.0	3.3	3.6	V
V _{in}	比较器输入电压范围		0		AVCC	V
V _{offset} *	比较器失调电压		-8	0	8	mV
V _{hyst} *	比较器迟滞电压 0	0~30mV 可调		0		mV
	比较器迟滞电压 1			15		mV
	比较器迟滞电压 2			30		mV
	比较器迟滞电压 3			40		mV
T _{DLY} *	比较器延时	从比较器输入引脚到输出引脚, CL=30pF		15	20	ns

注: *-由设计保证, 不在量产测试中测试。

6.17.4 温度传感器特性

(AVCC=3.3V, TA=25°C)

表 36 温度传感器特性

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
Slope*	温度曲线斜率		-1.96	-1.91	-1.86	mV/°C
V ₀	0 摄氏度电压			688		mV
T _{START}	启动时间		4		10	us

注：为了保证温度传感器测量精度，可开启 ADC 过采样。

注：*-由设计保证，不在量产测试中测试。

6.18 计时器特性

表 37 计时器特性

Symbol	Parameter	Condition	Min.	Max.	Unit
t _{RES(TMR)}	计时器分辨率时间	-	1		t _{TMRxCLK}
		f _{TMRxCLK} =80 MHz	12.5		ns
f _{EXT}	CH0至CH3上的定时器外部时钟频率	-	0	f _{TMRxCLK} /2	
		f _{TMRxCLK} =80 MHz	0	40	
ReSTMR	计时器分辨率	TMRx	-	16	bit
t _{COUNTER}	16位计数器时钟周期	-	1	65536	t _{TMRxCLK}
		f _{TMRxCLK} =80 MHz	0.0125	819.2	us
t _{w(TI1,TI2)}	最小脉冲宽度在除方向时钟x1外的所有编码器模式下的TI1和TI2输入上	-	2	-	Tck
	最小脉冲宽度在方向时钟x1中的TI1和TI2输入上	-	3	-	Tck

1. TMRx 是一个通用术语，其中 x 代表 0,1,2,7 或 8。
2. 设计保证。

表 38 IWDG min/max timeout period at 32 kHz (LSI)

IWDG min/max timeout period at 32 kHz (LSI) ⁽¹⁾⁽²⁾				
Prescaler divider	PR[2:0] bits	Min timeout RL[11:0]=0x000	Max timeout RL[11:0]=0xFFFF	Unit
/4	0	0.125	512	ms
/8	1	0.250	1024	
/16	2	0.500	2048	
/32	3	1.0	4096	
/64	4	2.0	8192	
/128	5	4.0	16384	
/256	6或7	8.0	32768	

1. 设计保证。
2. 准确的定时仍然取决于 APB 接口时钟与 LSI 时钟的相位,因此始终存在一个完整的 RC 不确定性周期。

6.19 通信接口特性

6.19.1 I2C 特性

I2C 接口满足 I2C 总线规范的时序要求:

- 标准模式 (Sm): 比特率高达 100 kbit/s
- 快速模式 (Fm): 比特率高达 400 kbit/s
- 快速模式 Plus (Fm+): 比特率高达 1 Mbit/s

当 I2C 外围设备正确配置时, I2C 定时要求通过设计得到保证。

表 39 Minimum I2CCLK frequency in all I2C modes

Minimum I2CCLK frequency in all I2C modes				
Symbol	Parameter	Condition	Min	Unit
f _{I2CCLK}	I2C CLK频率	标准模式	2	MHz
		快速模式	8	
		快速模式Plus	17	

6.19.2 SPI 特性

除非另有规定，下表中给出的 SPI 参数来自于在环境温度、fPCLKx 频率和电源电压条件下进行的测试。

- 输出速度设置为 DR=11
- 电容负载 C=30 pF
- 测量点在 CMOS 水平上进行：0.5 x VCC

有关输入/输出备用功能特性（CS、CK、MOSI、MISO 用于 SPI）的更多详细信息，请参阅 I/O 端口特性。

表 40 SPI 特性

Symbol	Parameter	Condition	Min	Typ	Max	Unit
f_{CK} $1/t_c(CK)$	SPI时钟频率	主模式	-	-	50	MHz
		从接收器模式			50	
		从发送器/全双工			25	
$t_{su}(CS)$	CS设置时间	从模式	$4 \cdot T_{pclk}$	-	-	-
$t_h(CS)$	CS保持时间	从模式	$2 \cdot T_{pclk}$	-	-	-
$t_w(CKH)$ $t_w(CKL)$	CK高和低时间	主模式	$T_{pclk}-1$			-
$t_{su}(MISO)$	数据输入设置时间	主模式	4	-	-	ns
$t_{su}(MOSI)$		从模式	3	-	-	
$t_h(MISO)$	数据输入保持时间	主模式	4	-	-	ns
$t_h(MOSI)$		从模式	1	-	-	
$t_a(MOSI)$	数据输出访问时间	从模式	9	-	34	ns
$t_{dis}(MISO)$	数据输出禁用时间	从模式	9	-	16	ns
$t_v(MISO)$	数据输出有效时间	从模式	-	9	12	ns
$t_v(MOSI)$		主模式	-	3.5	4.5	
$t_h(MISO)$	数据输出保持时间	从模式	6	-	-	ns
$t_h(MOSI)$		主模式	2	-	-	

- SPI 时序图-从模式和 CPHA=0

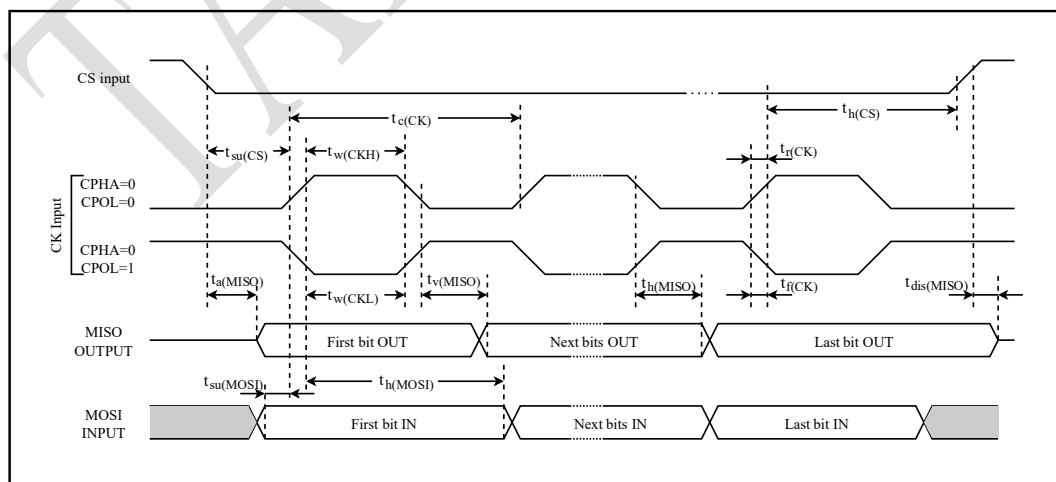


图 14 SPI 时序图-从模式和 CPHA=0

● SPI 时序图-从模式和 CPHA=1

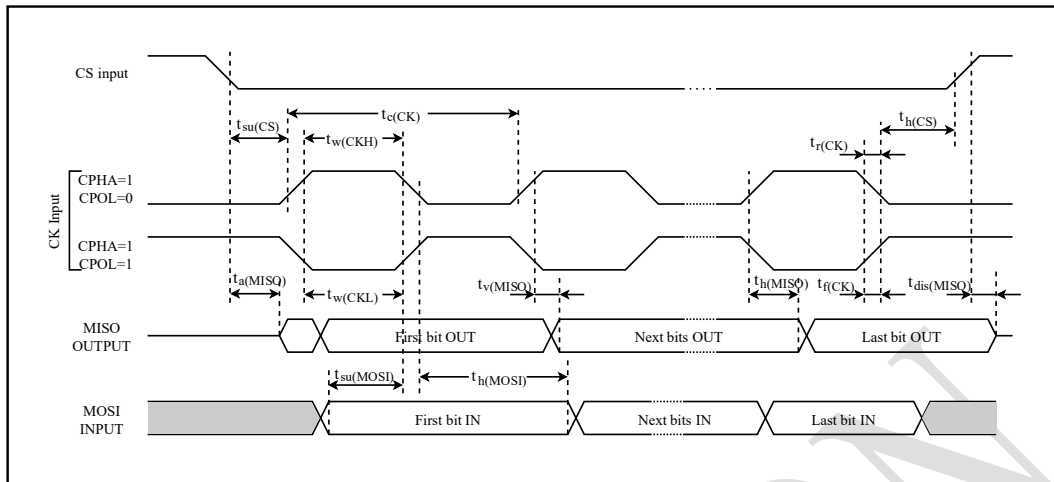


图 15 SPI 时序图-从模式和 CPHA=1

● SPI 时序图-主模式

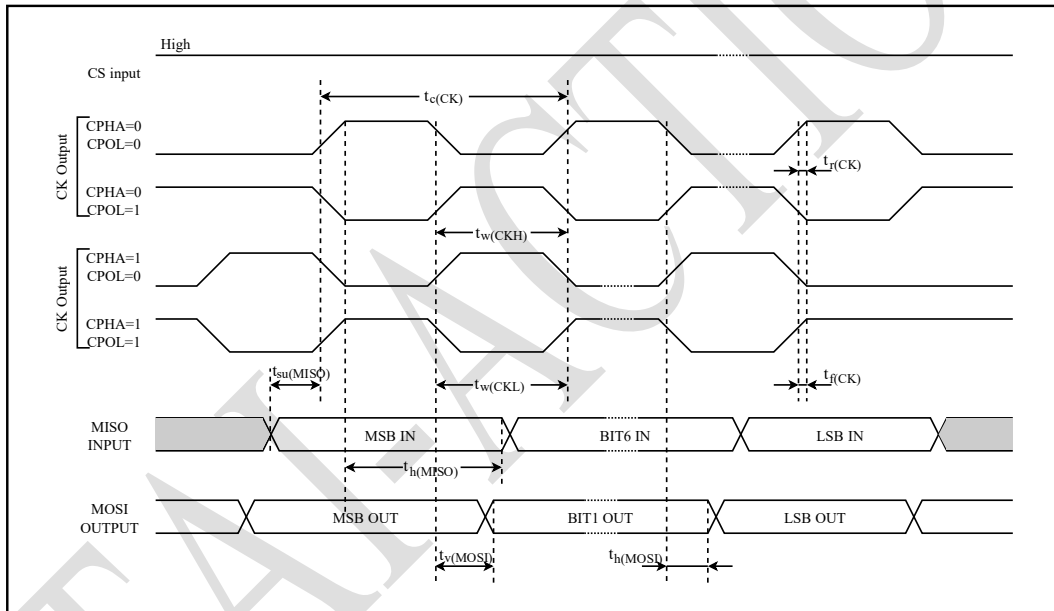


图 16 SPI 时序图-主模式

6.19.3 UART 特性

除非另有规定，表中给出的 UART 参数是根据表中总结的环境温度、fPCLKx 频率和 VCC 电源电压条件下进行的测试得出的，配置如下：

- 输出速度设置为 DR=10
- 电容负载 C=30 pF
- 测量点在 CMOS 水平下进行：0.5 VCC

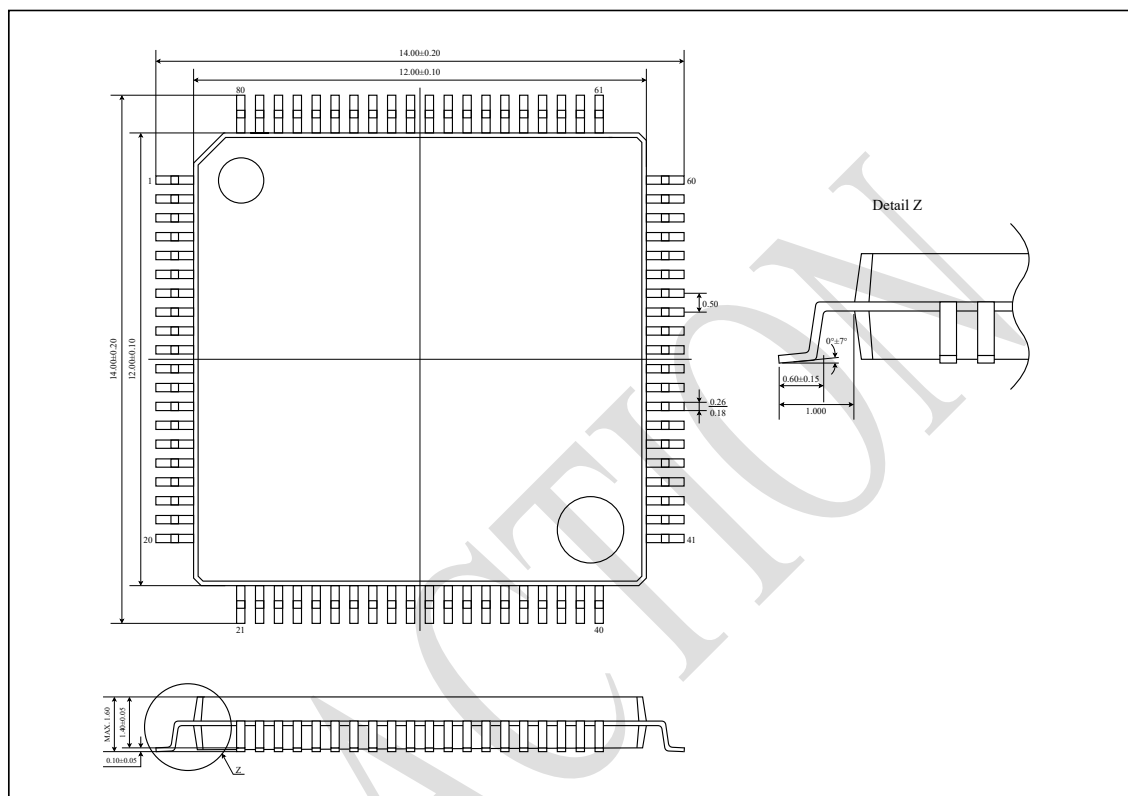
有关输入/输出备用功能特性（TX、RX 用于 UART）的更多详细信息，请参阅 I/O 端口特性。

表 41 UART 特性

UART electrical characteristics					
Symbol	Parameter	Min	Typ	Max	Unit
t _{su} (RX)	数据输入设置时间	t _{ker} +2	-	-	ns
t _h (RX)	数据输入保持时间	1	-	-	
t _v (TX)	数据输出有效时间	-	0.5	1.5	ns
t _h (TX)	数据输出保持时间	0	-	-	

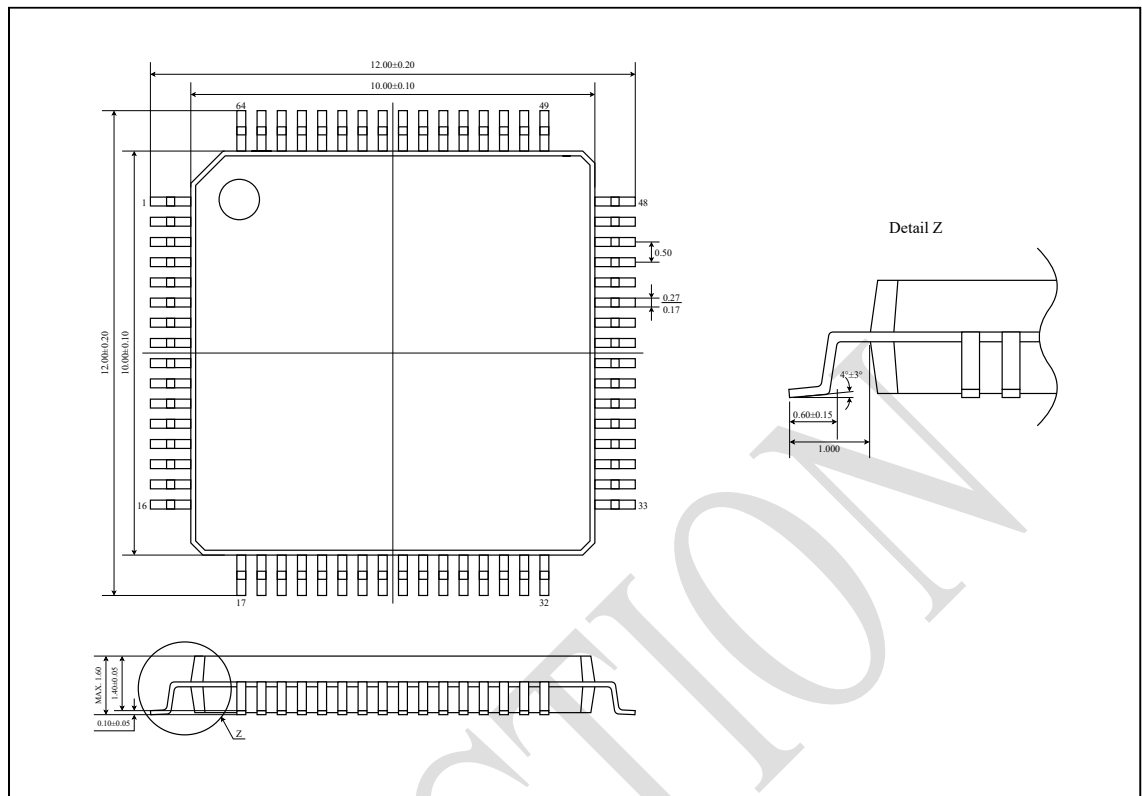
7 封装信息

图 17 LQFP 80L 封装信息



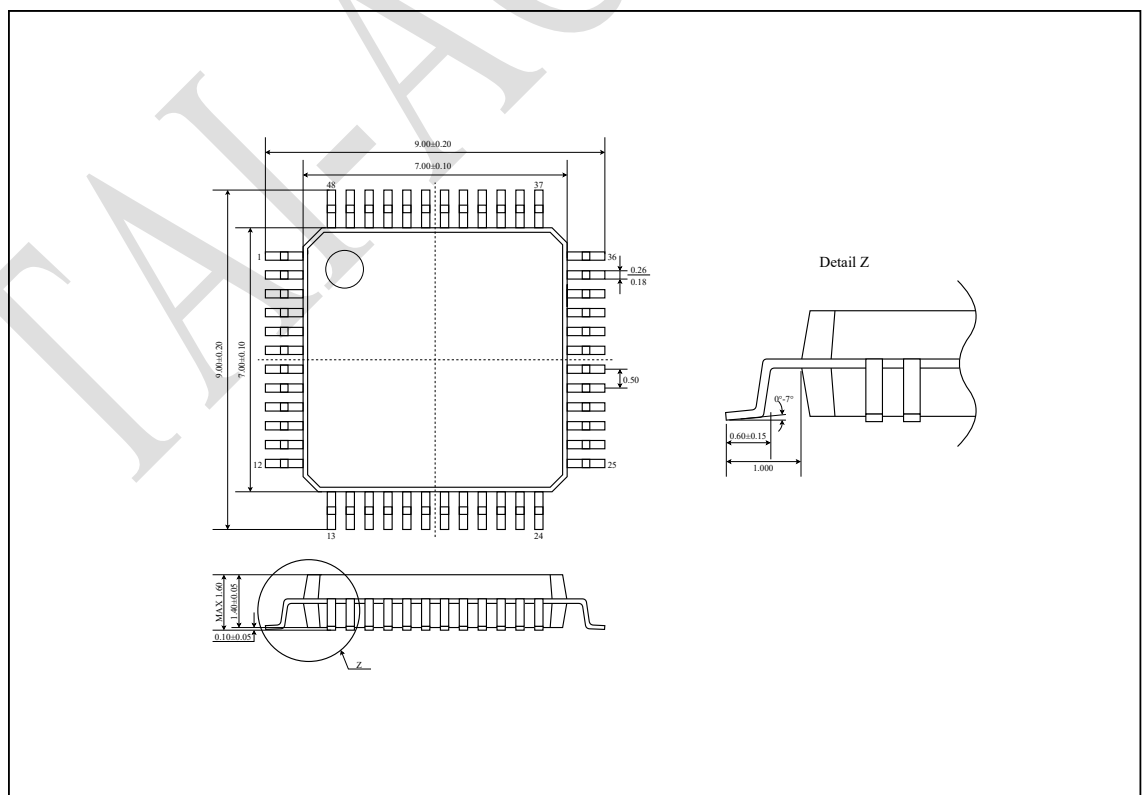
NOTE: UNITS OF MEASURE = MILLIMETER

图 18 LQFP 64L 封装信息



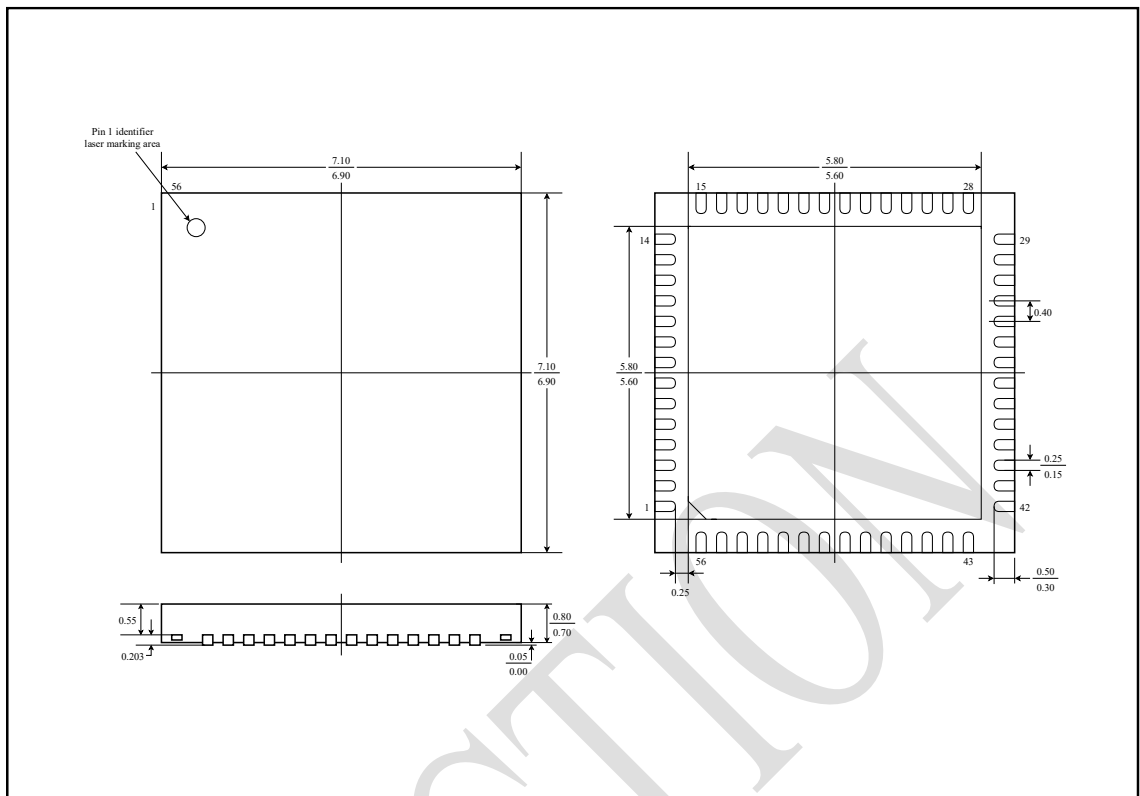
NOTE: UNITS OF MEASURE = MILLIMETER

图 19 LQFP 48L 封装信息



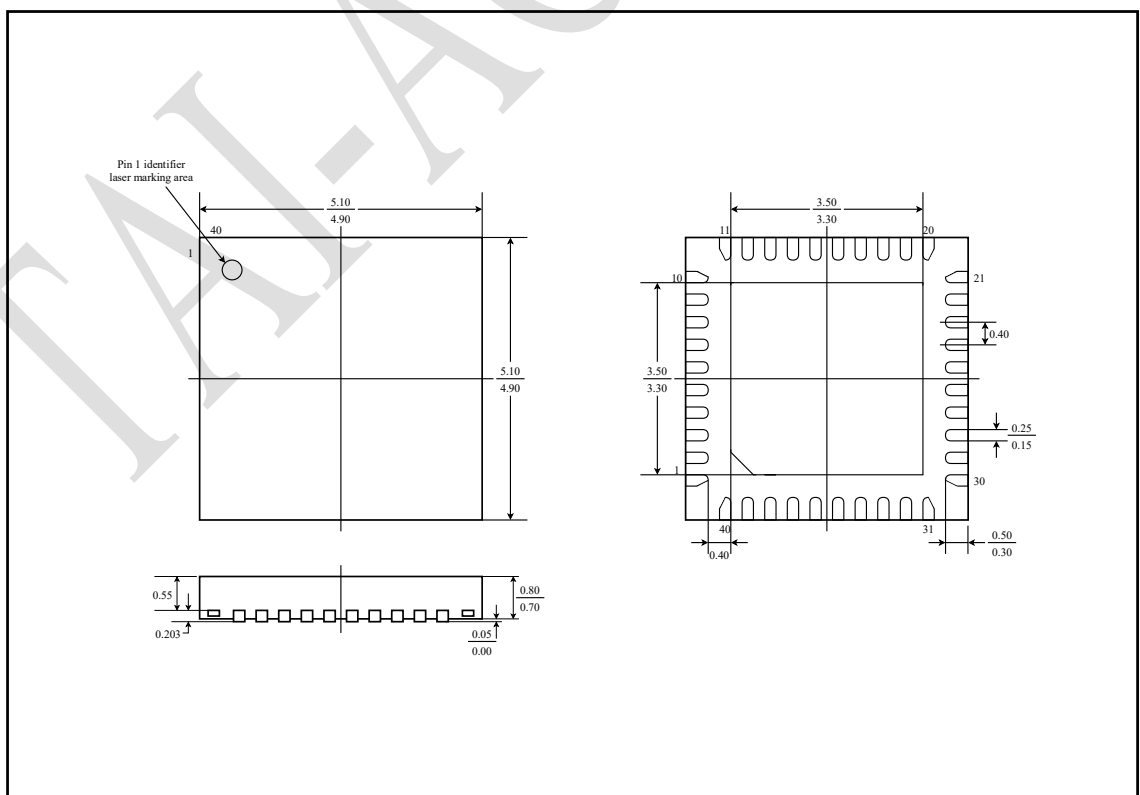
NOTE: UNITS OF MEASURE = MILLIMETER

图 20 QFN 56L 封装信息



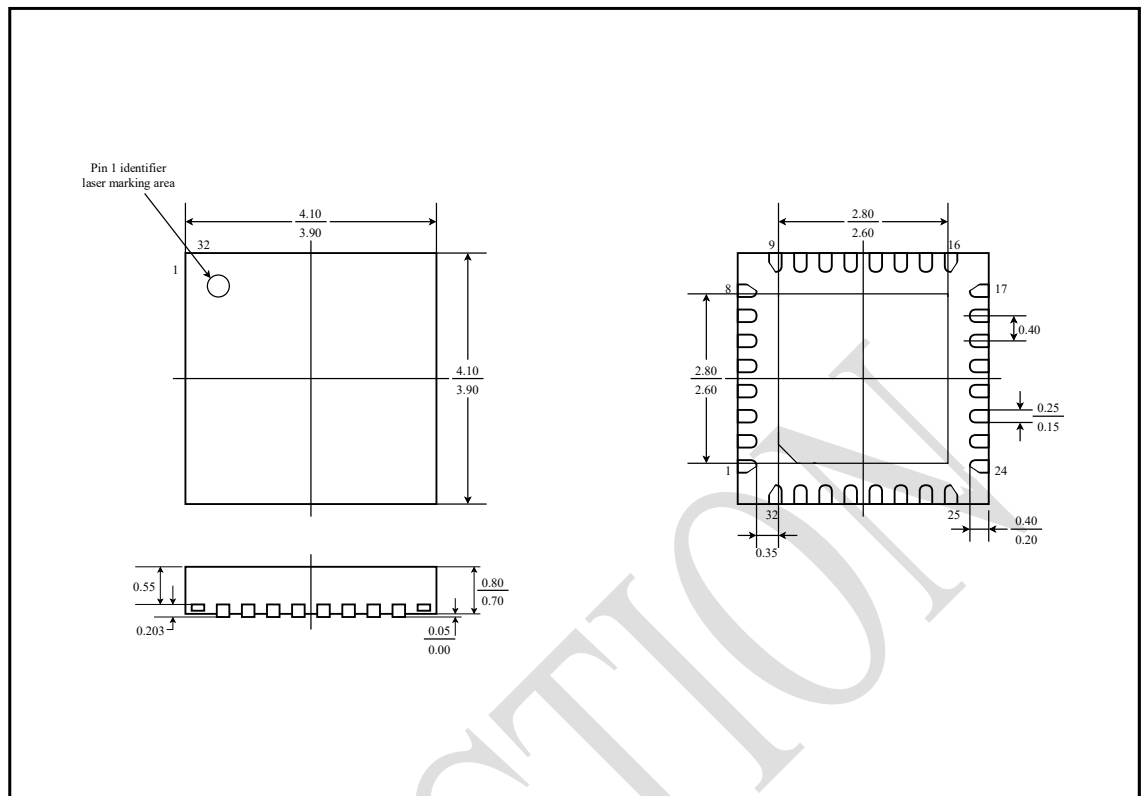
NOTE: UNITS OF MEASURE = MILLIMETER

图 21 QFN 40L 封装信息



NOTE: UNITS OF MEASURE = MILLIMETER

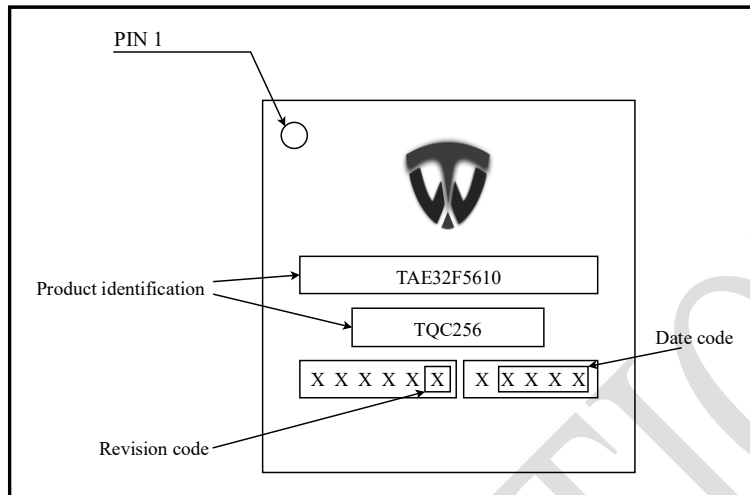
图 22 QFN 32L 封装信息



NOTE: UNITS OF MEASURE = MILLIMETER

8 丝印信息

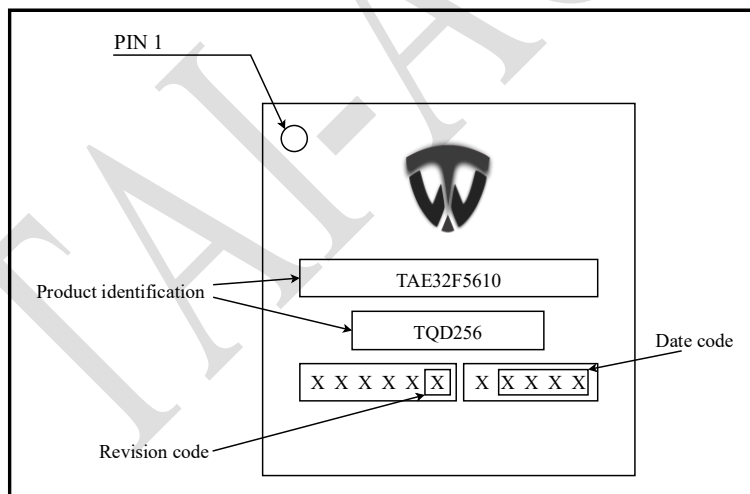
QFN32:



NOTE:

1. Product identification: 产品标识（详看 9 订购信息）
2. Revision code: 版本信息（如 A: A 版）
3. Date code: 时间信息（如 2235 代表生产日期为 22 年 35 周）

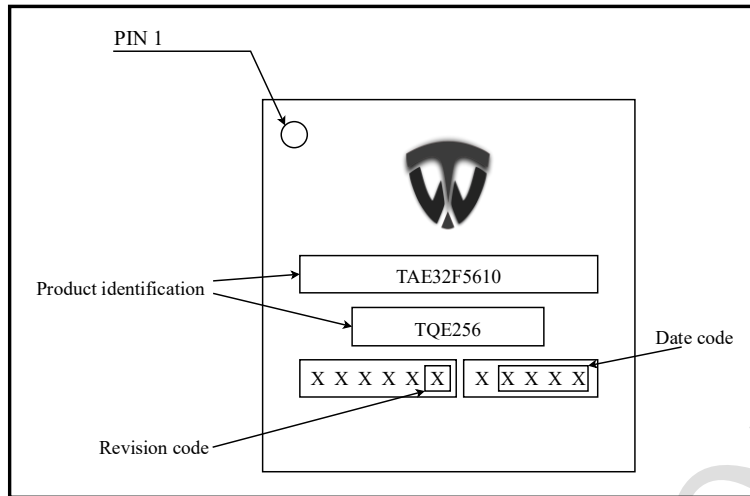
QFN40:



NOTE:

1. Product identification: 产品标识（详看 9 订购信息）
2. Revision code: 版本信息（如 A: A 版）
3. Date code: 时间信息（如 2235 代表生产日期为 22 年 35 周）

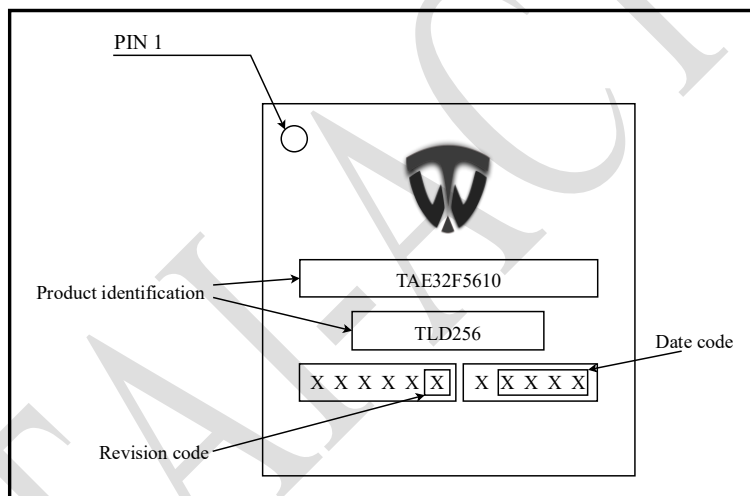
QFN56:



NOTE:

1. Product identification: 产品标识 (详看 9 订购信息)
2. Revision code: 版本信息 (如 A: A 版)
3. Date code: 时间信息 (如 2235 代表生产日期为 22 年 35 周)

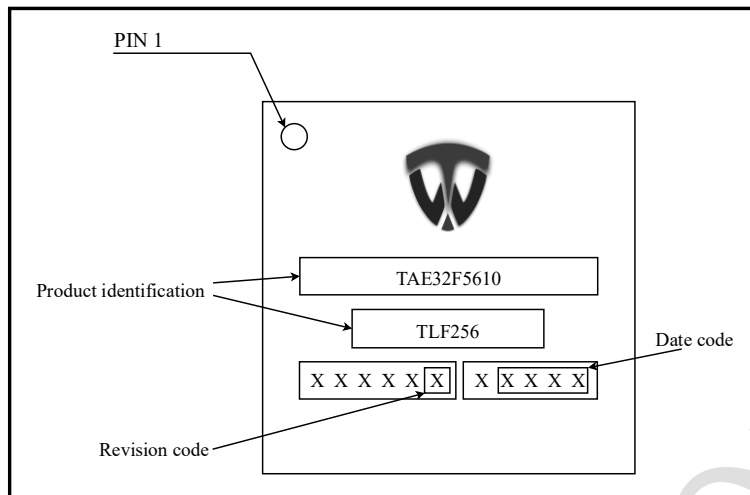
LQFP48:



NOTE:

1. Product identification: 产品标识 (详看 9 订购信息)
2. Revision code: 版本信息 (如 A: A 版)
3. Date code: 时间信息 (如 2235 代表生产日期为 22 年 35 周)

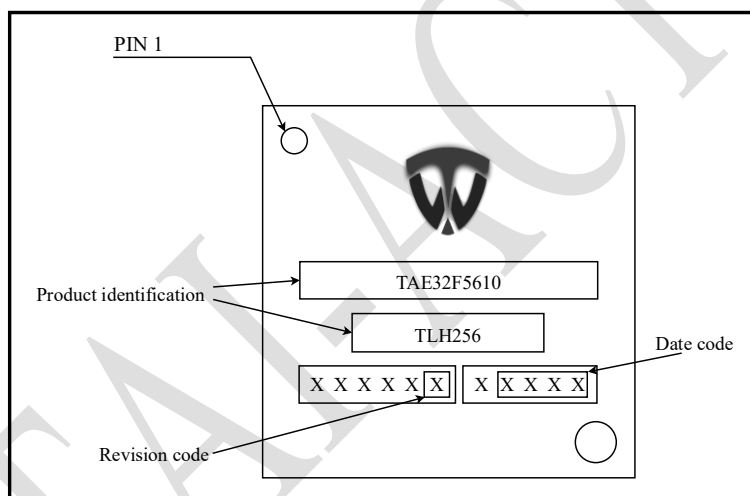
LQFP64:



NOTE:

1. Product identification: 产品标识 (详看 9 订购信息)
2. Revision code: 版本信息 (如 A: A 版)
3. Date code: 时间信息 (如 2235 代表生产日期为 22 年 35 周)

LQFP80:



NOTE:

1. Product identification: 产品标识 (详看 9 订购信息)
2. Revision code: 版本信息 (如 A: A 版)
3. Date code: 时间信息 (如 2235 代表生产日期为 22 年 35 周)

9 订购信息

表 42 订购信息

Example:	TAE32	F5610	T	L	H	256
产品序列						
TAE32 = ARM Cortex-M4 32bit 系列						
产品型号						
F5610 = 产品型号						
结温范围						
G = 工作结温范围为-40°C至+105°C						
T = 工作结温范围为-40°C至+150°C						
封装类型						
L = 封装类型: LQFP						
T = 封装类型: TQFP						
Q = 封装类型: QFN						
引脚数						
C = 引脚数32引脚						
D = 引脚数40、48引脚						
E = 引脚数56引脚						
F = 引脚数64引脚						
H = 引脚数80引脚						
Flash大小						
256 = 256KB						
128 = 128KB						

版本历史

日期	版本	版本记录
2024/12/6	V0.1	初始版本
2025/4/11	V0.2	修改表 1 增加 QFN40L, QFN32L 封装
2025/6/17	V0.21	更新 LQFP80L 封装
2025/7/10	V0.3	更新简要规格 更新表 1 TAE32F5610 资源汇总 增加章节 6 电气特性 LQFP64L 封装图更新 增加章节 7 丝印信息
2025/11/25	V0.4	更新简要规格 修改表 1 增加 LQFP48L 封装 修改图 10, 图 11 更新表 6 QFN40 封装, QFN32 封装 增加 6.7 芯片功耗汇总
2025/12/29	V0.41	更新图 5 更新 6.7 芯片功耗汇总 章节
2026/5/26	V1.0	修改修改 6.8 芯片上电/掉电特性