

7 端口多功能 USB3.0 HUB 控制器芯片 CH637

手册

版本: 1.1

https://wch.cn

1、概述

CH637 是符合 USB3.2 Gen1 协议规范的 7 端口多功能 USB 超高速 HUB 控制器芯片，单芯片集成 7 口 USB HUB 和 USB PD 功能。CH637 具有独立的 SS HUB 控制器和 USB2.0 HUB 控制器，内置 7 组 SS PHY、8 组 USB2.0 PHY 和 3 组 PD PHY。CH637 芯片的上行端口支持 USB3.0 超高速 5Gbps、USB2.0 高速 480Mbps 和全速 12Mbps，下行端口支持 USB3.0 超高速、USB2.0 高速、全速和低速 1.5Mbps。

CH637X 内置最多三组 Type-C 双通道 USB3.0 PHY 和三个 PD PHY，兼容 USB-C 线缆和连接规范，原生支持 Type-C 正反插自适应，原生支持 PDHUB、Type-C 电源 15W 和 PD 的 100W 快充 (20V*5A)。

除了常规 7 端口 USB 超高速 HUB 功能外，CH637X 还支持上下行交换功能和多上行口两种特色功能，支持通过 SMBus 总线接口查询 HUB 上行口、下行口连接状态及实时传输速度等功能。

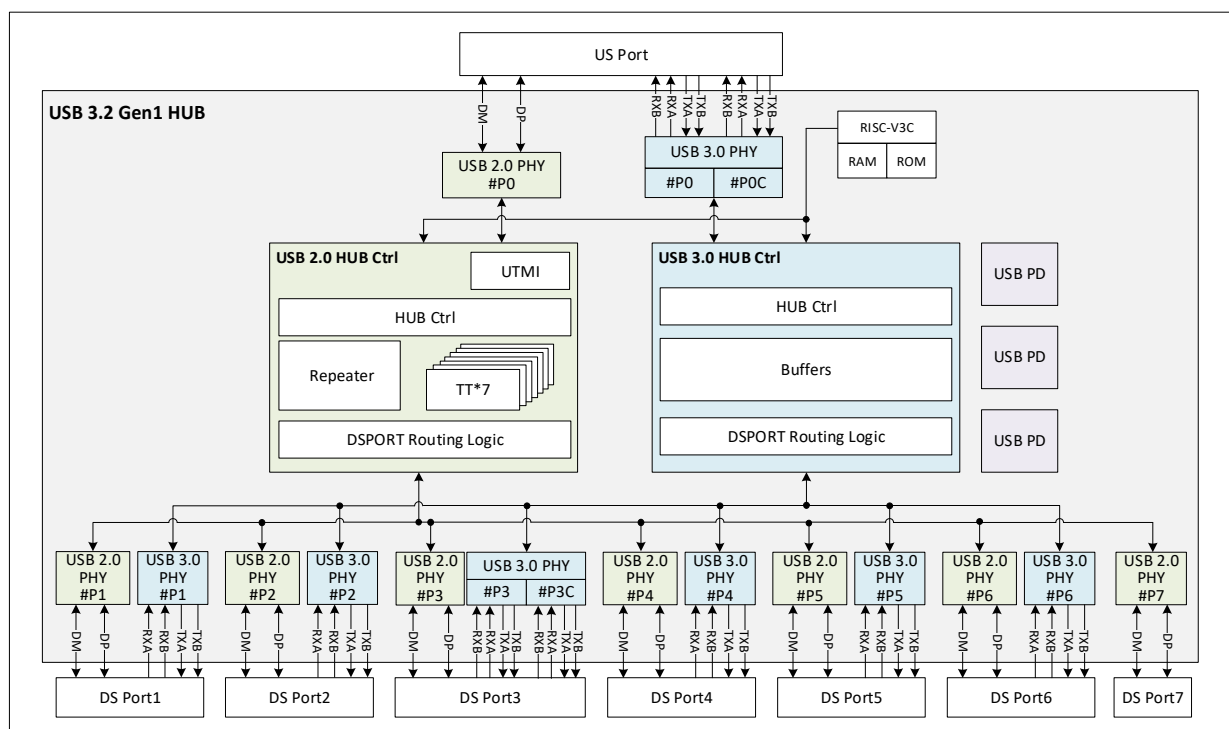
上下行交换功能是指从多个备选的下行口中选择一个交换为上行口，便于 2 个或 4 个 USB 主机分时管理下行最多 7 个 USB 设备，特点是分时，选择后交换上下行身份，任何时候仅一个上行口。

多上行口功能是指同时提供多个上行口，按子功能分为多口并行和多口切换两种，按数量分为双上行口或四上行口两种具体功能，便于 2 个或 4 个 USB 主机同时管理下行最多 6 个 USB 设备，特点是多个上行口同时连接，下行端口相对变少。

CH637 支持高性能的并发处理 MTT 模式，采用工业级设计，外围精简，可应用于计算机和工控机主板、扩展坞、外设、嵌入式系统等场景。

下图为 CH637 的系统框图。

图 1-1 系统框图



2、特点

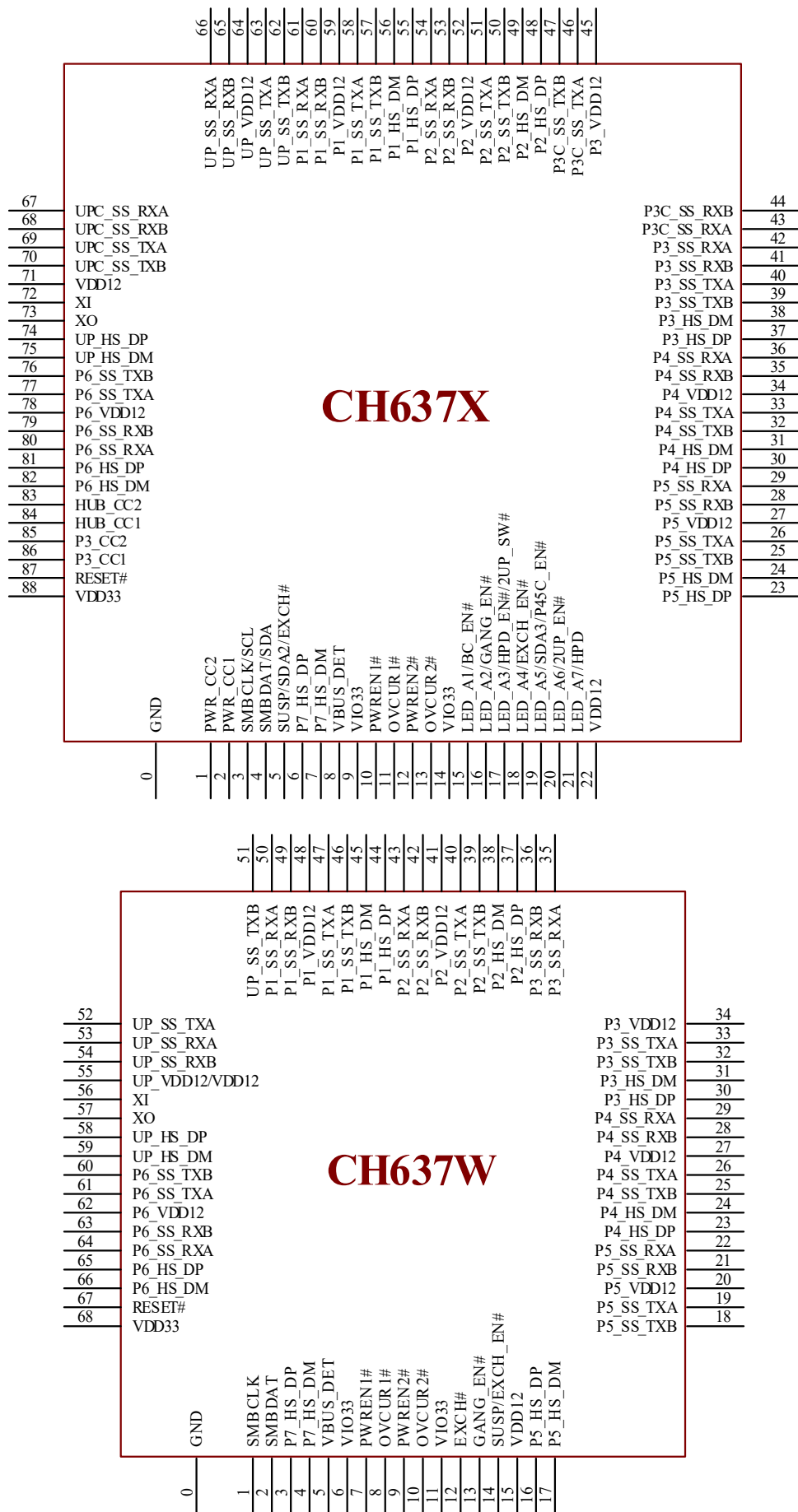
- 7 口 USB3.2 Gen1 HUB 集线器，提供 7 个下行端口 (其中 P7 仅支持 USB2.0)，支持 USB3.2 Gen1 (5Gbps)，并且向前兼容 USB3.1、USB3.0、USB2.1、USB2.0、USB1.1、USB1.0 协议规范
- USB3.2 Gen1 HUB 模块支持符合 USB3.2 Gen1 协议规范的 U0/U1/U2/U3 电源管理模式

- 部分型号内置两组自研的 Type-C 双通道 USB3.0 PHY，原生支持 Type-C 正插和反插自适应
- USB2.0 HUB 模块支持符合 USB2.1 协议规范的 L0/L1/L2/L3 电源管理模式
- 支持低成本的 STT 或高性能的 MTT 模式，MTT 为每个端口配置独立的 TT 实现高速传输
- 内置三路 USB PD PHY，原生支持 Type-C 电源 15W 和 PD 的 100W 快充，支持 PDHUB 和扩展坞
- 下行口支持 BC1.2 充电协议和 CDP
- 兼容 USB Type-C 线缆和连接规范，支持多种 C 口工作模式，支持上行 C 口+下行 2 个 C 口，支持上行 A 口+下行 3 个 C 口等模式
- 每个下行端口的 USB3.0 和 USB2.0 支持拆开独立应用，7 口 HUB 最多支持 13 个 USB 设备
- 支持 GANG 整体联动电源控制和 GANG 整体过流检测
- 自研的 HUB 专用 USB PHY，低功耗技术，支持自供电或总线供电
- 部分型号支持 SMBus 总线，支持主板集成和管理
- 支持上下行交换功能，便于 2 个或 4 个 USB 主机分时管理下行最多 7 个 USB 设备
- 支持多上行口功能，便于 2 个或 4 个 USB 主机同时管理下行最多 6 个 USB 设备
- 支持内部 EEPROM 配置 HUB 芯片是否支持复合设备、不可移除设备、自定义 VID、PID、端口配置和 USB 厂商、产品、序列号字符串描述符等
- 内置信息存储器，针对行业特殊需求可批量定制厂商或产品信息及配置
- CH637X 支持外加 Type-C 高压芯片 CH211 实现 28V 高压 PDHUB 和扩展坞
- 青稞 RISC-V 处理器内核、超高速 USB、高速 USB、USB PD 等控制器和物理层收发器 IP 全自研，各模块紧密协同，效率高成本低，免除 IP 授权费
- 提供 QFN68X7、QFN88 等多种封装形式

表 2-1 同簇型号功能对比

型号 功能	CH637X	CH637W
USB2 端口数量	8 个，最多 7 个下行	8 个，最多 7 个下行
USB3 端口数量	7 个，最多 6 个下行	7 个，最多 6 个下行
PD 控制器数量	3	—
USB3 原生 Type-C 数量	3 个	—
USB3 组合：A 口+C 口	5A+2C 或 3A+3C	7A
多上行口功能	双上行口或四上行口	—
上下行交换功能	√	√
MTT 模式	√	√
独立过流检测	2	2
整体过流检测	√	√
独立电源控制	2	2
整体电源控制	√	√
I/O 配置整体/独立	√	√
LED 指示灯	7+1	1
内部 EEPROM 配置信息	√	√
SMBus 接口配置控制	√	√
定制配置信息	√	√
I/O 配置 BC 充电	√	—
Type-C 快充 15W	√	—
PDHUB 快充 100W	√	—
集成读卡器功能	可定制	—
封装引脚数	88	68
封装尺寸	10*10	7*7

3、引脚排列



封装形式	塑体尺寸	引脚节距		封装说明	订货型号
QFN88	10*10mm	0.4mm	15.7mil	四边无引线 88 脚	CH637X
QFN68X7	7*7mm	0.35mm	13.8mil	四边无引线 68 脚	CH637W

注：1. 0#引脚是 QFN 封装的底板，是必要连接。

2. CH637X 最多可支持三组原生 Type-C/PD 正反插自适应端口。

4、引脚定义

表 4-1 USB 信号相关引脚功能描述

USB 信号引脚	引脚名称	类型 ⁽¹⁾	功能描述
上行端口 USBSS 差分信号	UP_SS_TXA UP_SS_TXB	USB3	上行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	UP_SS_RXA UP_SS_RXB	USB3	上行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。
上行端口 Type-C 差分信号	UPxC_SS_TXA UPxC_SS_TXB	USB3	上行端口 Type-C 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	UPxC_SS_RXA UPxC_SS_RXB	USB3	上行端口 Type-C 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。
上行端口 USB2.0 差分信号	UP_HS_DP	USB2	上行端口 USB2.0 差分信号线 D+。
	UP_HS_DM	USB2	上行端口 USB2.0 差分信号线 D-。
1#下行端口 USBSS 差分信号	P1_SS_TXA P1_SS_TXB	USB3	1#下行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	P1_SS_RXA P1_SS_RXB	USB3	1#下行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。
1#下行端口 USB2.0 差分信号	P1_HS_DP	USB2	1#下行端口 USB2.0 差分信号线 D+。
	P1_HS_DM	USB2	1#下行端口 USB2.0 差分信号线 D-。
2#下行端口 USBSS 差分信号	P2_SS_TXA P2_SS_TXB	USB3	2#下行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	P2_SS_RXA P2_SS_RXB	USB3	2#下行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。
2#下行端口 USB2.0 差分信号	P2_HS_DP	USB2	2#下行端口 USB2.0 差分信号线 D+。
	P2_HS_DM	USB2	2#下行端口 USB2.0 差分信号线 D-。
3#下行端口 USBSS 差分信号	P3_SS_TXA P3_SS_TXB	USB3	3#下行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	P3_SS_RXA P3_SS_RXB	USB3	3#下行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。
3#下行端口 USB2.0 差分信号	P3_HS_DP	USB2	3#下行端口 USB2.0 差分信号线 D+。
	P3_HS_DM	USB2	3#下行端口 USB2.0 差分信号线 D-。
4#下行端口 USBSS 差分信号	P4_SS_TXA P4_SS_TXB	USB3	4#下行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	P4_SS_RXA P4_SS_RXB	USB3	4#下行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。
4#下行端口 USB2.0 差分信号	P4_HS_DP	USB2	4#下行端口 USB2.0 差分信号线 D+。
	P4_HS_DM	USB2	4#下行端口 USB2.0 差分信号线 D-。
5#下行端口 USBSS 差分信号	P5_SS_TXA P5_SS_TXB	USB3	5#下行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。

	P5_SS_RXA P5_SS_RXB	USB3	5#下行端口 USBSS 差分接收信号线 RX+/RX- 或 RX-/RX+（自动识别交叉）。
5#下行端口 USB2.0 差分信号	P5_HS_DP	USB2	5#下行端口 USB2.0 差分信号线 D+。
	P5_HS_DM	USB2	5#下行端口 USB2.0 差分信号线 D-。
6#下行端口 USBSS 差分信号	P6_SS_TXA P6_SS_TXB	USB3	6#下行端口 USBSS 差分发送信号线 TX+/TX- 或 TX-/TX+（自动识别交叉）。
	P6_SS_RXA P6_SS_RXB	USB3	6#下行端口 USBSS 差分接收信号线 RX+/RX- 或 RX-/RX+（自动识别交叉）。
6#下行端口 USB2.0 差分信号	P6_HS_DP	USB2	6#下行端口 USB2.0 差分信号线 D+。
	P6_HS_DM	USB2	6#下行端口 USB2.0 差分信号线 D-。
7#下行端口 USB2.0 差分信号	P7_HS_DP	USB2	7#下行端口 USB2.0 差分信号线 D+。
	P7_HS_DM	USB2	7#下行端口 USB2.0 差分信号线 D-。
x#下行端口 Type-C 差分信号	PxC_SS_TXA PxC_SS_TXB	USB3	x#下行端口 Type-C 差分发送信号线 TX+/TX- 或 TX-/TX+（自动识别交叉）。
	PxC_SS_RXA PxC_SS_RXB	USB3	x#下行端口 Type-C 差分接收信号线 RX+/RX- 或 RX-/RX+（自动识别交叉）。

表 4-2 CH637X 引脚定义

引脚号（同名引脚可参考）	引脚名称	类型 ⁽¹⁾	功能描述
88	VDD33	P	3.3V 电源输入，建议外接 0.1uF 并联 10uF 退耦电容。
22、71	VDD12	P	1.2V 内核电源输入，建议各外接 0.1uF 退耦电容，其中一个再并联至少 1uF 退耦电容。
9、14	VI033	P	I/O 引脚电源输入，建议外接 0.1uF 退耦电容。
0	GND	P	公共接地端，必须连接 GND。
64	UP_VDD12	P	上行端口 1.2V 电源输入，外接 0.1uF 退耦电容。
59、52、45、34、27、78	Px_VDD12	P	1-6#下行端口 1.2V 电源输入，外接 0.1uF 退耦电容。
72	XI	I	晶体振荡器输入端，接外部 24MHz 晶体一端及对地电容。
73	XO	O	晶体振荡器反相输出端，接外部 24MHz 晶体另一端及对地电容。
63、62、66、65	UP_SS_XXX	USB3	上行端口 USBSS 差分发送或接收信号线。
69、70、67、68、	UPC_SS_XXX	USB3	上行端口 Type-C 差分发送或接收信号线。
75、74	UP_HS_XX	USB2	上行端口 USB2.0 差分信号线。
58、57、61、60	P1_SS_XXX	USB3	1#下行端口 USBSS 差分发送或接收信号线。
56、55	P1_HS_XX	USB2	1#下行端口 USB2.0 差分信号线。
51、50、54、53	P2_SS_XXX	USB3	2#下行端口 USBSS 差分发送或接收信号线。
49、48	P2_HS_XX	USB2	2#下行端口 USB2.0 差分信号线。
40、39、42、41	P3_SS_XXX	USB3	3#下行端口 USBSS 差分发送或接收信号线。
46、47、43、44	P3C_SS_XXX	USB3	3#下行端口 Type-C 差分发送或接收信号线。
38、37	P3_HS_XX	USB2	3#下行端口 USB2.0 差分信号线。
33、32、36、35	P4_SS_XXX	USB3	4#下行端口 USBSS 差分发送或接收信号线。
31、30	P4_HS_XX	USB2	4#下行端口 USB2.0 差分信号线。
26、25、29、28	P5_SS_XXX	USB3	5#下行端口 USBSS 差分发送或接收信号线。
24、23	P5_HS_XX	USB2	5#下行端口 USB2.0 差分信号线。

77、76、80、79	P6_SS_xxx	USB3	6#下行端口 USBSS 差分发送或接收信号线。
82、81	P6_HS_xx	USB2	6#下行端口 USB2.0 差分信号线。
7、6	P7_HS_xx	USB2	7#下行端口 USB2.0 差分信号线。
10	PWREN1#	0	1#、2#、3#下行端口电源输出控制引脚，低电平开启。 整体模式下行端口电源输出控制引脚，低电平开启。
12	PWREN2#	0	4#、5#、6#、7#下行端口电源输出控制引脚，低电平开启。
11	OVCUR1#	I	1#、2#、3#下行端口过流检测输入引脚，低电平过流。 整体模式下行端口过流检测输入引脚，低电平过流。
13	OVCUR2#	I	4#、5#、6#、7#下行端口过流检测输入引脚，低电平过流。
87	RESET#	I	外部复位输入，内置上拉电阻，低电平有效，不使用时可以悬空，建议短接 VDD33 防干扰。
8	VBUS_DET	I	USB 总线 VBUS 状态检测输入，应将 VBUS 电源通过两个电阻分压后接入该引脚；不用此功能时，该引脚需短接 V1033。
3	SMBCLK	I	通用 HUB 模式：SMBus 总线时钟信号线。
	SCL	I/O	PD-HUB 模式：2 线串行接口的时钟信号线，用于连接所有 CH211 芯片的 SCL 引脚。
4	SMBDAT	I/O	通用 HUB 模式：SMBus 总线数据信号线。
	SDA	I/O	PD-HUB 模式：2 线串行接口的数据信号线，用于连接第 1 颗 CH211 芯片的 SDA 引脚。 芯片上电时，默认作为 SDA 功能，自动检测是否外接了 CH211，如果检测到外接了 CH211 芯片则自动切换到 PD-HUB 模式，否则为通用 HUB 模式。
5	SUSP	0	通用 HUB 模式：睡眠状态输出引脚，可用于驱动 LED，睡眠时输出的电平与上下拉电阻配置的默认状态相同，正常工作时输出的电平则相反。
	SDA2	I/O (FT)	PD-HUB 模式：2 线串行接口的数据信号线，用于连接第 2 颗 CH211 芯片的 SDA 引脚。
	EXCH#	I (FT)	通用 HUB 模式：该引脚为上行口和 1#下行端口交换控制输入引脚，悬空或上拉不切换，输入低电平控制切换。
15	LED_A1	0	1#下行端口正常状态指示信号。
	BC_EN#	I	在复位期间作为配置引脚，用于配置是否使能 BC 充电功能，内置上拉电阻，悬空或高电平为禁止 BC 充电，外加下拉电阻置低电平为使能 BC 充电。
16	LED_A2	0	2#下行端口正常状态指示信号。
	GANG_EN#	I	在复位期间作为配置引脚，用于配置整体模式或独立模式，内置上拉电阻，悬空或高电平为独立模式，外加下拉电阻置低电平为整体模式。
17	LED_A3	0	3#下行端口正常状态指示信号。
	HPD_EN#	I	在复位期间作为配置引脚，用于配置是否使能 HPD 引脚检测功能，内置上拉电阻，悬空或高电平为禁用 HPD 引脚检测功能，外加下拉电阻置低电平为使能 HPD 引脚检测功能。使能该功能后，

			LED_A7/HPD 引脚切换成 HPD 检测引脚。
	2UP_SW#	I	使能双上行口功能后，该引脚自动切换为下行口切换控制输入检测引脚。
18	LED_A4	0	4#下行端口正常状态指示信号。
	EXCH_EN#	I	在复位期间作为配置引脚，用于配置是否使能上下行交换功能，内置上拉电阻，悬空或高电平为禁用上下行交换功能，外加下拉电阻置低电平为使能上行口和 1#下行端口交换功能。
19	LED_A5	0	通用 HUB 模式：5#下行端口正常状态指示信号。
	SDA3	I/O	PD-HUB 模式：2 线串行接口的数据信号线，用于连接第 3 颗 CH211 芯片的 SDA 引脚。
	P45C_EN#	I	在复位期间作为配置引脚，用于配置是否使将 4#下行端口和 5#下行端口合并成单个 Type-C 口功能，内置上拉电阻，悬空或高电平为使能合并功能，外加下拉电阻置低电平为禁用合并功能。
20	LED_A6	0	6#下行端口正常状态指示信号。
	2UP_EN#	I	在复位期间作为配置引脚，用于配置是否启用双上行口功能，内置上拉电阻，悬空或高电平为禁用双上行口功能，外加下拉电阻置低电平为使能双上行口功能。 使能双上行口功能后，LED_A3/HPD_EN#/2UP_SW#引脚自动切换为下行口切换控制输入检测引脚。
21	LED_A7	0	7#下行端口正常状态指示信号。
	HPD	I	PD-HUB 模式：HPD 检测引脚。
84	HUB_CC1	I/O	通用 HUB 模式：上行端口 Type-C 正反插检测引脚 CC1。 PD-HUB 模式：上行端口 PD 协议通信引脚 CC1，用于连接手机/电脑等 USB 主机。
83	HUB_CC2	I/O	通用 HUB 模式：上行端口 Type-C 正反插检测引脚 CC2。 PD-HUB 模式：上行端口 PD 协议通信引脚 CC2，用于连接手机/电脑等 USB 主机。
2	PWR_CC1	I/O	通用 HUB 模式：4#下行端口和 5#下行端口合并之后的 Type-C 端口正反插检测引脚 CC1。 PD-HUB 模式：外供电端 PD 协议通信引脚 CC1，用于连接 Type-C 电源适配器。
1	PWR_CC2	I/O	通用 HUB 模式：4#下行端口和 5#下行端口合并之后的 Type-C 端口正反插检测引脚 CC2。 PD-HUB 模式：外供电端 PD 协议通信引脚 CC2，用于连接 Type-C 电源适配器。
86	P3_CC1	I/O	通用 HUB 模式：3#下行端口 Type-C 正反插检测引脚 CC1。如果 P3_CC1 通过 5.1K 电阻接地，则 P3C_SS*信号无效，3#下行端口从 C 口改为 A 口。 PD-HUB 模式：3#下行端口 PD 协议通信引脚 CC1，用于连接手机/PAD 等 USB 设备。
85	P3_CC2	I/O	通用 HUB 模式：3#下行端口 Type-C 正反插检测引脚 CC2。如果 P3_CC2 通过 5.1K 电阻接地，则 P3_SS*信号无效，3#下行端口从 C 口改为 A 口，且选择使用 P3C_SS*信号引脚。 PD-HUB 模式：3#下行端口 PD 协议通信引脚 CC2，

用于连接手机/PAD 等 USB 设备。

表 4-3 CH637W 引脚定义

引脚号（同名引脚可参考）	引脚名称	类型 ⁽¹⁾	功能描述
68	VDD33	P	3.3V 电源输入，建议外接 0.1uF 并联 10uF 退耦电容。
15	VDD12	P	1.2V 内核电源输入，建议外接 0.1uF 退耦电容。
6、11	VI033	P	I/O 引脚电源输入，建议外接 0.1uF 退耦电容。
0	GND	P	公共接地端，必须连接 GND。
55	UP_VDD12/ VDD12	P	内核电源、上行端口 1.2V 电源输入，建议外接 0.1uF 退耦电容，再并联至少 1uF 退耦电容。
48、41、34、27、20、62	Px_VDD12	P	1-6#下行端口 1.2V 电源输入，外接 0.1uF 退耦电容。
56	XI	I	晶体振荡器输入端，接外部 24MHz 晶体一端及对地电容。
57	X0	O	晶体振荡器反相输出端，接外部 24MHz 晶体另一端及对地电容。
52、51、53、54	UP_SS_XXX	USB3	上行端口 USBSS 差分发送或接收信号线。
59、58	UP_HS_XX	USB2	上行端口 USB2.0 差分信号线。
47、46、50、49	P1_SS_XXX	USB3	1#下行端口 USBSS 差分发送或接收信号线。
45、44	P1_HS_XX	USB2	1#下行端口 USB2.0 差分信号线。
40、39、43、42	P2_SS_XXX	USB3	2#下行端口 USBSS 差分发送或接收信号线。
38、37	P2_HS_XX	USB2	2#下行端口 USB2.0 差分信号线。
33、32、35、36	P3_SS_XXX	USB3	3#下行端口 USBSS 差分发送或接收信号线。
31、30	P3_HS_XX	USB2	3#下行端口 USB2.0 差分信号线。
26、25、29、28	P4_SS_XXX	USB3	4#下行端口 USBSS 差分发送或接收信号线。
24、23	P4_HS_XX	USB2	4#下行端口 USB2.0 差分信号线。
19、18、22、21	P5_SS_XXX	USB3	5#下行端口 USBSS 差分发送或接收信号线。
17、16	P5_HS_XX	USB2	5#下行端口 USB2.0 差分信号线。
61、60、64、63	P6_SS_XXX	USB3	6#下行端口 USBSS 差分发送或接收信号线。
66、65	P6_HS_XX	USB2	6#下行端口 USB2.0 差分信号线。
4、3	P7_HS_XX	USB2	7#下行端口 USB2.0 差分信号线。
7	PWREN1#	O	1#、2#、3#下行端口电源输出控制引脚，低电平开启。 整体模式下行端口电源输出控制引脚，低电平开启。
9	PWREN2#	O	4#、5#、6#、7#下行端口电源输出控制引脚，低电平开启。
8	OVCUR1#	I	1#、2#、3#下行端口过流检测输入引脚，低电平过流。 整体模式下行端口过流检测输入引脚，低电平过流。
10	OVCUR2#	I	4#、5#、6#、7#下行端口过流检测输入引脚，低电平过流。
67	RESET#	I	外部复位输入，内置上拉电阻，低电平有效，不使用时可以悬空，建议短接 VDD33 防干扰。
5	VBUS_DET	I	USB 总线 VBUS 状态检测输入，应将 VBUS 电源通过两个电阻分压后接入该引脚；不用此功能时，该引脚需短接 VI033。
1	SMBCLK	I	SMBus 总线时钟信号线。
2	SMBDAT	I/O	SMBus 总线数据信号线。
12	EXCH#	I	该引脚为上行口和 1#下行端口交换控制输入引脚，悬空或上拉不切换，输入低电平控制切换。

13	GANG_EN#	I	在复位期间作为配置引脚，用于配置整体模式或独立模式，内置上拉电阻，悬空或高电平为独立模式，外加下拉电阻置低电平为整体模式。
14	SUSP	0	睡眠状态输出引脚，可用于驱动 LED，睡眠时输出的电平与上下拉电阻配置的默认状态相同，正常工作时输出的电平则相反。
	EXCH_EN#	I	在复位期间作为配置引脚，用于配置是否使能上下行交换功能，内置上拉电阻，悬空或高电平为禁用上下行交换功能，外加下拉电阻置低电平为使能上行口和1#下行端口交换功能。

注 1：引脚类型缩写解释：

USB3 = USB3.0 信号引脚；

USB2 = USB2.0 信号引脚；

I = 信号输入；

O = 信号输出；

P = 电源或地；

NC = 空脚；

FT = 耐受 5V 电压。

注 2：若外加下拉电阻，建议下拉电阻的阻值范围为 5.1K~10K。

5、功能说明

5.1 过流检测和电源控制

5.1.1 过流检测

CH637 支持两种过流保护模式：独立过流(下行端口分为 2 组)模式和整体过流模式，如表 5-1 所示。

表 5-1 过流保护控制说明

芯片型号	过流配置	过流模式	过流检测的采样引脚	参考图
CH637W CH637X	内部 EEPROM 默认配置/ GANG_EN#=高电平	独立过流 (下行端口 分为 2 组)	OVCUR1#，OVCUR2# (OVCUR1#检测 1#、2#、3#下行端口， OVCUR2#检测 4#、5#、6#、7#下行端口)	图 5-1
	内部 EEPROM 配置成整体过流 /GANG_EN#=低电平	整体过流	OVCUR1#	图 5-2

5.1.2 电源控制

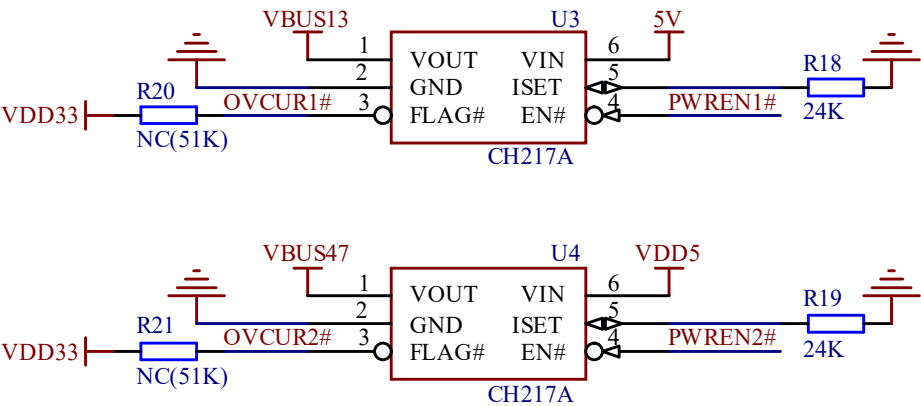
CH637 支持两种电源控制模式：独立电源(下行端口分为 2 组)控制模式和整体电源控制模式，如表 5-2 所示。

表 5-2 电源控制说明

芯片型号	电源控制配置	电源控制	电源控制引脚	参考图
CH637W CH637X	内部 EEPROM 默认配置/ GANG_EN#=高电平	独立控制 (下行端口 分为 2 组)	PWREN1#，PWREN2# (PWREN1#控制 1#、2#、3#下行端口， PWREN2#控制 4#、5#、6#、7#下行端口)	图 5-1
	内部 EEPROM 配置成整体控制 /GANG_EN#=低电平	整体控制	PWREN1#	图 5-2

5.1.3 独立过流检测和独立电源控制

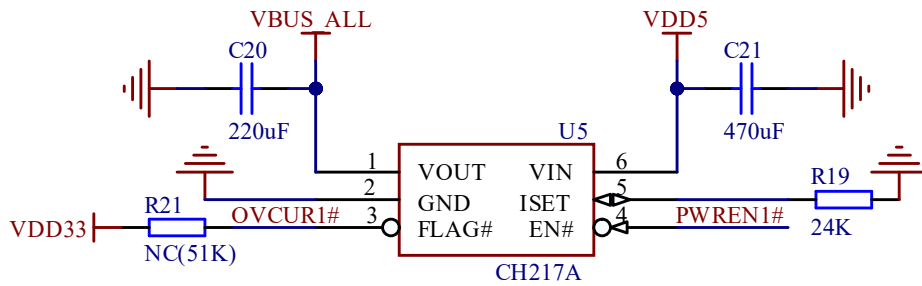
图 5-1 CH637 独立过流检测和独立电源控制



上图中，VBUS13 分别连接下行端口 1-3 的 VBUS 电源引脚，VBUS47 分别连接下行端口 4-7 的 VBUS 电源引脚。U3 和 U4 为 USB 限流配电开关芯片，内部集成了过流检测，用于 VBUS 电源分配管理。在 5V 没有外部供电的应用中，建议通过 ISET 外接电阻将限流设置在 1A 以下。U3 和 U4 的 FLAG 引脚是开漏输出，需要分别通过电阻上拉。CH637 芯片的 OVCUR1#和 OVCUR2#引脚提供内置的弱上拉电流，所以可省掉电阻 R20 和 R21。CH637 芯片的 PWRENx#引脚开启电源时输出为低电平，可通过内部 EEPROM 配置 PWRENx#引脚的极性。

5.1.4 整体过流检测和整体电源控制

图 5-2 整体过流检测和整体电源控制



U5 为 USB 限流电源开关芯片，例如 CH217 芯片或类似功能的芯片。默认配置下可以省掉 R21。C20 的容量可以根据需要选择。VBUS_ALL 同时连接下行端口 1-7 的 VBUS 电源引脚。U5 的限流设置值需考虑 7 个下行端口耗电情况及是否自供电。

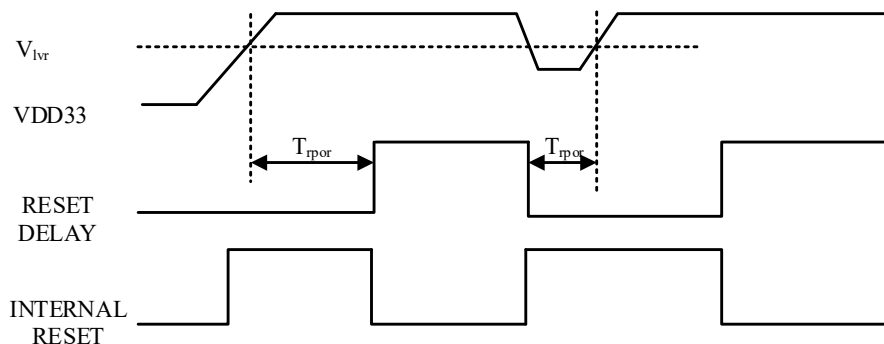
5.2 复位

芯片内嵌有上电复位模块，一般情况下，无需外部提供复位信号。同时也提供了外部复位输入引脚 RESET#，该引脚内置有上拉电阻。

5.2.1 上电复位

当电源上电时，芯片内部 POR 上电复位模块会产生上电复位时序，并延时 T_{rpor} 约 25mS 以等待电源稳定。在运行过程中，当电源电压低于 V_{lvr} 时，芯片内部 LVR 低压复位模块会产生低压复位直到电压回升，并延时以等待电源稳定。下图为上电复位过程以及低压复位过程。

图 5-3 上电期间复位



5.2.2 外部复位

外部复位输入引脚 RESET# 已内置上拉电阻，如果外部需要对芯片进行复位，那么可以将该引脚驱动为低电平，复位的低电平脉宽需要大于 4μs。

5.3 总线供电与自供电

CH637 支持 USB 总线供电模式和自供电模式。总线供电来自 USB 上行端口，供电能力为 500mA 或 900mA、1.5A 等多种标准，USB 线材内阻损耗和 HUB 自身消耗会降低对下行端口的供电能力，下行端口电压可能偏低。自供电通常来自外部电源端口，取决于外部电源供电能力。

由于自供电与总线供电的电压难以完全相等，所以 HUB 需要避免两者直接短接而产生大电流。另外，当 USB 上行端口断电后，HUB 也要避免自供电的外部电源向 USB 总线及 USB 主机倒灌电流。

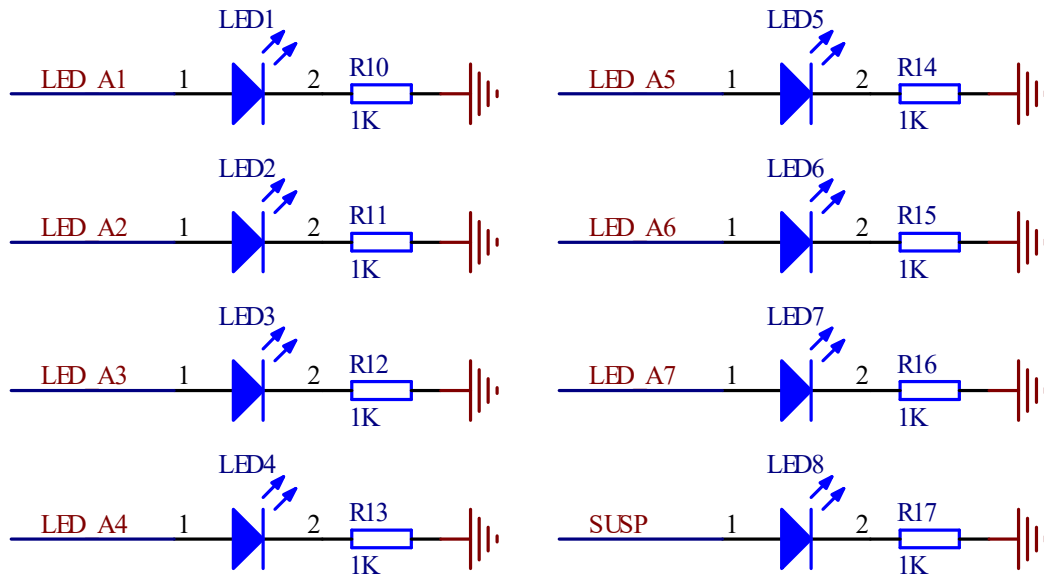
额定 3.3V 连接到 VDD33 和 VI033，同时，额定 1.2V 连接到 VDD12 和 P*_VDD12。3.3V 电源的对地电容累计不小于 10μF，1.2V 电源的对地电容累计不小于 10μF。

5.4 LED 指示灯

CH637X 芯片提供了下行端口状态 LED 指示灯控制引脚，端口对应的绿灯亮起表明端口状态正常，绿灯熄灭表明端口无设备或挂起 Suspend。

图 5-4 为 CH637X 芯片的 8 灯模式应用示意图，其中 LED1-7 分别为端口 1-7 的正常状态指示灯（绿灯），点亮表明端口有设备插入且端口正常，熄灭表明端口无设备或挂起 Suspend。LED8 表示整个芯片挂起 Suspend 状态。

图 5-4 CH637X 芯片的 8 灯模式应用示意图



5.5 I/O 功能配置

CH637 芯片的部分功能可以通过 2 种方式进行配置：内置 EEPROM 和配置引脚，内部 EEPROM 的参数配置功能优先级高于引脚配置功能。配置引脚一般为复用引脚，在复位期间作为配置引脚，复位完成之后，再切换到对应的功能引脚。不同型号的具体配置引脚见对应的引脚说明列表。

CH637X 芯片具有多种工作模式，可通过 SMBCLK/SCL 和 SMBDAT/SDA 引脚自动检测是否外接 CH211 芯片，以及 LED_A5/P45C_EN# 和 LED_A4/EXCH_EN# 引脚进行配置选择。

表 5-3 CH637X 芯片多种工作模式配置

工作模式	SMBCLK/SCL 和 SMBDAT/SDA 引脚自动检测是否外接 CH211 芯片	LED_A5/P45C_EN# 引脚电平	LED_A4/EXCH_EN# 引脚电平	功能描述
模式 0	无 CH211 芯片	低电平	复位期间无下拉电阻	通用 HUB 模式，上行口为 Type-C 接口，下行口为 1 个 Type-C 接口 (3#)+6 个 A 型接口，Type-C 接口支持正反插自适应，开启 SMBus 接口。
模式 1	无 CH211 芯片	复位期间无下拉电阻	复位期间无下拉电阻	通用 HUB 模式，上行口为 Type-C 接口，下行口为 2 个 Type-C 接口 (3#、4#)+4 个 A 型接口，Type-C 接口支持正反插自适应，开启 SMBus 接口。
模式 2	无 CH211 芯片	低电平	低电平	通用 HUB 模式，开启上下行端口交换功能，配置 5#引脚为 EXCH#功能，开启 SMBus 接口。 EXCH#输入高电平，则为：上行口为 Type-C 接口，下行口为 1 个 Type-C

				接口 (3#)+6 个 A 型接口; EXCH#输入低电平, 则为: 上行口为 A 型接口, 下行口为 2 个 Type-C 接口 (1#、3#)+5 个 A 型接口。
模式 3	无 CH211 芯片	复位期间 无下拉电阻	低电平	通用 HUB 模式, 开启上下行端口交换功能, 配置 5#引脚为 EXCH#功能, 开启 SMBus 接口。 EXCH#输入高电平, 则为: 上行口为 Type-C 接口, 下行口为 2 个 Type-C 接口 (3#、4#)+4 个 A 型接口; EXCH#输入低电平, 则为: 上行口为 A 型接口, 下行口为 3 个 Type-C 接口 (1#、3#、4#)+3 个 A 型接口。
模式 4	有 CH211 芯片	低电平	复位期间 无下拉电阻	PD-HUB 模式, 上行口为双面 Type-C 接口, 支持 Type-C/PD 快充功能, 用于 PDHUB, 下行口为 1 个 Type-C 接口 (3#)+6 个 A 型接口, Type-C 接口支持正反插自适应。关闭 SMBus 接口。
模式 5	有 CH211 芯片	复位期间 无下拉电阻	复位期间 无下拉电阻	PD-HUB 模式, 上行口为双面 Type-C 接口, 支持 Type-C/PD 快充功能, 用于 PDHUB, 下行口为 2 个 Type-C 接口 (3#、4#+5#)+4 个 A 型接口, Type-C 接口支持正反插自适应。关闭 SMBus 接口。

5.6 SMBus 配置及通信接口

CH637 部分型号提供两线 SMBus 从机接口与外部主控芯片通信,SMBus 接口包含 SMBCLK 和 SMBDAT 两个引脚, 通信地址为 0x16, 支持块读和块写操作, 每块最多为 32 个字节。外部主控可以通过 SMBus 接口对芯片内置的 EEPROM 进行读写操作。图 5-5 为块读示意图, 图 5-6 为块写示意图。

图 5-5 块读示意图

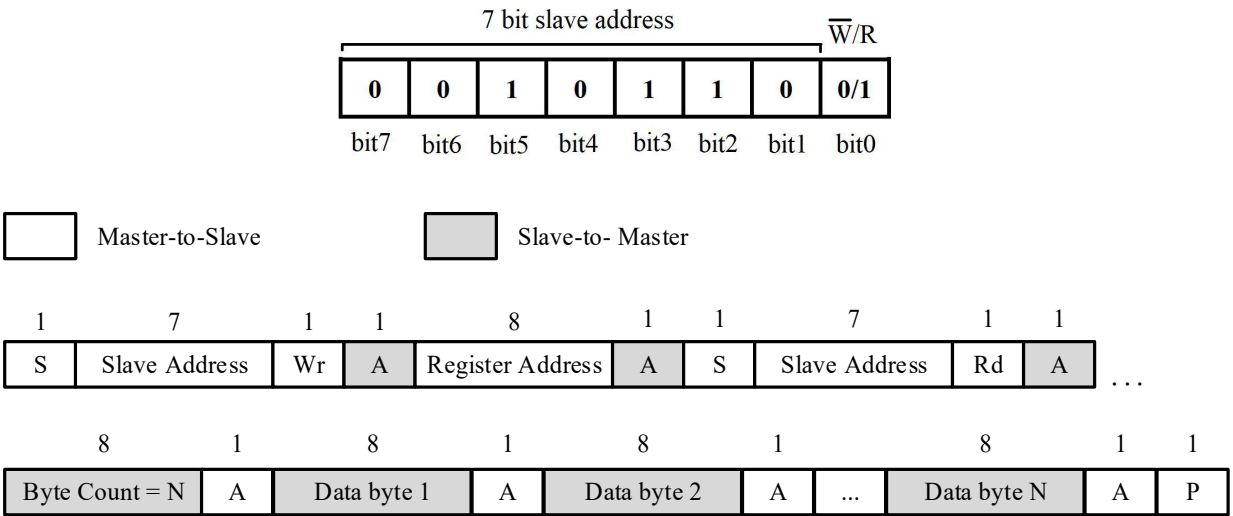
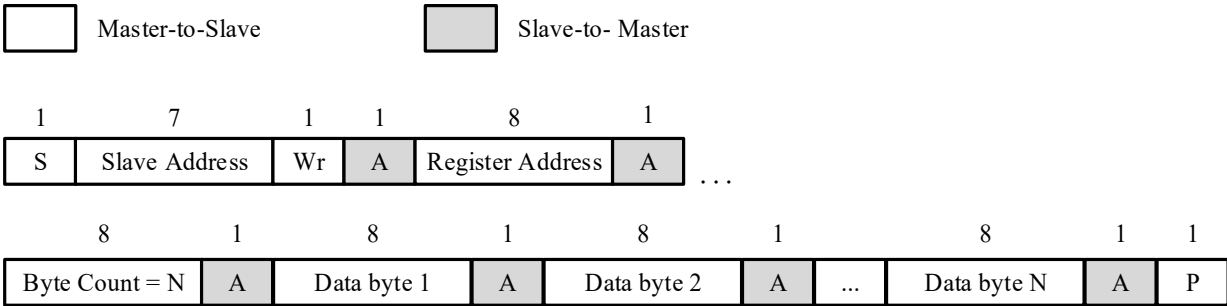


图 5-6 块写示意图



5.7 内置 EEPROM 配置

CH637 支持从内置 EEPROM 中加载厂商识别码 VID、产品识别码 PID、USB 字符串描述符和功能配置等配置信息，如果内置 EEPROM 中的信息无效，则自动装载默认配置信息。下表 5-4 为内置 EEPROM 具体配置信息描述。保留字节或保留位，在写入操作时需要按照原先读取的值写入。

表 5-4 内置 EEPROM 配置信息

偏移地址	参数简称	参数说明	默认值
00h	VID_L	厂商识别码 VID 的低字节。	86h
01h	VID_H	厂商识别码 VID 的高字节。	1Ah
02h	PID_L	产品识别码 PID 的低字节，默认为 A0h。 注：USB2.0 的 PID 为 A4h，USB3.0 的 PID 为 A5h。	A4h
03h	PID_H	产品识别码 PID 的高字节。	80h
04h	bcdDevice_L	bcdDevice 低字节，用于指示芯片封装型号； 固定，不可修改。	跟随 型号
05h	bcdDevice_H	bcdDevice 高字节，用于指示芯片版本； 固定，不可修改。	跟随 型号
06h	Fun_Cfg1	功能性配置字节 1： Bit7：供电模式选择； 0：总线供电模式； 1：自供电模式（默认）； Bit6：保留； Bit5：高速模式禁止控制； 0：高速模式使能（默认）； 1：高速模式禁止； Bit4：STT 和 MTT 模式选择； 0：STT 模式； 1：MTT 模式（默认）； Bit3：保留； Bit2-1：端口过流功能控制； 00：整体过流控制； 01：独立过流控制； 1x：不支持过流控制； Bit0：端口电源控制； 0：整体电源控制； 1：独立电源控制。	跟随 型号
07h	Fun_Cfg2	功能性配置字节 2： Bit7：保留； Bit6：保留； Bit5：保留；	20h

		Bit4: 保留; Bit3: HUB 是否是 Compound Device; 0: 不是; 1: 是; Bit2-0: 保留。	
08h	Fun_Cfg3	功能性配置字节 3: Bit7-4: 保留, 写入时需要写入原读取的值; Bit3: 端口重映射功能控制; 0: 禁止(默认); 1: 使能。 Bit2-1: 保留; Bit0: 字符串描述符使能控制; 0: 禁止(默认); 1: 使能。	00h
09h	Dev_Removable	下行端口设备是否可移除控制: Bit7-1: 下行端口 7-1 的设备是否可移除; 0: 可移除(默认); 1: 不可移除; Bit0: 保留, 必须为 0。	跟随 型号
0Ah	Port_Dis_Sp	自供电模式下端口禁止: Bit7-1: 下行端口 7-1 是否禁止; 0: 使能(默认); 1: 禁止; Bit0: 保留, 必须为 0。	00h
0Bh	Port_Dis_Bp	总线供电模式下端口禁止: Bit7-1: 下行端口 7-1 是否禁止; 0: 使能(默认); 1: 禁止; Bit0: 保留, 必须为 0。	00h
0Ch	MaxPwr_Sp	自供电模式下最大工作电流, 单位为 2mA。	01h
0Dh	MaxPwr_Bp	总线供电模式下最大工作电流, 单位为 2mA。	32h
0Eh	HubCurrent_Sp	自供电模式下 HUB 要求的最大电流。	01h
0Fh	HubCurrent_Bp	总线供电模式下 HUB 要求的最大电流。	32h
10h	Pwr_OnTime	下行端口上电到电源有效的延迟时间。	32h
11h	LanguageID_H	语言 ID 高字节。	00h
12h	LanguageID_L	语言 ID 低字节。	00h
13h	Vendor_StrLen	厂商字符串描述符长度。	00h
14h	Product_StrLen	产品字符串描述符长度。	00h
15h	SN_StrLen	序列号字符串描述符长度。	00h
16h-53h	Vendor String	厂商字符串描述符; Unicode 码格式的厂商字符串描述符。	00h
54h-91h	Product String	产品字符串描述符; Unicode 码格式的产品字符串描述符。	00h
92h-CFh	Serial Number String	序列号字符串描述符; Unicode 码格式的序列号字符串描述符。	00h
D0h	PortNum	下行端口个数, 有效范围: 1-7。	跟随 型号
D1h	bcdUSB_L	USB 版本低字节: bcdUSB_L=0x00, USB2. 00; bcdUSB_L=0x01, USB2. 01;	10h

		bcdUSB_L=0x10, USB2. 10。	
D2h	Fun_Cfg4	功能性配置字节 4: Bit7-2: 保留, 写入时需要写入原读取的值; Bit1: 强制下行端口为全速模式; 0: 高速模式 (默认); 1: 全速模式; Bit0: 指示灯功能使能配置; 0: 禁止 (默认); 1: 使能。	00h
D3h	Fun_Cfg5	功能性配置字节 5: Bit7: LED 指示灯极性配置; 0: 低电平有效 (默认); 1: 高电平有效; Bit6: 端口过流检测极性配置; 0: 低电平有效 (默认); 1: 高电平有效; Bit5: 端口电源控制极性配置; 0: 低电平有效 (部分型号默认); 1: 高电平有效 (部分型号默认); Bit4: 下行端口 BC 充电配置; 0: 禁止 (默认); 1: 使能; Bit3: LPM 配置是否使能; 0: 禁止; 1: 使能 (默认); Bit2: 上下行交换功能是否使能; 0: 禁止 (默认); 1: 使能; Bit1-0: 保留。	跟随 型号
D4-E3h	BOS_UUID	BOS 描述符中的 UUID 字段, 占 16 个字节。	00h
E4h	PortUp_Status	上行端口实时状态: Bit7: 保留; Bit6: 上行端口 U3 连接状态; 0: 未连接; 1: 已连接或挂起; Bit5-4: 上行端口 U3 连接速度; 00: 低速; 01: 全速; 10: 高速; 11: 超高速; Bit3: 保留; Bit2: 上行端口 U2 连接状态; 0: 未连接; 1: 已连接或挂起; Bit1-0: 上行端口 U2 连接速度; 00: 低速; 01: 全速; 10: 高速; 11: 超高速。	00h
E5h	Port12_Status	1#和 2#下行端口实时状态: Bit7: 保留; Bit6: 1#下行端口 U3 或 U2 设备连接状态; Bit5-4: 1#下行端口 U3 或 U2 设备连接速度; Bit3: 保留;	00h

		Bit2: 2#下行端口 U3 或 U2 设备连接状态; Bit1-0: 2#下行端口 U3 或 U2 设备连接速度。	
E6h	Port34_Status	3#和 4#下行端口实时状态: Bit7: 保留; Bit6: 3#下行端口 U3 或 U2 设备连接状态; Bit5-4: 3#下行端口 U3 或 U2 设备连接速度; Bit3: 保留; Bit2: 4#下行端口 U3 或 U2 设备连接状态; Bit1-0: 4#下行端口 U3 或 U2 设备连接速度。	00h
E7h	Port56_Status	5#和 6#下行端口实时状态: Bit7: 保留; Bit6: 5#下行端口 U3 或 U2 设备连接状态; Bit5-4: 5#下行端口 U3 或 U2 设备连接速度; Bit3: 保留; Bit2: 6#下行端口 U3 或 U2 设备连接状态; Bit1-0: 6#下行端口 U3 或 U2 设备连接速度。	00h
E8h	Port7_Status	7#下行端口实时状态: Bit7: 保留; Bit6: 7#下行端口 U2 设备连接状态; Bit5-4: 7#下行端口 U2 设备连接速度; Bit3-1: 是否开启 HUB 下行端口速度监控功能; 110: 使能; 其它值: 禁用; 默认为禁用; Bit0: 保留。	00h
E9h	UP_Port_Ctrl	多口并行的多上行口功能使能控制: Bit7-5: 是否使能并行多上行口功能控制; 110: 使能; 其它值: 禁用; 默认为禁用; Bit4: 0: I/O 口同时控制所有下行端口切换; 1: 通过 SMBus 控制下行端口任意矩阵切换; Bit3: 0: 2#下行端口作为 HUB 下行口; 1: 2#下行端口作为 HUB 第 4 个上行口; Bit2: 0: 1#下行端口作为 HUB 下行口; 1: 1#下行端口作为 HUB 第 3 个上行口; Bit1: 0: 3#下行端口作为 HUB 下行口; 1: 3#下行端口作为 HUB 第 2 个上行口; Bit0: 保留。	00h
EAh	DN_Port_Ctrl	下行端口切换控制: Bit7: 0: 本次不执行切换控制; 1: 本次执行切换控制; Bit6-5: 指定要切换的目标上行口号 00: 将 Bit2-0 指定的下行端口切换到第 1 个上行端口 PC1; 01: 将 Bit2-0 指定的下行端口切换到第 2 个上行端口 PC2; 10: 将 Bit2-0 指定的下行端口切换到第 3 个上行端口 PC3; 11: 将 Bit2-0 指定的下行端口切换到第 4 个上行端口 PC4;	00h

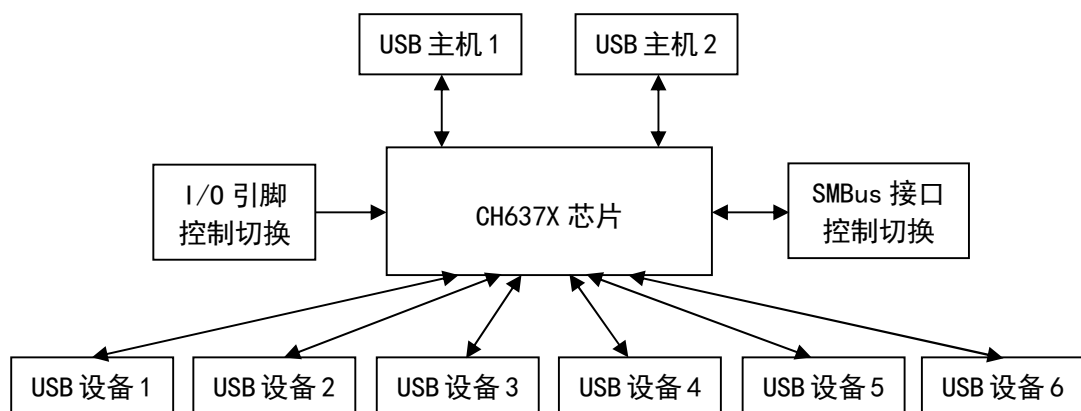
		Bit4-3: 保留; Bit2-0: 指定要切换的下行端口号 001-111 分别对应下行端口 1#-7#; 注意: 切换时需要跳过已配置成上行端口使用的 对应端口。	
EBh	U2_PortL_Speed	下行端口 1#-4#的 USB2.0 设备下传和上传的速度 从该偏移地址, 连续读取的 32 个字节数据, 分别 表示下行端口 1#-4#的下传和上传速度, 每 4 个 字节为一组。写该偏移地址无意义。 例如: 读取的前 4 个字节 0x00A00000 (10*1024*1024), 则表示下行端口 1#的实时下传通信速度为 10M 字 节/S。	00h
ECh	U2_PortH_Speed	下行端口 5#-7#的 USB2.0 设备下传和上传的速度 从该偏移地址, 连续读取的 24 个字节数据, 分别 表示下行端口 5#-7#的下传和上传速度, 每 4 个 字节为一组。写该偏移地址无意义。	00h
EDh	U3_PortL_Speed	下行端口 1#-4#的 USB3.0 设备下传和上传的速度 从该偏移地址, 连续读取的 32 个字节数据, 分别 表示下行端口 1#-4#的下传和上传速度, 每 4 个 字节为一组。写该偏移地址无意义。	00h
EEh	U3_PortH_Speed	下行端口 5#-6#的 USB3.0 设备下传和上传的速度 从该偏移地址, 连续读取的 16 个字节数据, 分别 表示下行端口 5#-6#的下传和上传速度, 每 4 个 字节为一组。写该偏移地址无意义。	00h
EF-FDh	Reserved	保留。	00h
FEh	PortSelect_Ctl	CH637X 多口切换的多上行口功能的切换选择控制 字节。 如果使能多口切换的多上行口的功能, 则可以通 过该控制字节切换选择使能对应的上行口, 达到 4 个 USB 主机分时共享 1 个 HUB 芯片的效果, 且 节省一个 U3 模拟开关芯片。 该字节默认为 00h, 写入特定值进行控制。 Bit7-5: 101: 使能四口切换多上行口功能; 其它值: 禁用四口切换多上行口功能; Bit4: 0: 本次控制无效, 不执行任何操作; 1: 本次控制有效, 执行控制动作; Bit3-2: 保留; Bit1-0: 00: 上行端口切换选择使能第 1 个端口; 01: 上行端口切换选择使能第 2 个端口; 10: 上行端口切换选择使能第 3 个端口; 11: 上行端口切换选择使能第 4 个端口; 注: 该功能和 UP_Port_Ctrl 字节控制的多口并行 多上行口功能的主要区别在于该功能的 4 个上行 口是分时使能的 (保持同时物理连接), 4 个 USB 主机同一时间只有一个主机出现 HUB 设备, 多口 并行多上行口功能是多个 USB 主机可以同时出现 HUB 设备。	00h
FFh	Switch_Ctl	上下行交换功能控制字节; 该字节默认为 00h, 写入特定值进行控制。	00h

		Bit7: 0: 控制字节无效, 不执行任何操作; 1: 控制字节有效, 执行控制动作; Bit6: 0: 取消交换(恢复不交换状态); 1: 控制交换(原上行口交换为 1#下行端口, 原 1#下行端口交换为上行口); Bit5: 0: 只执行控制动作不保存; 1: 执行控制动作且掉电保存; Bit4: 0: 使能原下行口(1#下行端口)U3 功能; 1: 禁用原下行口(1#下行端口)U3 功能; Bit3: 0: 使能原下行口(1#下行端口)U2 功能; 1: 禁用原下行口(1#下行端口)U2 功能; Bit2: 保留; Bit1: 0: 交换后的新下行口(原上行口)U3 功能使能; 1: 交换后的新下行口(原上行口)U3 功能禁用; Bit0: 0: 交换后的新下行口(原上行口)U2 功能使能; 1: 交换后的新下行口(原上行口)U2 功能禁用; 例如: (1)、写入 C0h 表示控制交换, 交换后的新下行口(原上行口)U3 功能使能、U2 功能使能; (2)、写入 E1h 表示控制交换, 交换后的新下行口(原上行口)U3 功能使能、U2 功能禁用; (3)、写入 80h 表示取消交换, 恢复为不交换状态; (4)、写入 98h 表示取消交换, 且禁用原下行口(1#下行端口)U3 和 U2 功能。	
--	--	--	--

5.8 双上行口功能

CH637X 芯片支持双上行口功能, 可同时连接 2 台 USB 主机并且同时出现 HUB 设备, 便于 2 个 USB 主机同时管理下行最多 6 个 USB 设备。支持通过 I/O 引脚同时切换下行端口功能, 也支持通过 SMBus 总线接口控制下行端口任意矩阵切换功能。

图 5-7 双上行口应用示意图



默认 CH637X 芯片仅支持单个上行口, 可通过以下两种方式启用双上行口功能。

方式一: I/O 引脚配置启用。

上电前, 将 LED_A6/2UP_EN#引脚通过下拉电阻接地。芯片上电时, 自动检测该引脚电平, 如果检

测到低电平则使能双上行口功能。使能双上行口功能后，LED_A3/HPD_EN#/2UP_SW#引脚自动切换为下行口切换控制输入检测引脚。每检测到输入一次低电平，则控制 HUB 下行口所有设备同时切换到 USB 主机 1 或 USB 主机 2。

方式二：SMBus 总线接口配置启用。

通过 SMBus 总线接口读写偏移地址 0xE9 (UP_Port_Ctrl) 和 0xEA (DN_Port_Ctrl)，可启用双上行口功能并且可控制下行口任意矩阵切换。比如控制下行 USB 设备 1、2、3 连接到 USB 主机 1，同时控制下行 USB 设备 4、5、6 连接到 USB 主机 2。具体见 5.7 章节对应偏移字节的详细描述。

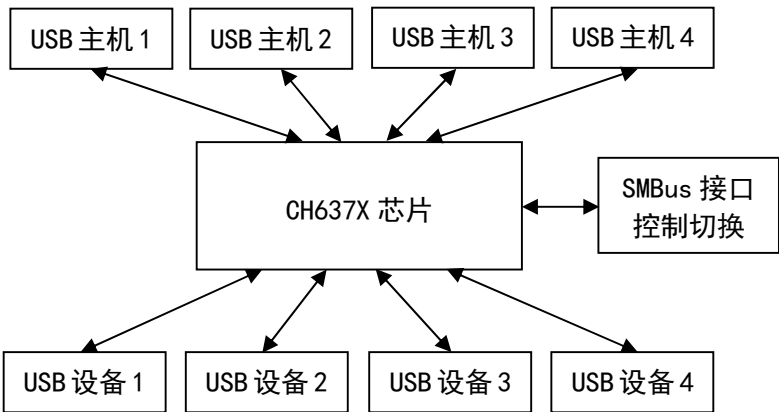
启用双上行口功能后，USB 相关引脚分配关系如下：

上、下行端口	引脚简称	类型	功能描述
上行端口 1#	UP_SS_xxx	USB3	第 1 个上行端口 USBSS 差分发送或接收信号线。
	UPC_SS_xxx	USB3	第 1 个上行端口 Type-C 差分发送或接收信号线。
	UP_HS_xx	USB2	第 1 个上行端口 USB2.0 差分信号线。
上行端口 2#	P3_SS_xxx	USB3	第 2 个上行端口 USBSS 差分发送或接收信号线。
	P3C_SS_xxx	USB3	第 2 个上行端口 Type-C 差分发送或接收信号线。
	P3_HS_xx	USB2	第 2 个上行端口 USB2.0 差分信号线。
下行端口 1#	P1_SS_xxx	USB3	第 1 个下行端口 USBSS 差分发送或接收信号线。
	P1_HS_xx	USB2	第 1 个下行端口 USB2.0 差分信号线。
下行端口 2#	P2_SS_xxx	USB3	第 2 个下行端口 USBSS 差分发送或接收信号线。
	P2_HS_xx	USB2	第 2 个下行端口 USB2.0 差分信号线。
下行端口 3#	P4_SS_xxx	USB3	第 3 个下行端口 USBSS 差分发送或接收信号线。
	P4_HS_xx	USB2	第 3 个下行端口 USB2.0 差分信号线。
下行端口 4#	P5_SS_xxx	USB3	第 4 个下行端口 USBSS 差分发送或接收信号线。
	P5_HS_xx	USB2	第 4 个下行端口 USB2.0 差分信号线。
下行端口 5#	P6_SS_xxx	USB3	第 5 个下行端口 USBSS 差分发送或接收信号线。
	P6_HS_xx	USB2	第 5 个下行端口 USB2.0 差分信号线。
下行端口 6#	P7_HS_xx	USB2	第 6 个下行端口 USB2.0 差分信号线。

5.9 四上行口功能

CH637X 芯片支持四上行口功能，可同时连接 4 台 USB 主机并且同时出现 HUB 设备，便于 4 个 USB 主机同时管理下行最多 4 个 USB 设备，可通过 SMBus 总线接口控制下行设备任意矩阵切换功能。

图 5-8 四上行口应用示意图



默认 CH637X 芯片仅支持单个上行口，可通过 SMBus 总线接口启用四上行口功能。

通过 SMBus 总线接口读写偏移地址 0xE9 (UP_Port_Ctrl) 和 0xEA (DN_Port_Ctrl)，可启用四上行口功能并且可控制下行口任意矩阵切换。比如控制下行 USB 设备 1 连接到 USB 主机 1，控制下行 USB 设备 2、3 连接到 USB 主机 2，USB 设备 4 连接到 USB 主机 4，USB 主机 3 无设备。具体见 5.7 章节对应偏移字节的详细描述。

启用四上行口功能后，USB 相关引脚分配关系如下：

上、下行端口	引脚简称	类型	功能描述
上行端口 1#	UP_SS_xxx	USB3	第 1 个上行端口 USBSS 差分发送或接收信号线。
	UPC_SS_xxx	USB3	第 1 个上行端口 Type-C 差分发送或接收信号线。
	UP_HS_xx	USB2	第 1 个上行端口 USB2.0 差分信号线。
上行端口 2#	P3_SS_xxx	USB3	第 2 个上行端口 USBSS 差分发送或接收信号线。
	P3C_SS_xxx	USB3	第 2 个上行端口 Type-C 差分发送或接收信号线。
	P3_HS_xx	USB2	第 2 个上行端口 USB2.0 差分信号线。
上行端口 3#	P1_SS_xxx	USB3	第 3 个上行端口 USBSS 差分发送或接收信号线。
	P1_HS_xx	USB2	第 3 个上行端口 USB2.0 差分信号线。
上行端口 4#	P2_SS_xxx	USB3	第 4 个上行端口 USBSS 差分发送或接收信号线。
	P2_HS_xx	USB2	第 4 个上行端口 USB2.0 差分信号线。
下行端口 1#	P4_SS_xxx	USB3	第 1 个下行端口 USBSS 差分发送或接收信号线。
	P4_HS_xx	USB2	第 1 个下行端口 USB2.0 差分信号线。
下行端口 2#	P5_SS_xxx	USB3	第 2 个下行端口 USBSS 差分发送或接收信号线。
	P5_HS_xx	USB2	第 2 个下行端口 USB2.0 差分信号线。
下行端口 3#	P6_SS_xxx	USB3	第 3 个下行端口 USBSS 差分发送或接收信号线。
	P6_HS_xx	USB2	第 3 个下行端口 USB2.0 差分信号线。
下行端口 4#	P7_HS_xx	USB2	第 4 个下行端口 USB2.0 差分信号线。

5.10 连接状态及速度监控

CH637X 芯片可以通过 SMBus 总线接口实时查询上行端口和下行端口的连接状态及连接速度(超高速、高速和全速)。偏移地址 0xE4 (PortUp_Status) 的值表示上行端口的实时状态, 偏移地址 0xE5 (Port12_Status)、0xE6 (Port34_Status)、0xE7 (Port56_Status) 和 0xE8 (Port7_Status) 的值分别表示下行端口 1#-7#的实时状态。

CH637 芯片也可以通过 SMBus 总线接口实时查询所有下行端口的通信速度, 包括实时上传速度和下传速度(每秒传输的字节数)。默认不开启该功能, 可通过将偏移地址 0xE8 (Port7_Status) 的 Bit3-1 位设置成 110, 开启该功能。开启该功能后, 可以从偏移地址 0xEB-0xEE 读取下行端口的实时下传和上传速度。具体见 5.7 章节对应偏移字节的详细描述。

6、参数

6.1 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

名称	参数说明	最小值	最大值	单位
T_A	工作时的环境温度	-40	85	°C
T_J	结温度范围	-40	100	°C
T_S	储存时的环境温度	-55	150	°C
V_{DD33}	工作电源电压	-0.4	4.0	V
V_{I033}	I/O 电源电压 (V_{I033})	-0.4	4.0	V
$*V_{DD12}$	USB 模块电源电压 (Px_V_{DD12} 和 UP_V_{DD12}) / 内核电源电压 (V_{DD12})	-0.4	1.5	V
V_{USB2}	USB2.0 物理信号引脚上的电压	-0.4	$V_{DD33}+0.4$	V
V_{USB3}	USB3.0 物理信号引脚上的电压	-0.3	$*V_{DD12}+0.3$	V
V_{IN}	FT（耐受 5V）引脚上的输入电压	-0.4	5.5	V
	其他引脚上的输入电压	-0.4	$V_{I033}+0.4$	V
$V_{ESD}(HBM)$	普通 I/O 引脚的 ESD 静电放电电压 (HBM)	4K		V

6.2 电气参数（测试条件： $T_A = 25^{\circ}\text{C}$, $V_{DD33} = V_{I033} = 3.3\text{V}$, $*V_{DD12} = 1.23\text{V}$ ）

名称	参数说明	最小值	典型值	最大值	单位
V_{DD33}	电源电压	3.15	3.3	3.45	V
		3.15	3.3	3.45	V
$*V_{DD12}$	USB 模块电源电压 (Px_V_{DD12} 和 UP_V_{DD12}) / 内核电源电压 (V_{DD12})	1.18	1.23 ⁽¹⁾	1.27	V
V_{I033}	I/O 引脚供电电压	3.0	3.3	3.6	V
V_{IL}	低电平输入电压	标准 I/O 引脚	0	0.9	V
		FT I/O 引脚	0	0.9	V
V_{IH}	高电平输入电压	标准 I/O 引脚	1.9	V_{I033}	V
		FT I/O 引脚	1.9	5.0	V
V_{OL}	低电平输出电压	灌电流 8mA	0.4	0.6	V
V_{OH}	高电平输出电压	源电流 8mA	$V_{I033}-0.6$	$V_{I033}-0.4$	V
R_{PU}	内部上拉等效电阻		40		K Ω
R_{PD}	内部下拉等效电阻		40		K Ω

注：1. $*V_{DD12}$ 电流较大，考虑 PCB 走线压降损失，建议额定 1.2V 再加 10~50mV。

6.3 典型工作电流（测试条件：CH637X, $T_A = 25^{\circ}\text{C}$ ）

下行口连接设备个数		单一 5V 电源方案	3.3V+1.2V 双供电方案		单位
		5V 电源 ⁽¹⁾	3.3V 电源	1.2V 电源	
USB3.0	睡眠状态	1.41	0.24	2.47	mA
	挂起状态	2.56	1.14	3.45	mA
	1	105	14.6	324	mA
	2	130	15.2	414	mA
	3	156	15.9	501	mA
	4	182	16.5	589	mA
	5	209	17.1	676	mA
	6	237	17.4	768	mA
USB2.0	挂起状态	2.05	0.59	3.22	mA

	1	32.2	22.5	34.1	mA
	2	37.7	28.0	34.2	mA
	3	43.2	33.5	34.3	mA
	4	48.9	38.9	34.4	mA
	5	54.1	44.3	34.6	mA
	6	59.6	51.3	34.8	mA
	7	64.9	56.5	35.0	mA

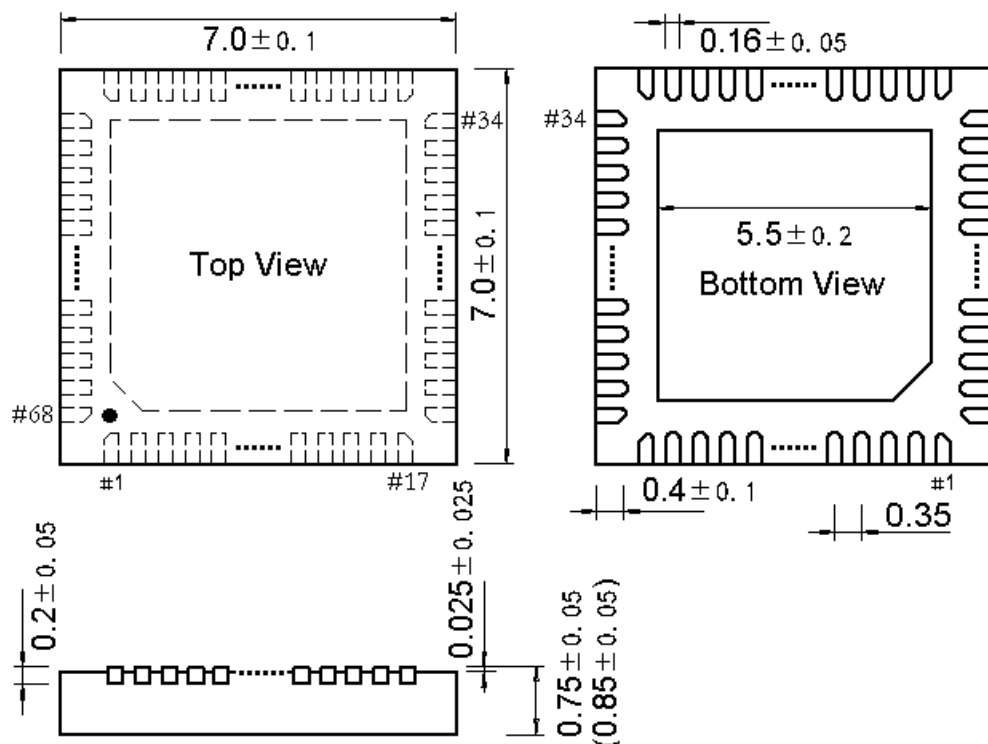
注：1. 表中 5V 电源是指通过 LDO+DCDC 二合一芯片 CH2003V 输出 3.3V 和 1.2V 电源时，其 5V 电源输入电流。

7、封装信息

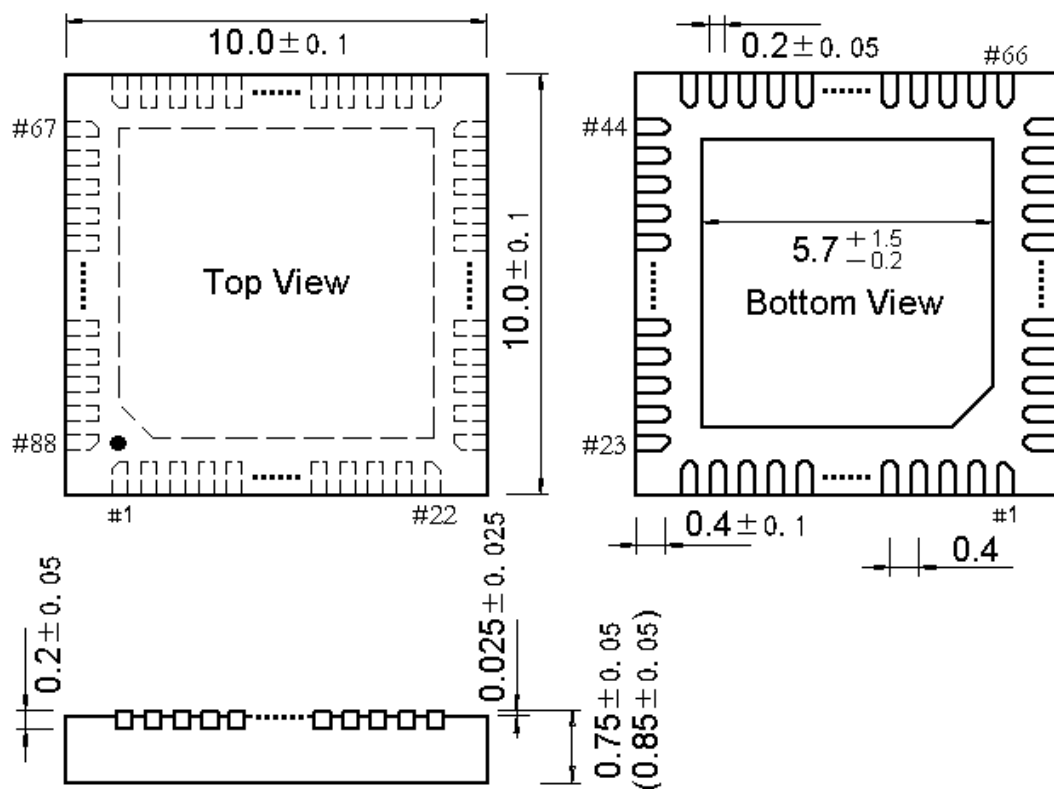
说明：尺寸标注的单位是 mm（毫米）。

引脚中心间距是标称值，没有误差，除此之外的尺寸误差不大于 $\pm 0.2\text{mm}$ 。

7.1 QFN68X7



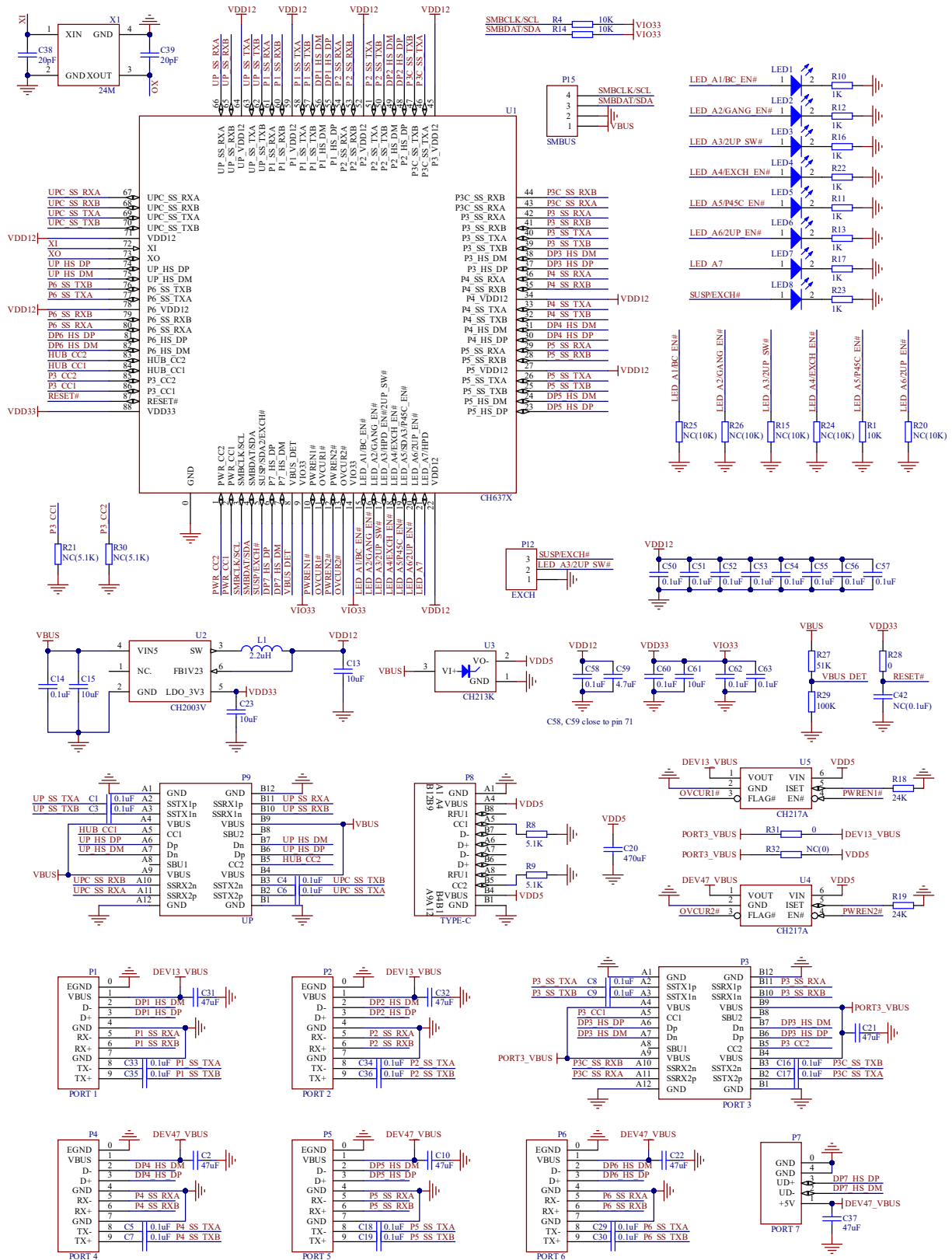
7.2 QFN88



8、应用

8.1 上行 Type-C 接口的 7 口 HUB 应用

图 8-1 CH637X 芯片 7 口 HUB 参考电路图



上图 8-1 为 CH637X 芯片工作在模式 0 的参考电路图,上行口为 Type-C 接口,下行口为 1 个 Type-C 接口 (3#) 和 6 个 A 型接口, Type-C 接口支持正反插自适应。

P1-P7 为 HUB 的 7 个下行 USB 口，其中 P3 为 Type-C 接口，兼容 USB-C 线缆和连接规范，原生支持 Type-C 正反插自适应，P1、P2、P4、P5、P6 和 P7 为 A 型接口，P7 口仅支持 USB2.0。P9 为 HUB 的上行 Type-C 接口，一般连接 PC 或其它 HUB 主机，P8 为外部纯供电 Type-C 接口。

CH637X 芯片默认工作在独立电源配电控制和独立过流检测模式，可通过 LED_A2/GANG_EN# 引脚配置成整体电源配电控制和整体过流检测。U4 和 U5 是支持过流保护的 USB 配电开关芯片 CH217。图中 R18 和 R19 根据电源供电能力设置限流门限，USB 限流电源开关芯片的 FLAG# 引脚可以产生过流或过温报警信号通知 HUB 控制器及计算机，CH637X 的 OVCURx# 引脚已内置上拉电阻。

CH637X 芯片的 P3 端口也可以作为 A 型接口使用，如果 USB3.0 信号线使用 PxC_SS_RXA、PxC_SS_RXB、PxC_SS_TXA 和 PxC_SS_TXB，则 Px_CC2 引脚需要通过 5.1K 电阻接地；如果 USB3.0 信号线使用 Px_SS_RXA、Px_SS_RXB、Px_SS_TXA 和 Px_SS_TXB，则 Px_CC1 引脚需要通过 5.1K 电阻接地。

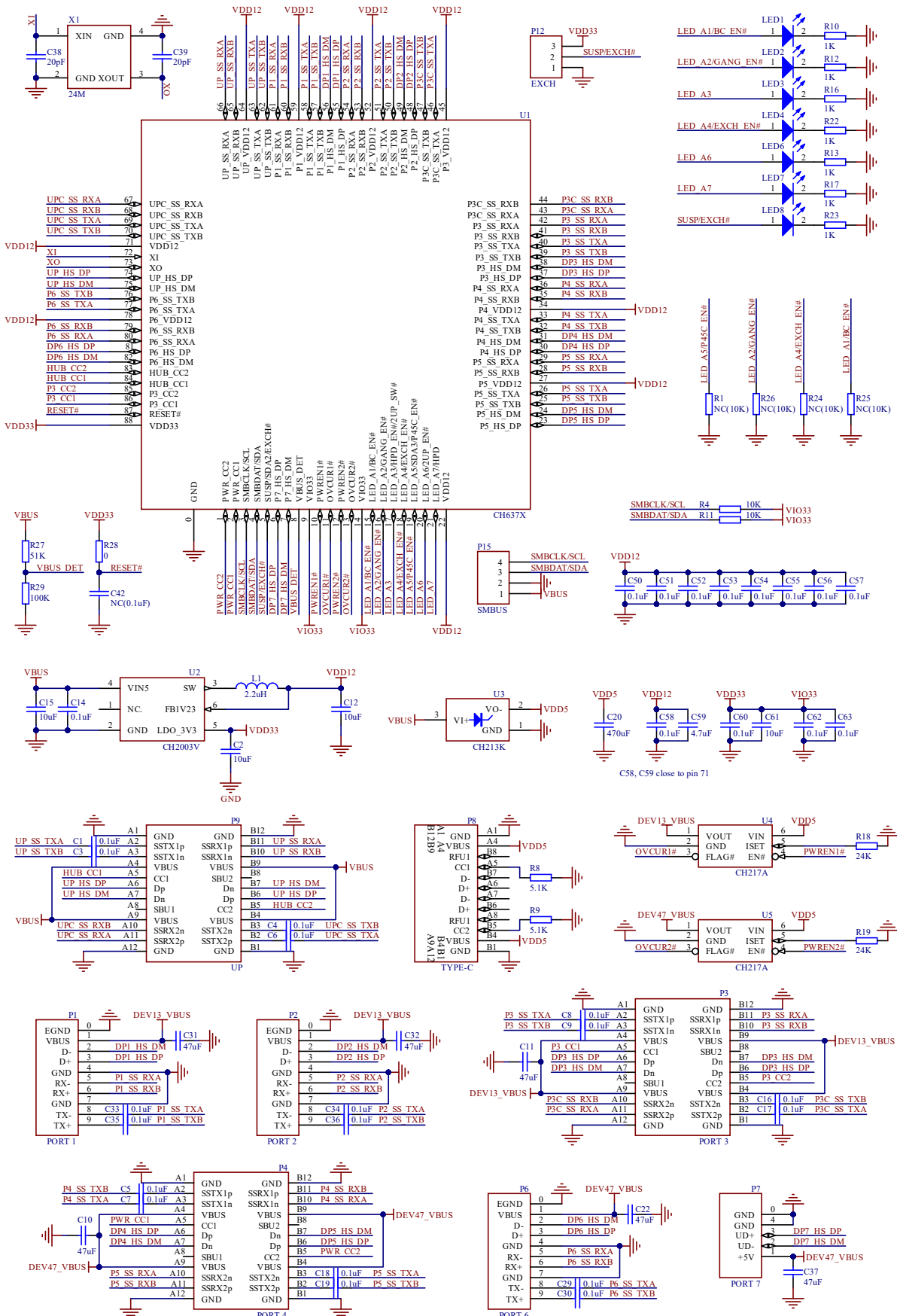
对于板载应用，CH637 每个下行端口的 USB3.0 和 USB2.0 都支持拆开分别连接 USB3.0 板载设备和 USB2.0/1.0 设备，7 口 HUB 最多同时支持 15 个 USB 设备。

设计 PCB 时需考虑实际工作电流承载能力，VBUS、VDD5、DEV13_VBUS、DEV47_VBUS 和 P8 及各端口 GND 走线路径的 PCB 尽可能宽，如有过孔则建议多个并联。

在下行端口 USB 设备带电热插拔的瞬间，动态负载可能使 DEVxx_VBUS 和 VBUS 电压瞬时跌落，进而可能产生 LVR 低压复位，从而出现整个 HUB 断开再连接的现象。改进方法：①在规范允许范围内加大 5V 电源的电解电容（加大图示 C20 容量），缓解跌落；②加大 HUB 芯片电源输入端的电容（加大图示 C61 容量，例如 22uF）；③增强 5V 供电能力或改为自供电，另外，提升 USB 线材质量也会改善供电能力。

8.2 双 Type-C 正反插自适应下行口应用

图 8-2 CH637X 芯片多 Type-C 接口参考电路图



上图 8-2 为 CH637X 芯片工作在模式 1 的参考电路图。上行口为 Type-C 接口,下行口为 2 个 Type-C 接口 (3#、4#)和 4 个 A 型接口, Type-C 接口均支持正反插自适应。

P1-P4、P6 和 P7 为 HUB 的 6 个下行 USB 口,其中 P3 和 P4 为 Type-C 接口,兼容 USB-C 线缆和连接规范,原生支持 Type-C 正反插自适应,P1、P2、P6 和 P7 为 A 型接口,P9 为 HUB 的上行 Type-C 接口,一般连接 PC 或其它 HUB 主机,P8 为外部纯供电 Type-C 接口。

如果下行口需要支持更多 Type-C 接口(比如 3 个),则可以通过 LED_A4/EXCH_EN#引脚配置开启上下行端口交换功能,再通过 EXCH#引脚输入低电平。交换成功后,上行口切换为 A 型接口,下行口切换为 3 个 Type-C 接口(1#、3#和 4#)和 3 个 A 型接口。

8.3 Type-C/PD HUB 100W 双向快充应用

下图 8-3 为 CH637X 工作于 PDHUB 模式的参考电路图。PD 协议由 CH637X 芯片实现,原生支持 USB PD2.0/3.0 协议,可在 Type-C 接口 USB HUB 通讯的同时进行最大 100W 功率(20V*5A)的充电。CH211 是内置了高压开关和升压模块的 Type-C/PD 高压接口芯片,配合 CH637X 提供高压驱动,支持低成本的 N 型 MOSFET 功率开关管。

P1-P4、P6 和 P7 为 HUB 的 6 个下行 USB 口,其中 P3 和 P4 为 Type-C 接口,可连接 Type-C 接口的设备,也可以连接外部电源适配器。P9 为 HUB 的上行 USB 口,一般连接 PC 或其它 HUB 主机,支持 Type-C 电源角色 DRP 切换。如果 P3 或 P4 接入外部电源适配器,那么 P9 端口将工作于 SRC/DFP 模式,该 PDHUB 将外部电源传输给 PC 充电,同时提供给 DC-DC (CH2024Q)产生 5V,用于 USB 的 VBUS 电源。如果仅连接 PC,P3 或 P4 端口不接外部电源适配器,那么 P9 端口工作于 SINK/UFP 模式,该 PDHUB 从 PC 申请电源提供给 CH2024Q。如果下行 P3 或 P4 口只需要一个 Type-C 接口可接外部电源适配器,则图中的 CH211 芯片 U7 或 U8 可以去掉 1 个,Q4、Q5、Q6 和 Q7 端口控制部分的也可以去掉一组。

CH2024Q 将 VHV 最高 20V 电压降压到 5V,DC-DC 控制器需支持满占空比输出,持续输出电流不小于 6 个下行端口的实际需求,建议不低于 3A。MOSFET 内阻建议不超过 16mΩ,以减少持续 5A 充电电流时的发热。如果仅需支持 5V*3A,那么可以省掉 DC-DC 芯片(CH2024Q)并可以降低 MOSFET 的耐压。

P3 和 P4 是真正的双向高压快充 Type-C 接口,该 C 口支持对 P3 端口的外设高压快充(正向),支持外部通过 P3 端口对 HUB 供电(反向),支持外部通过 P3 端口对 HUB 上行口的 PC 笔记本或平板高压快充(反向)等。例如 P3 外供 20V,可以给 PC 反向 20V 快充,还可以给 P4 正向快充且 20V 或 5V 可选,具体由 Type-C 双方以 PD 协议商定。部分组合(取决于软件版本)用法如下表:

上行口	P3 端口	P4 端口	其它端口
5V 进	5V 出	5V 出	5V 出
5V 充电	5V 进	5V 出或 15W 快充	5V 出
5V 充电	5V 出或 15W 快充	5V 进	5V 出
20V 充电	20V 进	5V 出或 15W 快充	5V 出
20V 充电	20V 进	20V 充电	5V 出
电源不进不出	20V 进	20V 充电 100W	5V 出
20V 充电	5V 出或 15W 快充	20V 进	5V 出
20V 充电	20V 充电	20V 进	5V 出
电源不进不出	20V 充电 100W	20V 进	5V 出
9V 充电	9V 进	5V 出或 15W 快充	5V 出
9V 充电	9V 进	9V 充电	5V 出
电源不进不出	9V 进	9V 充电	5V 出
...	...	...	...

如需支持 28V 电压 140W 功率或者其它特定电压/功率的快充、或者更多的双向快充、或者为下行 Type-C 端口提供 PD 高功率快充,请联系我司。

图 8-3 CH637X 芯片 PDHUB 参考电路图

