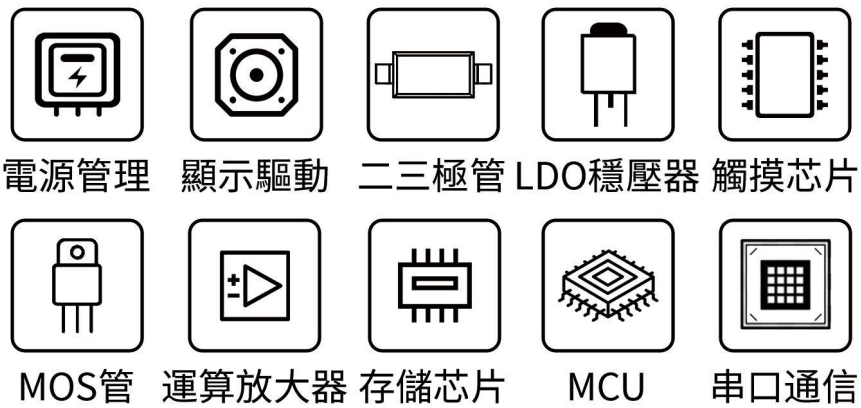
TDSEMIC
拓電半導體

自主封測 品質把控 售後保障

WEB | WWW.TDSEMIC.COM



TD32F407VET6-TD

產品規格說明書

1 产品特性

内核

带有 FPU的32位Arm®Cortex®-M4F 内核
最高 168MHz 工作频率

存储器及接口

Flash: 容量最高为 1MB
SRAM: 系统(192KB)+备份(4KB)
EMMC:支持 CF 卡、SRAM、PSRAM、SDRAM、NOR 和 NAND 存储器

时钟

HSECLK: 支持 4~26MHz 外部晶体/陶瓷振荡器
LSECLK: 支持 32.768KHz 晶体/陶瓷振荡器
HSICLK:出厂校准的 16MHz RC 振荡器
LSICLK: 支持 28KHz RC 振荡器
PLL1：主锁相环，由四个参数配置输出频率
PLL2：专门给 I2S 提供时钟信号的锁相环，由三个参数配置输出频率

电源与电源管理

VDD 范围: 1.8~3.6V
VDDA 范围: 1.8~3.6V
备份域电源 VBAT 范围: 1.65V~3.6V
支持上电/掉电/欠压复位(POR/PDR/BOR)
支持可编程电源电压检测器(PVD)

低功耗模式

支持睡眠、停机、待机三种模式

DMA

两个 DMA,每个 DMA 有 8 个数据流,共 16 个

调试接口

JTAG
SWD

I/O

最多有 140 个 I/O
所有 I/O 都可以映射到外部中断向量
最多有 139 个容忍 5V 输入的 I/O

通信外设

4 个 USART,2 个 UART, 支持 ISO7816、LIN 和 IrDA 等功能
3 个 I2C, 支持 SMBus/PMBus
3 个 SPI (2 个可复用 I2S)
2 个 CAN
3 个 USB_OTG 控制器
1 个 SDIO 接口
1个 Ethernet

模拟外设

3 个 12 位的 ADC
2 个 12 位的 DAC

定时器

2 个可以提供 7 通道 PWM 输出的 16 位高级定时器 TMR1/8，支持死区生成和刹车输入等功能
2 个 32 位通用定时器 TMR2/5,每个定时器有 4 个独立通道可以用来输入捕获、输出比较、PWM 与脉冲计数等功能
8 个 16 位通用定时器 TMR/3/4/9/10/11/12/13/14, 每个定时器有 2 个独立通道可以用来输入捕获、输出比较、PWM 与脉冲计数等功能
2 个 16 位基本定时器 TMR6/7
2 个看门狗定时器：一个独立看门狗 IWDT 和一个窗口看门狗 WWDT
1 个 24 位自减型系统定时器 SysTickTimer
RTC
支持日历功能
可从停机/待机模式下报警和定期唤醒

CRC 计算单元

国密算法

BN
SM3
SM4

96 位唯一设备 ID

目录

1 产品特性 …… **1**

2 产品信息 …… **6**

3 引脚信息 …… **8**

3.1 引脚分布 …… 8

3.2 引脚功能描述 …… 12

3.3GPIO 复用功能配置 …… 30

4 功能描述 …… **44**

4.1 系统架构 …… 45

4.1.1 系统框图 …… 45

4.1.2 地址映射 …… 46

4.1.3 启动配置 …… 48

4.2 内核 …… 48

4.3 中断控制器 …… 49

4.3.1 嵌套的向量式中断控制器（NVIC） …… 49

4.3.2 外部中断/事件控制器（EINT） …… 49

4.4 片上存储器 …… 49

4.4.1 可配置的外部存储控制器（EMMC） …… 49

4.4.2 液晶显示器并行接口（LCD） …… 49

4.5 时钟 …… 50

4.5.1 时钟树 …… 50

4.5.2 时钟源 …… 52

4.5.3 系统时钟 …… 52

4.5.4 总线时钟 …… 52

4.5.5 锁相环 …… 52

4.6 电源与电源管理 …… 52

4.6.1 电源方案 …… 52

4.6.2 调压器 …… 52

4.6.3 电源电压监控器 …… 53

4.7 低功耗模式 …… 53
4.8DMA …… 53
4.9GPIO …… 53
4.10 通信外设 …… 54
4.10.1USART/UART …… 54
4.10.2I2C …… 54
4.10.3SPI/I2S …… 54
4.10.4CAN …… 54
4.10.5USB_OTG …… 55
4.10.6Ethernet …… 55
4.10.7SDIO …… 55
4.11 模拟外设 …… 55
4.11.1ADC …… 55
4.11.2DAC …… 56
4.12 定时器 …… 56
4.13RTC …… 57
4.13.1 备份域 …… 57
4.14RNG …… 57
4.15DCI …… 58
4.16CRC …… 58
4.17 加密算法 …… 58
4.17.1BN …… 58
4.17.2SM3 …… 58
4.17.3SM4 …… 58
5 电气特性 …… 59
5.1 电气特性测试条件 …… 59
5.1.1 最大值和最小值 …… 59
5.1.2 典型值 …… 59
5.1.3 典型曲线 …… 59
5.1.4 电源方案 …… 60
5.1.5 负载电容 …… 61

5.2 通用工作条件下的测试 …… 61
5.3 绝对最大额定值 …… 62
5.3.1 最大温度特性 …… 62
5.3.2 最大额定电压特性 …… 62
5.3.3 最大额定电流特性 …… 62
5.3.4 静电放电（ESD） …… 63
5.3.5 静态栓锁（LU） …… 63
5.4 片上存储器 …… 63
5.4.1Flash 特性 …… 63
5.5 时钟 …… 64
5.5.1 外部时钟源特性 …… 64
5.5.2 内部时钟源特性 …… 65
5.5.3PLL 特性 …… 65
5.6 电源与电源管理 …… 66
5.6.1 内嵌复位和电源控制模块特性测试 …… 66
5.7 功耗 …… 67
5.7.1 功耗测试环境 …… 67
5.7.2 运行模式功耗 …… 68
5.7.3 睡眠模式功耗 …… 71
5.7.4 停机模式功耗 …… 72
5.7.5 待机模式功耗 …… 72
5.7.6 外设功耗 …… 72
5.7.7 备份域功耗 …… 74
5.8 低功耗模式唤醒时间 …… 75
5.9I/O 端口特性 …… 75
5.10NRST 引脚特性 …… 77
5.11 通信外设 …… 78
5.11.1I2C 外设特性 …… 78
5.11.2SPI 外设特性 …… 79
5.12 模拟外… …… 81
5.12.1ADC …… 81

5.12.2DAC …… 83
6 封装信息 …… 84
6.1LQFP176 封装信息 …… 84
6.2LQFP144 封装信息 …… 86
6.3LQFP100 封装信息 …… 89
6.4LQFP64 封装信息 …… 91
6.5BGA176 封装信息 …… 93
7 包装信息 …… 95
7.1 带状包装 …… 95
7.2 托盘包装 …… 96
8 订货信息 …… 98
9 常用功能模块命名 …… 100

2 产品信息

TD32F407VET6-TD产品功能和外设配置请参阅下表。

表格 1 TD32F407VET6-TD系列芯片功能和外设

产品		32F407									32F405		
型号		RETx	RGTx	VETx	VGTx	ZETx	ZGTx	IETx	IGTx	IGH6	RGTx	VGTx	ZGTx
封装		LQFP64		LQFP100		LQFP144		LQFP176		BGA176	LQFP64	LQFP100	LQFP144
内核及最大工作频率		Arm®32-bit Cortex®-M4F@168MHz											
工作电压		1.8~3.6V											
Flash(KB)		512	1024	512	1024	512	1024	512	1024		1024		
系统+备份 SRAM(KB)		192+4											
SMC		0		1							0	1	
DMC		0						1			0		
GPIOs		51		82		114		140			51	82	114
通信接口	USART/UART	4/2											
	SPI/I2S	3/2											
	I2c	3											
	OTG_FS	1											
	OTG_HS	2											
	CAN	2											
	Ethernet	0		1							0		
	SDIO	1											
定时器	16 位高级	2											
	32 位通用	2											
	16 位通用	8											
	16 位基本	2											

产品		32F407				32F405	
	系统滴答定时器	1					
	看门狗	2					
实时时钟		1					
DCI		0	1			0	
RNG		1					
12 位 ADC	单元	3					
	通道	16		24		16	24
12 位 DAC	单元	2					
	通道	2					
工作温度		环境温度：- 40℃至 85℃/-40℃至 105℃ 结温度：- 40℃至 105℃/-40℃至 125℃					

注：x=6 时,环境温度为-40℃至 85℃,结温度为-40℃至 105℃;

x=7 时,环境温度为-40℃至 105℃,结温度为-40℃至 125℃。

3 引脚信息

3.1 引脚分布

图 1 TD32F407VET6-TD系列 LQFP176引脚分布图

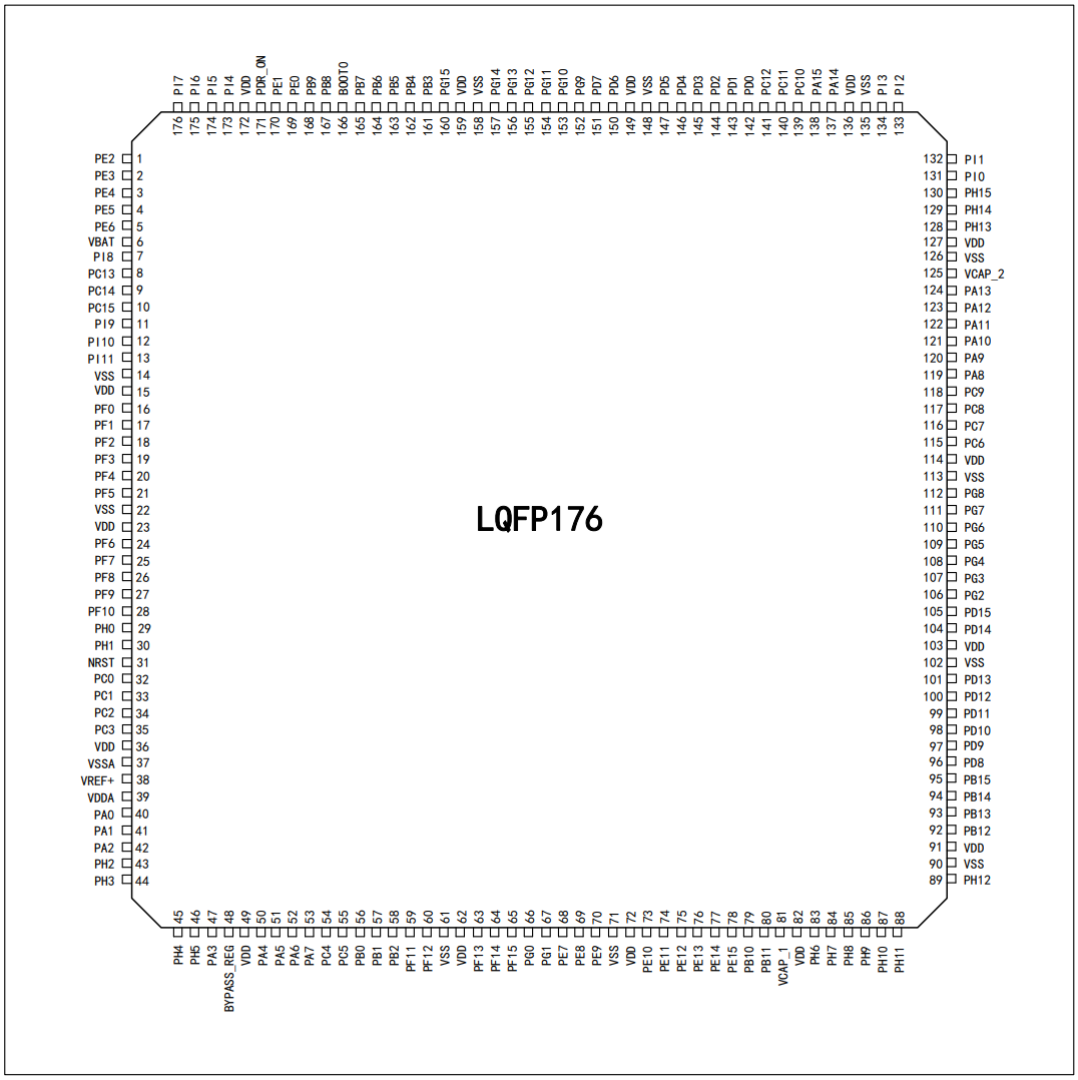


图 2 TD32F407VET6-TD系列LQFP144引脚分布图

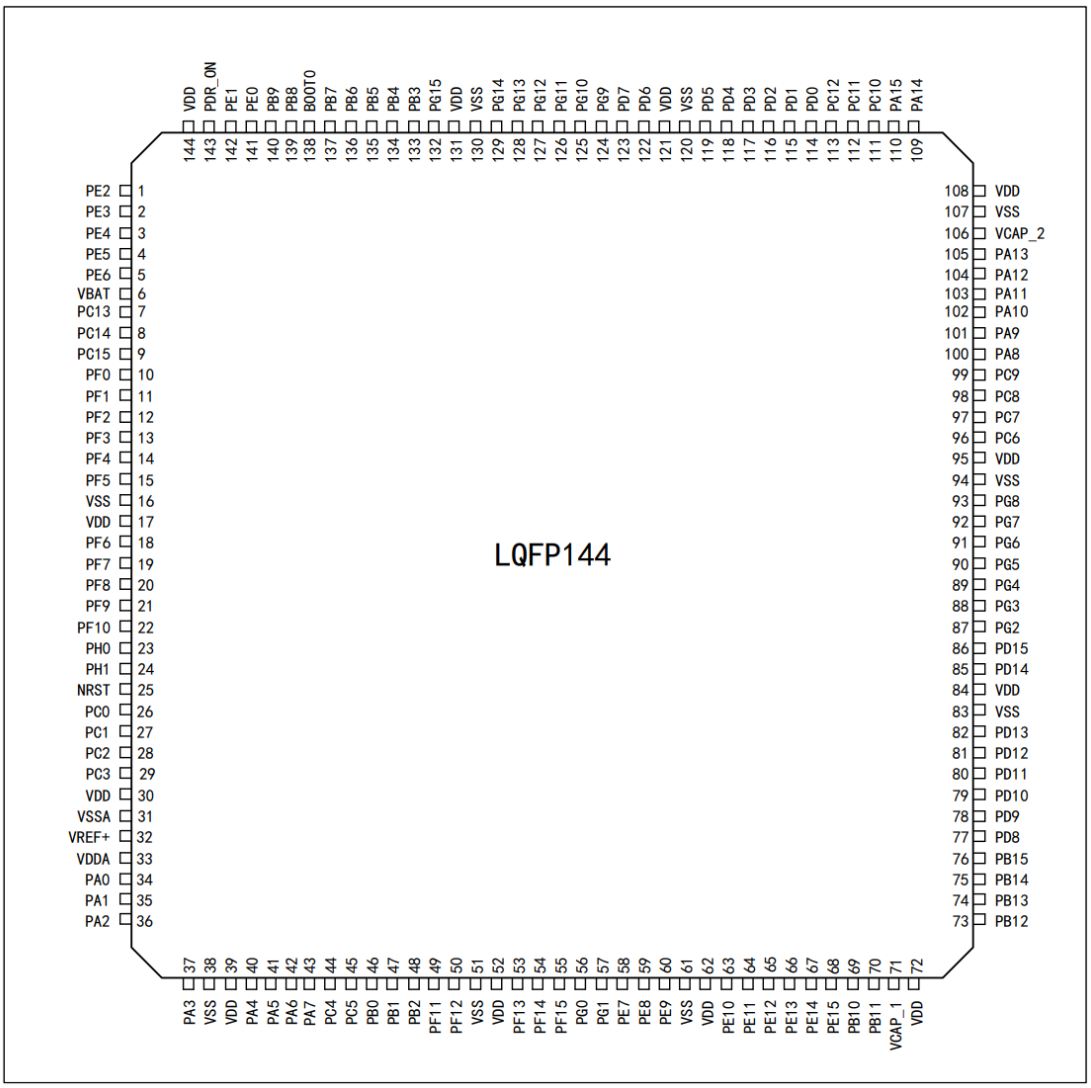


图 3 TD32F407VET6-TD系列LQFP100 引脚分布图

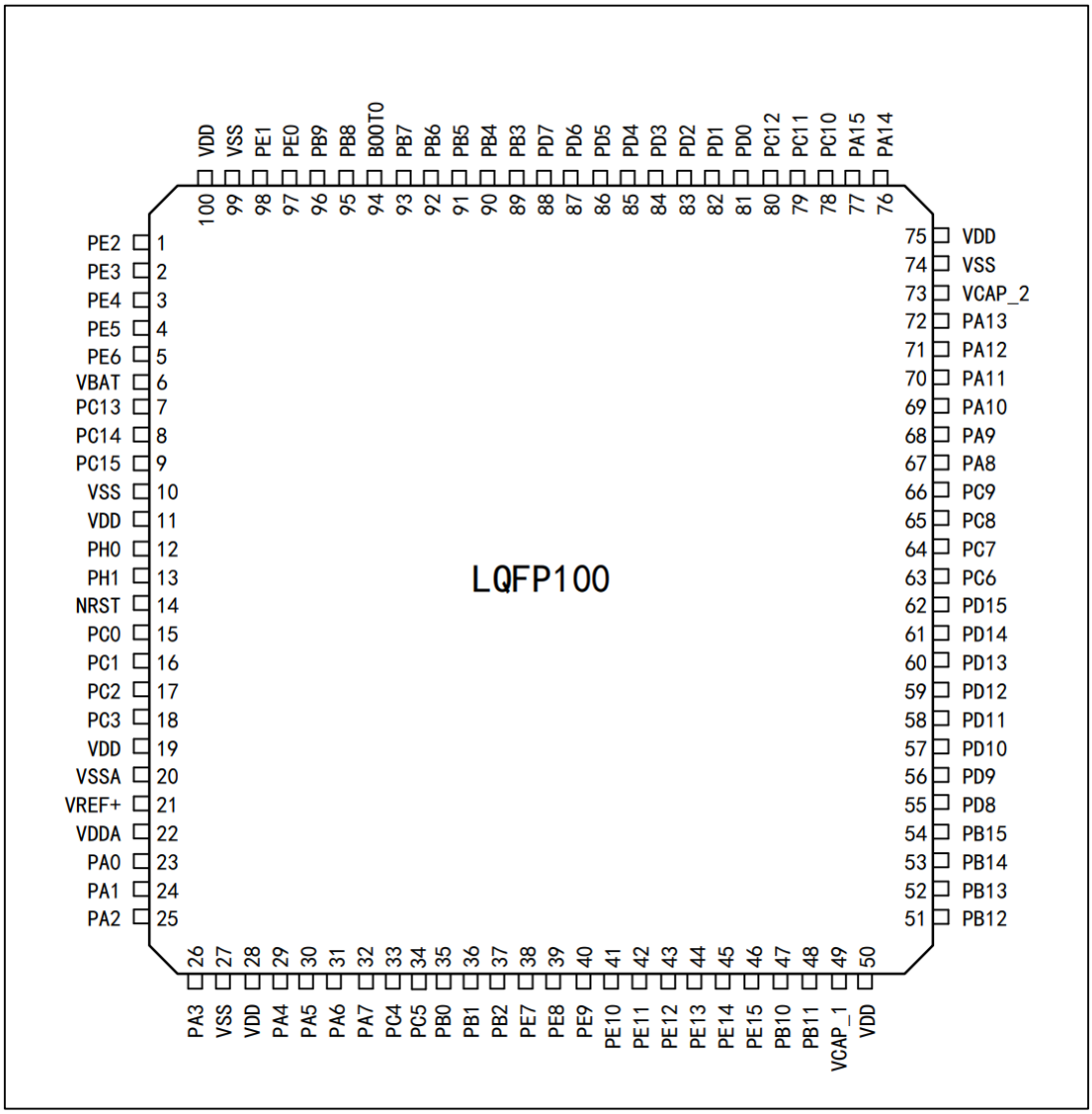


图 4 TD32F407VET6-TD系列 LQFP64引脚分布图

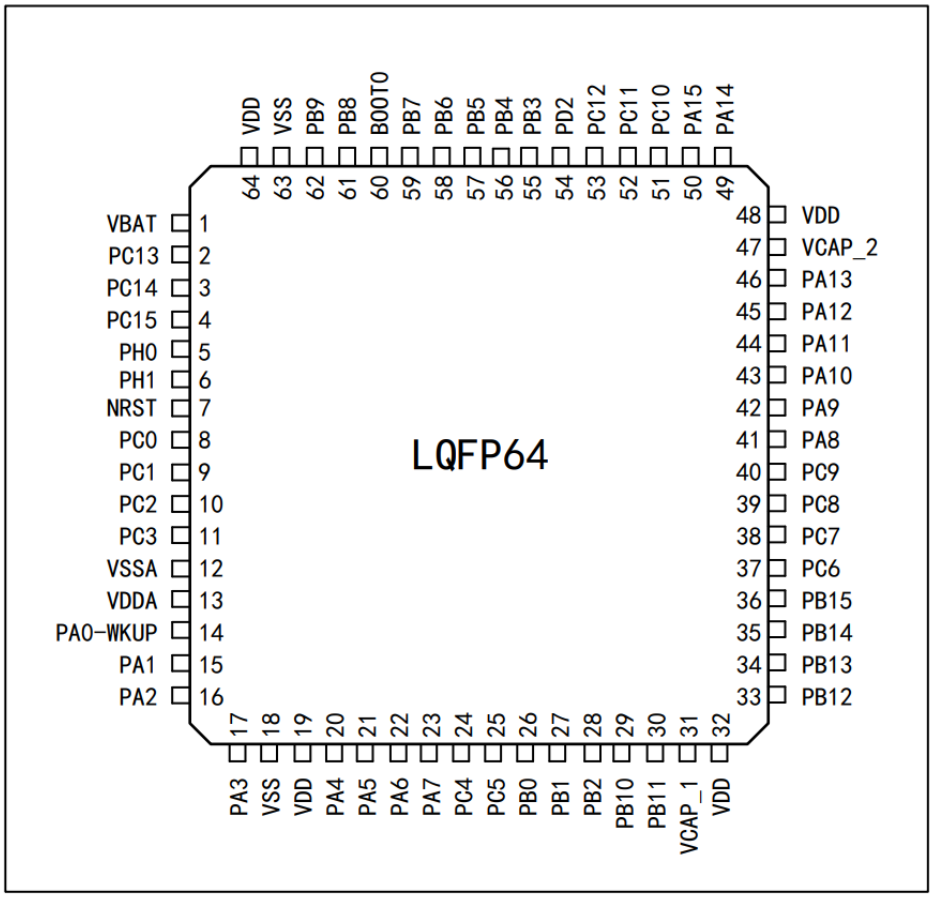


图 5 TD32F407VET6-TD系列 BGA176 引脚分布图

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
A	PE3	PE2	PE1	PE0	PB8	PB5	PG14	PG13	PB4	PB3	PD7	PC12	PA15	PA14	PA13
B	PE4	PE5	PE6	PB9	PB7	PB6	PG15	PG12	PG11	PG10	PD6	PD0	PC11	PC10	PA12
C	VBAT	PI7	PI6	PI5	VDD	PDR_ON	VDD	VDD	VDD	PG9	PD5	PD1	PI3	PI2	PA11
D	PC13	PI8	PI9	PI4	VSS	BOOT0	VSS	VSS	VSS	PD4	PD3	PD2	PH15	PI1	PA10
E	PC14	PF0	PI10	PI11								PH13	PH14	PI0	PA9
F	PC15	VSS	VDD	PH2		vs S	vss	vss	vss	vss		VSS	VCAP_2	PC9	PA8
G	PH0	VSS	VDD	PH3		VSS	VSS	VSS	VSS	VSS		VSS	VDD	PC8	PC7
H	PH1	PF2	PF1	PH4		VSS	VSS	VSS	VSS	VSS		VSS	VDD	PG8	PC6
J	NRST	PF3	PF4	PH5		VSS	VSS	vs S	vs S	VSS		VDD	VDD	PG7	PG6
K	PF7	PF6	PF5	VDD		VSS	VSS	VSS	VSS	VSS		PH12	PG5	PG4	PG3
L	PF10	PF9	PF8	BYPASS_RE|G								PH11	PH10	PD15	PG2
M	VSSA	PC0	PC1	PC2	PC3	PB2	PG1	VSS	VSS	VCAP_1	PH6	PH8	PH9	PD14	PD13
N	VREF-	PA1	PA0	PA4	PC4	PF13	PG0	VDD	VDD	VDD	PE13	PH7	PD12	PD11	PD10
P	VREF+	PA2	PA6	PA5	PC5	PF12	PF15	PE8	PE9	PE11	PE14	PB12	PB13	PD9	PD8
R	VDDA	PA3	PA7	PB1	PB0	PF11	PF14	PE7	PE10	PE12	PE15	PB10	PB11	PB14	PB15

3.2 引脚功能描述

表格 2 输出引脚表中使用的图例/缩写

名称		缩写	定义
引脚名称		除非引脚名称下方的括号中另有规定，否则复位期间和复位后的引脚功能与实际引脚名称相同	
引脚类型		P	电源引脚
		I	仅输入引脚
		I/O	I/O 引脚
I/O 结构		5T	5V 容忍 I/O
		STDA	3.3V 标准、直接连接到 ADC 的 I/O
		STD	3.3V 标准 I/O
		B	专用 Boot0 引脚
		RST	内置上拉电阻的双向复位引脚
注意		除非注释另有规定，否则复位期间和复位后，所有 I/O 都设置为浮空输入	
引脚功能	默认复用功能	通过外设寄存器直接选择/启用此功能	
	重定义功能	通过 AFIO 的重映射寄存器选择此功能	

表格 3　TD32F407VET6-TD按引脚序号排序描述

名称 (复位后的功能)	类型	结构	复用功能	附加功能	LQFP64	LQFP100	LQFP144	LQFP176	BGA176
PE2	I/O	5T	TRACECK, SMC_A23, ETH_MII_TXD3,EVENTOUT	-	-	1	1	1	A2
PE3	I/O	5T	TRACEDO,SMC_A19,EVENTOUT	-	-	2	2	2	A1
PE4	I/O	5T	TRACED1,SMC_A20, DCI_D4, EVENTOUT	-	-	3	3	3	B1
PE5	I/O	5T	TRACED2,SMC_A21,TMR9_CH1, DCI_D6, EVENTOUT	-	-	4	4	4	B2
PE6	I/O	5T	TRACED3,SMC_A22,TMR9_CH2, DCI_D7, EVENTOUT	-	-	5	5	5	B3
VBAT	P	-	-	-	1	6	6	6	C1
PI8	I/O	5T	EVENTOUT,DMC_CAS	RTC_TAMP1,RTC_TAMP2,RTC_TS	-	-	-	7	D2
PC13	I/O	5T	EVENTOUT	RTC_OUT,RTC_TAMP1,RTC_TS	2	7	7	8	D1
PC14-OSC32_IN(PC14)	I/O	5T	EVENTOUT	OSC32_IN	3	8	8	9	E1
PC15-OSC32_OUT(PC15)	I/O	5T	EVENTOUT	OSC32_OUT	4	9	9	10	F1
PI9	I/O	5T	CAN1_RX,EVENTOUT,DMC_RAS	-	-	-	-	11	D3
PI10	I/O	5T	ETH_MII_RX_ER, EVENTOUT, DMC_CS	-	-	-	-	12	E3
PI11	I/O	5T	OTG_HS_ULPI_DIR,	-	-	-	-	13	E4

名称 (复位后的功能)	类型	结构	复用功能	附加功能	LQFP64	LQFP100	LQFP144	LQFP176	BGA176
			EVENTOUT, DMC_BA						
Vss	P	–	–	–				14	F2
VDD	P	–	–	–	–			15	F3
PF0	I/O	5T	SMC_A0, DMC_A10, I2C2_SDA, EVENTOUT	–	–	–	10	16	E2
PF1	I/O	5T	SMC_A1, DMC_A0, I2C2_SCL, EVENTOUT	–	–	–	11	17	H3
PF2	I/O	5T	SMC_A2, DMC_A1, I2C2_SMBAI, EVENTOUT	–	–	–	12	18	H2
PF3	I/O	5T	SMC_A3, DMC_A2, EVENTOUT	ADC3_IN9	–	–	13	19	J2
PF4	I/O	5T	SMC_A4, DMC_A3, EVENTOUT	ADC3_IN14	–	–	14	20	J3
PF5	I/O	5T	SMC_A5, EVENTOUT	ADC3_IN15	–	–	15	21	K3
Vss	P		–	–	–	10	16	22	G2
VDD	P	–	–	–	–	11	17	23	G3
PF6	I/O	5T	TMR10_CH1, SMC_NIORD, DMC_A4, EVENTOUT	ADC3_IN4	–	–	18	24	K2
PF7	I/O	5T	TMR11_CH1, SMC_NREG, DMC_A5, EVENTOUT	ADC3_IN5	–	–	19	25	K1
PF8	I/O	5T	TMR13_CH1, SMC_NIOWR, DMC_A6, EVENTOUT	ADC3_IN6	–	–	20	26	L3
PF9	I/O	5T	TMR14_CH1,	ADC3_IN7	–	–	21	27	L2

名称 （复位后的功能）	类型	结构	复用功能	附加功能	LQFP64	LQFP100	LQFP144	LQFP176	BGA176
			SMC_CD, DMC_A7 EVENTOUT						
PF10	I/O	5T	SMC_INTR, DMC_A8 EVENTOUT	ADC3_IN8	-	-	22	28	L1
PH0-OSC_IN (PH0)	I/O	5T	EVENTOUT	OSC_IN	5	12	23	29	G1
PH1-OSC_OUT (PH1)	I/O	5T	EVENTOUT	OSC_OUT	6	13	24	30	H1
NRST	I/O	RST	-	-	7	14	25	31	J1
PC0	I/O	5T	OTG_HS_ULPI_STP, EVENTOUT	ADC123_IN10	8	15	26	32	M2
PC1	I/O	5T	ETH_MDC, EVENTOUT	ADC123_IN11	9	16	27	33	M3
PC2	I/O	5T	SPI2_MISO, OTG_HS_ULPI_DIR, ETH_MII_TXD2, I2S2ext_SD, EVENTOUT	ADC123_IN12	10	17	28	34	M4
PC3	I/O	5T	SPI2_MOSI, I2S2_SD, OTG_HS_ULPI_NXT, ETH_MII_TX_CLK, EVENTOUT	ADC123_IN13	11	18	29	35	M5
VDD	P			-	-	19	30	36	-
VSSA	P			-	12	20	31	37	M1
VREF-	P			-	-	-	-	-	N1
VREF+	P			-	-	21	32	38	P1
VDDA	P			-	13	22	33	39	R1
PA0-WKUP (PA0)	I/O	5T	USART2_CTS, UART4_TX, ETH_MII_CRS, TMR2_CH1_ETR, TMR5_CH1, TMR8_ETR, EVENTOUT	WKUP, ADC123_IN0	14	23	34	40	N3
PA1	I/O	5T	USART2_RTS,	ADC123_IN1	15	24	35	41	N2

名称 (复位后的功能)	类型	结构	复用功能	附加功能	LQFP64	LQFP100	LQFP144	LQFP176	BGA176
			UART4_RX, ETH_RMII_REF_CLK,ETH_MII_RX_CLK, TMR5_CH2, TMR2_CH2, EVENTOUT						
PA2	I/O	5T	USART2_TX,TMR5_CH3,TMR9_CH1,TMR2_CH3,ETH_MDIO,EVENTOUT	ADC123_IN2	16	25	36	42	P2
PH2	I/O	5T	ETH_MII_CRS,EVENTOUT					43	F4
PH3	I/O	5T	ETH_MII_COL,EVENTOUT,DMC_A9	-	-	-		44	G4
PH4	I/O	5T	I2C2_SCL, OTG_HS_ULPI_NXT,EVENTOUT	-	-	-	-	45	H4
PH5	I/O	5T	I2C2_SDA,EVENTOUT	-	-	-	-	46	J4
PA3	I/O	5T	USART2_RX, TMR5_CH4, TMR9_CH2, TMR2_CH4· OTG_HS_ULPI_DO, ETH_MII_COL, EVENTOUT, DMC_CKE	ADC123_IN3	17	26	37	47	R2
Vss	P	-	-	-	18	27	38	-	-
BYPASS_REG	I	5T	-	-	-	-	-	48	L4
VDD	P	-		-	19	28	39	49	K4
PA4	I/O	STDA	SPI1_NSS, SPI3_NSS, USART2_CK,DCI_HSYNC,OTG_HS_SOF,I2S3_WS,	DAC_OUT1,ADC12_IN4	20	29	40	50	N4

名称 （复位后的功能）	类型	结构	复用功能	附加功能	LQFP64	LQFP100	LQFP144	LQFP176	BGA176
			EVENTOUT						
PA5	I/O	STDA	SPI1_SCK, OTG_HS_ULPI_CK,TMR2_CH1_ETR, TMR8_CH1N, EVENTOUT	DAC_OUT2,ADC12_IN5	21	30	41	51	P4
PA6	I/O	5T	SPI1_MISO,TMR8_BKIN,TMR13_CH1,DCI_PIXCLK,TMR3_CH1,TMR1_BKIN,EVENTOUT	ADC12_IN6	22	31	42	52	P3
PA7	I/O	5T	SPI1_MOSI, TMR8_CH1N, TMR14_CH1, TMR3_CH2, ETH_MII_RX_DV, TMR1_CH1N, ETH_RMII_CRS_DV,EVENTOUT	ADC12_IN7	23	32	43	53	R3
PC4	I/O	5T	ETH_RMII_RX_D0,ETH_MII_RX_D0,EVENTOUT	ADC12_IN14	24	33	44	54	N5
PC5	I/O	5T	ETH_RMII_RX_D1,ETH_MII_RX_D1,EVENTOUT	ADC12_IN15	25	34	45	55	P5
PB0	I/O	5T	TMR3_CH3 TMR8_CH2N, OTG_HS_ULPI_D1,ETH_MII_RXD2, TMR1_CH2N, EVENTOUT	ADC12_IN8	26	35	46	56	R5
PB1	I/O	5T	TMR3_CH4 TMR8_CH3N, OTG_HS_ULPI_D2,ETH_MII_RXD3, TMR1_CH3N, EVENTOUT	ADC12_IN9	27	36	47	57	R4
PB2-BOOT1	I/O	5T	EVENTOUT		28	37	48	58	M6

名称 （复位后的功能）	类型	结构	复用功能	附加功能	LQFP64	LQFP100	LQFP144	LQFP176	BGA176
(PB2)									
PF11	I/O	5T	DCI_D12, EVENTOUT, DMC_UDQM	-	-	-	49	59	R6
PF12	I/O	5T	SMC_A6, EVENTOUT	-	-	-	50	60	P6
Vss	P	-	-	-	-	-	51	61	M8
VDD	P	-	-	-	-	-	52	62	N8
PF13	I/O	5T	SMC_A7, EVENTOUT	-	-	-	53	63	N6
PF14	I/O	5T	SMC_A8, EVENTOUT	-	-	-	54	64	R7
PF15	I/O	5T	SMC_A9, EVENTOUT	-	-	-	55	65	P7
PG0	I/O	5T	SMC_A10, EVENTOUT	-	-	-	56	66	N7
PG1	I/O	5T	SMC_A11, DMC_CK, EVENTOUT	-	-	-	57	67	M7
PE7	I/O	5T	SMC_D4, TMR1_ETR, EVENTOUT	-	-	38	58	68	R8
PE8	I/O	5T	SMC_D5, TMR1_CH1N, EVENTOUT	-	-	39	59	69	P8
PE9	I/O	5T	SMC_D6, TMR1_CH1, EVENTOUT	-	-	40	60	70	P9
Vss	P	-	-	-	-	-	61	71	M9
VDD	P	-	-	-	-	-	62	72	N9
PE10	I/O	5T	SMC_D7, TMR1_CH2N, EVENTOUT	-	-	41	63	73	R9
PE11	I/O	5T	SMC_D8, TMR1_CH2, EVENTOUT	-	-	42	64	74	P10
PE12	I/O	5T	SMC_D9, TMR1_CH3N, EVENTOUT	-	-	43	65	75	R10

名称 （复位后的功能）	类型	结构	复用功能	附加功能	LQFP64	LQFP100	LQFP144	LQFP176	BGA176
PE13	I/O	5T	SMC_D10, TMR1_CH3, EVENTOUT	-	-	44	66	76	N11
PE14	I/O	5T	SMC_D11, TMR1_CH4, EVENTOUT	-	-	45	67	77	P11
PE15	I/O	5T	SMC_D12, TMR1_BKIN, EVENTOUT	-	-	46	68	78	R11
PB10	I/O	5T	SPI2_SCK, I2S2_CK, I2C2_SCL, USART3_TX · OTG_HS_ULPI_D3, ETH_MII_RX_ER, TMR2_CH3, EVENTOUT		29	47	69	79	R12
PB11	I/O	5T	I2C2_SDA, USART3_RX, OTG_HS_ULPI_D4, ETH_RMII_TX_EN, ETH_MII_TX_EN, TMR2_CH4, EVENTOUT	-	30	48	70	80	R13
VcAP_1	P		-	-	31	49	71	81	M10
VDD	P	-	-	-	32	50	72	82	N10
PH6	I/O	5T	I2C2_SMBAI, TMR12_CH1, ETH_MII_RXD2, EVENTOUT	-	-	-	-	83	M11
PH7	I/O	5T	I2C3_SCL, ETH_MII_RXD3, EVENTOUT	-	-	-	-	84	N12
PH8	I/O	5T	I2C3_SDA, DCI_HSYNC, EVENTOUT, DMC_DQ8	-	-	-	-	85	M12
PH9	I/O	5T	I2C3_SMBAI, TMR12_CH2, DCI_D0,	-	-	-	-	86	M13

名称 （复位后的功能）	类型	结构	复用功能	附加功能	LQFP64	LQFP100	LQFP144	LQFP176	BGA176
			EVENTOUT						
PH10	I/O	5T	TMR5_CH1, DCI_D1, EVENTOUT,DMC_DQ9	-	-	-	-	87	L13
PH11	I/O	5T	TMR5_CH2, DCI_D2, EVENTOUT	-	-	-	-	88	L12
PH12	I/O	5T	TMR5_CH3, DCI_D3, EVENTOUT	-	-	-	-	89	K12
Vss	P	-	-	-	-	-	-	90	H12
VDD	P	-	-	-	-	-	-	91	J12
PB12	I/O	5T	SPI2_NSS, I2S2_WS, I2C2_SMBAI, USART3_CK, TMR1_BKIN, CAN2_RX, OTG_HS_ULPI_D5,ETH_RMII_TXD0,ETH_MII_TXD0, OTG_HS_ID, EVENTOUT		33	51	73	92	P12
PB13	I/O	5T	SPI2_SCK, I2S2_CK, USART3_CTS, TMR1_CH1N, CAN2_TX, OTG_HS_ULPI_D6,ETH_RMII_TXD1,ETH_MII_TXD1,EVENTOUT	OTG_HS_VBUS	34	52	74	93	P13
PB14	I/O	5T	SPI2_MISO,TMR1_CH2N,TMR12_CH1,OTG_HS_DM,USART3_RTS,TMR8_CH2N,I2S2ext_SD,		35	53	75	94	R14

名称 （复位后的功能）	类型	结构	复用功能	附加功能	LQFP64	LQFP100	LQFP144	LQFP176	BGA176
			EVENTOUT						
PB15	I/O	5T	SPI2_MOSI, I2S2_SD, TMR1_CH3N, TMR8_CH3NTMR12_CH2, OTG_HS_DP, EVENTOUT	RTC_REFIN	36	54	76	95	R15
PD8	I/O	5T	SMC_D13, USART3_TX, EVENTOUT	-	-	55	77	96	P15
PD9	I/O	5T	SMC_D14, USART3_RX, EVENTOUT	-	-	56	78	97	P14
PD10	I/O	5T	SMC_D15, DMC_DQ10USART3_CK, EVENTOUT	-	-	57	79	98	N15
PD11	I/O	5T	SMC_CLE, SMC_A16, USART3_CTS, EVENTOUT	-	-	58	80	99	N14
PD12	I/O	5T	SMC_ALE, SMC_A17, DMC_DQ11, TMR4_CH1, USART3_RTS, EVENTOUT	-	-	59	81	100	N13
PD13	I/O	5T	SMC_A18, DMC_DQ12TMR4_CH2, EVENTOUT	-	-	60	82	101	M15
Vss	P		-	-	-		83	102	-
VDD	P		-	-	-	-	84	103	J13
PD14	I/O	5T	SMC_D0, DMC_DQ13, TMR4_CH3, EVENTOUT	-	-	61	85	104	M14
PD15	I/O	5T	SMC_D1,	-	-	62	86	105	L14

名称 (复位后的功能)	类型	结构	复用功能	附加功能	LQFP64	LQFP100	LQFP144	LQFP176	BGA176
			DMC_DQ14, TMR4_CH4, EVENTOUT						
PG2	I/O	5T	SMC_A12, DMC_DQ15, EVENTOUT	-	-	-	87	106	L15
PG3	I/O	5T	SMC_A13, DMC_DQ0, EVENTOUT	-	-	-	88	107	K15
PG4	I/O	5T	SMC_A14, DMC_DQ1, EVENTOUT	-	-	-	89	108	K14
PG5	I/O	5T	SMC_A15, DMC_DQ2, EVENTOUT	-	-	-	90	109	K13
PG6	I/O	5T	SMC_INT2, DMC_DQ3EVENTOUT	-	-	-	91	110	J15
PG7	I/O	5T	SMC_INT3, USART6_CK, EVENTOUT	-	-	-	92	111	J14
PG8	I/O	5T	DMC_DQ4 USART6_RTS, ETH_PPS_OUT, EVENTOUT	-	-	-	93	112	H14
Vss	P	-	-	-	-	-	94	113	G12
VDD	P	-	-	-	-	-	95	114	H13
PC6	I/O	5T	I2S2_MCK, TMR8_CH1, SDIO_D6, USART6_TX, DCI_D0, TMR3_CH1, EVENTOUT	-	37	63	96	115	H15
PC7	I/O	5T	I2S3_MCK, TMR8_CH2, SDIO_D7, USART6_RX, DCI_D1, TMR3_CH2,		38	64	97	116	G15

名称 (复位后的功能)	类型	结构	复用功能	附加功能	LQFP64	LQFP100	LQFP144	LQFP176	BGA176
			EVENTOUT						
PC8	I/O	5T	TMR8_CH3, SDIO_D0, TMR3_CH3,USART6_CK, DCI_D2, EVENTOUT		39	65	98	117	G14
PC9	I/O	5T	I2S_CKIN, MCO2, TMR8_CH4,SDIO_D1,I2C3_ SDA, DCI_D3, TMR3_CH4,EVENTOUT		40	66	99	118	F14
PA8	I/O	5T	USART1_CK,TMR1_CH1, MCO, I2C3_SCL, OTG_FS_SOF,EVENTOUT		41	67	100	119	F15
PA9	I/O	5T	USART1_TX,TMR1_CH2,I2C 3_SMBAI, DCI_D0, EVENTOUT	OTG_FS_VBUS	42	68	101	120	E15
PA10	I/O	5T	USART1_RX,TMR1_CH3,OTG _FS_ID, DCI_D1, EVENTOUT	-	43	69	102	121	D15
PA11	I/O	5T	USART1_CTS, CAN1_RX, TMR1_CH4,OTG_FS_DM,EVE NTOUT	-	44	70	103	122	C15
PA12	I/O	5T	USART1_RTS, CAN1_TX, TMR1_ETR,OTG_FS_DP,	-	45	71	104	123	B15

名称 （复位后的功能）	类型	结构	复用功能	附加功能	LQFP64	LQFP100	LQFP144	LQFP176	BGA176
			EVENTOUT						
PA13 （JTMS-SWDIO）	I/O	5T	JTMS-SWDIO, EVENTOUT	PA13	46	72	105	124	A15
VcAP_2	P		-	-	47	73	106	125	F13
Vss	P			-	-	74	107	126	F12
VDD	P			-	48	75	108	127	G13
PH13	I/O	5T	TMR8_CH1N, CAN1_TX, EVENTOUT, DMC_DQ5	-	-	-	-	128	E12
PH14	I/O	5T	TMR8_CH2N, DCI_D4, EVENTOUT	-	-	-	-	129	E13
PH15	I/O	5T	TMR8_CH3N, DCI_D11, EVENTOUT, DMC_DQ6	-	-	-	-	130	D13
PI0	I/O	5T	TMR5_CH4, SPI2_NSS, I2S2_WS, DCI_D13, EVENTOUT		-	-	-	131	E14
PI1	I/O	5T	SPI2_SCK, I2S2_CK, DCI_D8, EVENTOUT	-	-	-	-	132	D14
PI2	I/O	5T	TMR8_CH4, SPI2_MISO, DCI_D9, I2S2ext_SD, EVENTOUT		-	-	-	133	C14
PI3	I/O	5T	TMR8_ETR, SPI2_MOSI, I2S2_SD, DCI_D10, EVENTOUT, DMC_DQ7		-	-		134	C13
Vss	P		-	-	-	-		135	D9
VDD	P			-	-	-	-	136	C9

名称 (复位后的功能)	类型	结构	复用功能	附加功能	LQFP64	LQFP100	LQFP144	LQFP176	BGA176
PA14 (JTCK/SWCLK)	I/O	5T	JTCK-SWCLK, EVENTOUT	-	49	76	109	137	A14
PA15 (JTDI)	I/O	5T	JTDI, SPI3_NSS, I2S3_WS, TMR2_CH1_ETR, SPI1_NSS, EVENTOUT		50	77	110	138	A13
PC10	I/O	5T	SPI3_SCK, I2S3_CK, UART4_TX, SDIO_D2, DCI_D8, USART3_TX, EVENTOUT		51	78	111	139	B14
PC11	I/O	5T	UART4_RX, SPI3_MISO, SDIO_D3, DCI_D4, USART3_RX, I2S3ext_SD, EVENTOUT		52	79	112	140	B13
PC12	I/O	5T	UART5_TX, SDIO_CK, DCI_D9, SPI3_MOSI, I2S3_SD, USART3_CK, EVENTOUT	-	53	80	113	141	A12
PD0	I/O	5T	SMC_D2, CAN1_RX, EVENTOUT	-	-	81	114	142	B12
PD1	I/O	5T	SMC_D3, CAN1_TX, EVENTOUT	-	-	82	115	143	C12
PD2	I/O	5T	TMR3_ETR, UART5_RX, SDIO_CMD, DCI_D11, EVENTOUT		54	83	116	144	D12

名称 （复位后的功能）	类型	结构	复用功能	附加功能	LQFP64	LQFP100	LQFP144	LQFP176	BGA176
PD3	I/O	5T	SMC_CLK, USART2_CTS, EVENTOUT	-	-	84	117	145	D11
PD4	I/O	5T	SMC_NOE, USART2_RTS, EVENTOUT	-	-	85	118	146	D10
PD5	I/O	5T	SMC_NWE, USART2_TX, EVENTOUT	-	-	86	119	147	C11
Vss	P	-	-	-	-	-	120	148	D8
VDD	P	-	-	-	-	-	121	149	C8
PD6	I/O	5T	SMC_NWAIT, USART2_RX, EVENTOUT	-	-	87	122	150	B11
PD7	I/O	5T	SMC_NE1, SMC_NCE2, USART2_CK, EVENTOUT	-	-	88	123	151	A11
PG9	I/O	5T	SMC_NE2, SMC_NCE3, USART6_RX, EVENTOUT	-	-	-	124	152	C10
PG10	I/O	5T	SMC_NCE4_1, SMC_NE3, EVENTOUT	-	-	-	125	153	B10
PG11	I/O	5T	SMC_NCE4_2, ETH_MII_TX_EN, ETH_RMII_TX_EN, EVENTOUT	-	-	-	126	154	B9
PG12	I/O	5T	SMC_NE4, USART6_RTS, EVENTOUT	-	-	-	127	155	B8
PG13	I/O	5T	SMC_A24, USART6_CTS, ETH_MII_TXD0, ETH_RMII_TXD0, EVENTOUT	-	-	-	128	156	A8
PG14	I/O	5T	SMC_A25, USART6_TX, ETH_MII_TXD1,	-	-	-	129	157	A7

名称 （复位后的功能）	类型	结构	复用功能	附加功能	LQFP64	LQFP100	LQFP144	LQFP176	BGA176
			ETH_RMII_TXD1,EVENTOUT						
Vss	P	-	-	-			130	158	D7
VDD	P	-	-	-	-	-	131	159	C7
PG15	I/O	5T	DMC_LDQM,USART6_CTS, DCI_D13, EVENTOUT	-	-	-	132	160	B7
PB3 （JTDO/TRACESWO）	I/O	5T	JTDO, TRACESWO,SPI3_SCK, I2S3_CK, TMR2_CH2,SPI1_SCK,EVEN TOUT		55	89	133	161	A10
PB4 （NJTRST）	I/O	5T	NJTRST, SPI3_MISO,TMR3_CH1,SPI 1_MISO,I2S3ext_SD,EVEN TOUT		56	90	134	162	A9
PB5	I/O	5T	I2C1_SMBAI, CAN2_RX, OTG_HS_ULPI_D7,ETH_PPS _OUT, TMR3_CH2, SPI1_MOSI, SPI3_MOSI, DCI_D10, I2S3_SD, EVENTOUT		57	91	135	163	A6
PB6	I/O	5T	I2C1_SCL,TMR4_CH1,CAN2 _TX, DCI_D5, USART1_TX,EVENTOUT		58	92	136	164	B6
PB7	I/O	5T	I2C1_SDA, SMC_NL, DCI_VSYNC,	-	59	93	137	165	B5

名称 （复位后的功能）	类型	结构	复用功能	附加功能	LQFP64	LQFP100	LQFP144	LQFP176	BGA176
			USART1_RX, TMR4_CH2, EVENTOUT						
BOOT0	I	B	-	Vpp	60	94	138	166	D6
PB8	I/O	5T	TMR4_CH3, SDIO_D4, TMR10_CH1, DCI_D6, ETH_MII_TXD3, I2C1_SCL, CAN1_RX, EVENTOUT		61	95	139	167	A5
PB9	I/O	5T	SPI2_NSS, I2S2_WS, TMR4_CH4, TMR11_CH1, SDIO_D5, DCI_D7, I2C1_SDA, CAN1_TX, EVENTOUT		62	96	140	168	B4
PE0	I/O	5T	TMR4_ETR, SMC_NBL0, DCI_D2, EVENTOUT	-	-	97	141	169	A4
PE1	I/O	5T	SMC_NBL1, DCI_D3, EVENTOUT	-	-	98	142	170	A3
Vss	P	-	-	-	63	99	-	-	D5
PDR_ON	I	5T	-	-	-	-	143	171	C6
VDD	P	-	-	-	64	100	144	172	C5
PI4	I/O	5T	TMR8_BKIN, DCI_D5, EVENTOUT	-	-	-	-	173	D4
PI5	I/O	5T	TMR8_CH1, DCI_VSYNC, EVENTOUT	-	-	-	-	174	C4
PI6	I/O	5T	TMR8_CH2, DCI_D6,	-	-	-	-	175	C3

名称 (复位后的功能)	类型	结构	复用功能	附加功能	LQFP64	LQFP100	LQFP144	LQFP176	BGA176
			EVENTOUT						
PI7	I/O	5T	TMR8_CH3, DCI_D7, EVENTOUT,DMC_WE					176	C2

注：

(1)PC13、PC14 和 PC15 通过电源开关供电。由于开关仅吸收有限的电流(3 毫安)，因此在输出模式下 GPIO 的 PC13 至 PC15 的使用受到限制：

① 大负载为 30pF 时,速度不应超过 2MHz;

② 不用作电流源(例如驱动发光二极管)。

3.3 GPIO 复用功能配置

表格 4 GPIOA 复用功能配置

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PA0	-	TMR2_CH1_ETR	TMR5_CH1	TMR8_ETR	-	-	-	USART2_CTS	UART4_TX	-	-	ETH_MII_CRS	-	-	-	EVENTOUT
PA1	-	TMR2_CH2	TMR5_CH2	-	-	-	-	USART2_RTS	UART4_RX	-	-	ETH_MII_RX CLK ETH_RMII_REF_CLK	-	-	-	EVENTOUT
PA2	-	TMR2_CH3	TMR5_CH3	TMR9_CH1	-	-	-	USART2_TX	-	-	-	ETH_MDIO	-	-	-	EVENTOUT
PA3	-	TMR2_CH4	TMR5_CH4	TMR9_CH2	-	-	-	USART2_RX	-	-	OTG_HS_ULPI_DC	ETH_MII_COL	DMC_CKE	-	-	EVENTOUT
PA4	-	-	-	-	-	SPI1_NSS	SPI3 NSS I2S3_WS	USART2_CK	-	-	-	-	OTG_HS_SOF	DCI_HSYNC	-	EVENTOUT
PA5	-	TMR2_CH1_ETR		TMR8_CH1N	-	SPI1_SCK	-	-	-	-	OTG_HS_ULPI_CK	-	-	-	-	EVENTOUT
PA6	-	TMR1_BKIN	TMR3_CH1	TMR8_BKIN	-	SPI1_MISO	-	-	-	TMR13_CH1	-	-	-	DCI_PIXCK	-	EVENTOUT
PA7	-	TMR1_CH1N	TMR3_CH2	TMR8_CH1N	-	SPI1_MOSI	-	-	-	TMR14_CH1	-	ETH_MII_RX DV ETH_RMII_CRS_DV	-	-	-	EVENTOUT

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PA8	MCO1	TMR1_CH1	-	-	I2C3_SCL	-	-	USART1_CK	-	-	OTG_FS_SOF	-	-	-	-	EVENTOUT
PA9	-	TMR1_CH2	-	-	I2C3_SMBA	-	-	USART1_TX	-	-	-	-	-	DCI_D0	-	EVENTOUT
PA10	-	TMR1_CH3	-	-	-	-	-	USART1_RX	-	-	OTG_FS_ID	-	-	DCI_D1	-	EVENTOUT
PA11	-	TMR1_CH4	-	-	-	-	-	USART1_CTS	-	CAN1_RX	OTG_FS_DM	-	-	-	-	EVENTOUT
PA12	-	TMR1_ETR	-	-	-	-	-	USART1_RTS	-	CAN1_TX	OTG_FS_DP	-	-	-	-	EVENTOUT
PA13	JTMS_SWDIO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
PA14	JTCK_SWCLK	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
PA	JTDI	TMR2_CH1				SPI1_N	SPI3_NSS									EVENT
15		TMR2_ETR	-	-	-	SS	I2C3_WS	-	-	-	-	-	-	-	-	OUT

表格 5 GPIOB 复用功能配置

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PB0	-	TMR1_CH2N	TMR3_CH3	TMR8_CH2N							OTG_HS_ULPI_D1	ETH_MII_RXD2	-		-	EVENTOUT
PB1	-	TMR1_CH3N	TMR3_CH4	TMR8_CH3N	-		-		-	-	OTG_HS_ULPI_D2	ETH_MII_RXD3	-		-	EVENTOUT
PB2	-	-	-	-	-			-	-	-	-	-	-	-	-	EVENTOUT
PB3	JTDO/TRACESWO	TMR2_CH2	-	-	-	SPI1_SCK	SPI3_SCK |2S3_CK	-	-	-	-	-	-	-	-	EVENTOUT
PB4	NJTRST	-	TMR3_CH1	-	-	SPI1_MISO	SPI3_MISO	I2S3ext_SD	-	-	-	-	-	-	-	EVENTOUT
PB5	-	-	TMR3_CH2	-	I2C1_SMBA	SPI1_MOSI	SPI3_MOSI |2S3_SD	-	-	CAN2_RX	OTG_HS_ULPI_D7	ETH_PPS_OUT	-	DCI_D10	-	EVENTOUT
PB6	-	-	TMR4_CH1	-	I2C1_SCL	-	-	USART1_TX	-	CAN2_Tx	-	-	-	DCI_D5	-	EVENTOUT
PB7	-	-	TMR4_CH2	-	I2C1_SDA	-	-	USART1_RX	-	-	-	-	SMC_NL	DCI_VSYNC		EVENTOUT
PB8	-	-	TMR4_CH3	TMR10_CH1	I2C1_SCL	-	-	-	-	CAN1_RX	-	ETH_MII_TXD3	SDIO_D4	DCI_D6	-	EVENTOUT
PB9		-	TMR4_CH4	TMR11_CH1	I2C1_SDA	SPI2_NSS|2S2_WS	-	-	-	CAN1_Tx	-	-	SDIO_D5	DCI_D7	-	EVENTOUT

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PB10		TMR2_CH3	-	-	I2C2_SCL	SPI2_SCKI2S2_CK	-	USART3_TX	-	-	OTG_HS_ULPI_D3	ETH_MII_RX_ER	-	-	-	EVENTOUT
PB11		TMR2_CH4	-	-	I2C2_SDA	-	-	USART3_RX	-	-	OTG_HS_ULPI_D4	ETH_MII_TX_EN/ ETH_RMII_TX_EN	-	-	-	EVENTOUT
PB12		TMR1_BKIN	-	-	I2C2_SMBA	SPI2_NSSI2S2_WS	-	USART3_CK	-	CAN2_RX	OTG_HS_ULPI_D5	ETH_RMII_TXD0/ ETH_MII_TXD0	OTG_HS_ID	-	-	EVENTOUT
PB13		TMR1_CH1N	-	-	-	SPI2_SCKI2S2_CK	-	USART3_CTS	-	CAN2_Tx	OTG_HS_ULPI_D6	ETH_RMII_TXD1/ ETH_MII_TXD1	-	-	-	EVENTOUT
PB14		TMR1_CH2N	-	TMR8_CH2N	-	SPI2_MISO	I2S2ext_SD	USART3_RTS	-	TMR12_CH1	-	-	OTG_HS_DM	-	-	EVENTOUT
PB15	RTC_REFIN	TMR1_CH3N	-	TMR8_CH3N	-	SPI2_MOSII2S2_SD	-	-	-	TMR12_CH2	-	-	OTG_HS_DP	-	-	EVENTOUT

表格 6 GPIOC 复用功能配置

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PC0	-	-			-	-	-		-	-	OTG_HS_ULPI_STP	-	-	-	-	EVENTOUT
PC1	-	-		-	-	-	-	-	-	-	-	ETH_MDC	-	-	-	EVENTOUT
PC2	-	-	-	-	-	SPI2_MIso	I2S2ext_SD	-	-	-	OTG_HS_ULPI_DIR	ETH_MII_TXD2	-	-	-	EVENTOUT
PC3	-	-	-	-	-	SPI2_MOSI I2S2_SD	-	-	-	-	OTG_HS_ULPI_NXT	ETH_MII_TX_CLK	-	·	-	EVENTOUT
PC4	-	-	-	-	-	-	-	-	-	-	-	ETH_MII_RXD0 ETH_RMII_RXD0	-	-	-	EVENTOUT
PC5	-	-	-	-	-	-	-	-	-	-	-	ETH_MII_RXD1 ETH_RMII_RXD1	-	-	-	EVENTOUT
PC6	-	-	TMR3_CH1	TMR8_CH1	-	I2S2_MCK	-	-	USART6_TX	-	-	-	SDIO_D6	DCI_D0	-	EVENTOUT
PC7	-	-	TMR3_CH2	TMR8_CH2	-	-	I2S3_MCK	-	USART6_RX	-		-	SDIO_D7	DCI_D1	-	EVENTOUT
PC8	-	-	TMR3_CH3	TMR8_CH3	-	-	-		USART6_CK	-		-	SDIO_D0	DCI_D2	-	EVENTOUT
PC9	MCO2	-	TMR3_CH4	TMR8_CH4	I2C3_SDA	I2S_CKIN	-	-	-	-		-	SDIO_D1	DCI_D3	-	EVENTOUT

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PC10	-	-		-	-	-	SPI3_SCK/ I2S3_CK	USART3_TX	UART4_Tx	-	-	-	SDIO_D2	DCI_D8	-	EVENTOUT
PC11	-	-	-	-	-	I2S3ext_SD	SPI3_MISO/	USART3_RX	UART4_Rx	-		-	SDIO_D3	DCI_D4	-	EVENTOUT
PC12	-	-	-	-	-	-	SPI3_MOSI I2S3_SD	USART3_CK	UART5_Tx	-		-	SDIO_CK	DCI_D9	-	EVENTOUT
PC13	-	-	-	-	-	-	-			-		-	-	-	-	EVENTOUT
PC14	-	-	-	-	-	-	-		-	-	-	-	-	-	-	EVENTOUT
PC15	-	-	-	-	-	-	-					-	-	-	-	EVENTOUT

表格 7 GPIOD 复用功能配置

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PD0		-	-	-				-	-	CAN1_RX	-	-	SMC_D2	-	-	EVENTOUT
PD1			-					-	-	CAN1_TX			SMC_D3	-	-	EVENTOUT
PD2			TMR3_ETR					-	UART5_RX				SDIO_CMD	DCI_D11	-	EVENTOUT
PD3							-	USART2_CTS	-				SMC_CLK	-	-	EVENTOUT
PD4							-	USART2_RTS	-			-	SMC_NOE	-	-	EVENTOUT
PD5							-	USART2_TX				-	SMC_NWE	-		EVENTOUT
PD6	-						-	USART2_RX				-	SMC_NWAIT	-		EVENTOUT
PD7	-	-				-	-	USART2_CK	-	-	-	-	SMC_NE1/SMC_NCE2	-	-	EVENTOUT
PD8	-	-				-	-	USART3_TX	-	-	-	-	SMC_D13	-	-	EVENTOUT
PD9	-	-			-	-	-	USART3_RX	-	-	-	-	SMC_D14	-	-	EVENTOUT
													SMC_D15			
PD10	-	-	-	-	-	-	-	USART3_CK	-	-	-	-	DMC_DQ10	-	-	EVENTOUT
PD11	-	-	-	-	-	-	-	USART3_CTS		-	-	-	SMC_A16		-	EVENTOUT
													SMC_A17			
PD12	-	-	TMR4_CH1	-	-	-	-	USART3_RTS		-	-	-	DMC_DQ11	-	-	EVENTOUT
PD13	-	-	TMR4_CH2	-	-	-	-	-		-	-	-	SMC_A18DMC_DQ12	-	-	EVENTOUT
PD14	-	-	TMR4_CH3	-	-	-	-			-	-	-	SMC_D0 DMC_DQ13	-	-	EVENTOUT
PD15	-	-	TMR4_CH4	-	-	-	-			-	-	-	SMC_D1 DMC_DQ14	-	-	EVENTOUT

表格 8 GPIOE 复用功能配置

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PE0	-		TMR4_ETR	-							-	-	SMC_NBL0	DCI_D2	-	EVENTOUT
PE1	-		-									-	SMC_NBL1	DCI_D3	-	EVENTOUT
PE2	TRACECLK		-	-								ETH_MII_TXD3	SMC_A23	-	-	EVENTOUT
PE3	TRACED0			-								-	SMC_A19	-	-	EVENTOUT
PE4	TRACED1			-									SMC_A20	DCI_D4	-	EVENTOUT
PE5	TRACED2	-	-	TMR9_CH1	-								SMC_A21	DCI_D6	-	EVENTOUT
PE6	TRACED3	-	-	TMR9_CH2	-								SMC_A22	DCI_D7	-	EVENTOUT
PE7	-	TMR1_ETR	-	-	-	-	-	-	-	-		-	SMC_D4	-	-	EVENTOUT
PE8	-	TMR1_CH1N	-	-	-		-	-	-	-		-	SMC_D5	-	-	EVENTOUT
PE9	-	TMR1_CH1	-	-			-	-	-	-	-	-	SMC_D6	-	-	EVENTOUT
PE10	-	TMR1_CH2N	-	-	-	-	-	-	-	-	-	-	SMC_D7	-	-	EVENTOUT
PE11	-	TMR1_CH2	-	-	-	-	-	-	-	-	-	-	SMC_D8	-	-	EVENTOUT
PE12		TMR1_CH3N											SMC_D9			EVENTOUT
PE13	-	TMR1_CH3											SMC_D10			EVENTOUT
PE14	-	TMR1_CH4										=	SMC_D11	-		EVENTOUT
PE15	-	TMR1_BKIN							-			-	SMC_D12	-		EVENTOUT

表格 9GPIOF 复用功能配置

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PF0	-	-	-	-	I2C2_SDA	-	-	-		-	-	-	SMC_A0 DMC_A10	-	-	EVENTOUT
PF1	-	-	-	-	I2C2_SCL	-	-			-	-	-	SMC_A1 DMC_A0	-	-	EVENTOUT
PF2	-	-	-	-	I2C2_SMBA	-	-			-	-	-	SMC_A2 DMC_A1	-	-	EVENTOUT
PF3	-	-	-	-	-	-	-			-	-	-	SMC_A3 DMC_A2	-	-	EVENTOUT
PF4													SMC_A4			
	-	-	-	-	-	-	-		-	-	-	-	DMC_A3	-	-	EVENTOUT
PF5	-	-	-	-	-	-	-		-	-	-	-	SMC_A5	-	-	EVENTOUT
PF6	-	-	-	TMR10_CH1		-	-		-	-	-	-	SMC_NIORDDMC_A4	-	-	EVENTOUT
PF7	-	-	-	TMR11_CH1		-	-			-	-	-	SMC_NREGDMC_A5	-	-	EVENTOUT
PF8	-	-	-			-	-		-	TMR13_CH1	-	-	SMC_NIOWRDMC_A6	-	-	EVENTOUT
PF9	-	-	-							TMR14_CH1	-	-	SMC_CDDMC_A7	-	-	EVENTOUT
													SMC_INTR			
PF10	-	-	-							-	-	-	DMC_A8	-	-	EVENTOUT
PF11	-	-	-							-	-	-	DMC_UDQM	DCI_D12	-	EVENTOUT
PF12	-	-	-							-	-	-	SMC_A6	-	-	EVENTOUT
PF13	-	-	-	-	-				-	-	-	-	SMC_A7	-	-	EVENTOUT
PF14	-	-	-	-	-	-	-	-	-	-	-	-	SMC_A8	-	-	EVENTOUT
PF15	-	-	-	-	-	-	-		-	-	-	-	SMC_A9	-	-	EVENTOUT

表格 10 GPIOG 复用功能配置

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PG0	–	–	–	–	–	–						–	SMC_A10	–	–	EVENTOUT
PG1													SMC_A11		–	EVENTOUT
	–	–										–	DMC_CK	–		
PG2	–											–	SMC_A12 DMC_DQ15	–	–	EVENTOUT
PG3	–	–	–									–	SMC_A13 DMC_DQ0	–	–	EVENTOUT
PG4	–	–	–	–	–	–						–	SMC_A14 DMC_DQ1	–	–	EVENTOUT
PG5													SMC_A15			EVENTOUT
	–	–	–	–	–	–	–	–	–	–		–	DMC_DQ2	–	–	
													SMC_INT2			
PG6	–	–	–	–	–	–	–	–	–	–	–	–	DMC_DQ3			EVENTOUT
PG7	–	–							USART6_CK			–	SMC_INT3			EVENTOUT
PG8	–								USART6_RTS	–		ETH_PPS_OUT	DMC_DQ4			EVENTOUT
PG9	–								USART6_RX	–		–	SMC_NE2/SMC_NCE3	–		EVENTOUT
PG10	–	–						–	–	–		–	SMC_NCE4_1/SMC_NE3	–		EVENTOUT
												ETH_MII_TX_EN				
PG11	–	–	–	–				–	–	–		ETH_RMII_TX_EN	SMC_NCE4_2	–	–	EVENTOUT
PG12	–	–	–	–	–	–	–	–	USART6_RTS	–	–	–	SMC_NE4	–	–	EVENTOUT
PG13	–	–	–	–	–	–	–	–	USART6_CTS	–	–	ETH_MII_TXD0ETH_RMII_TXD0	SMC_A24	–	–	EVENTOUT
PG14	–	–	–	–	–	–	–	–	USART6_TX	–	–	ETH_MII_TXD1ETH_RMII_TXD1	SMC_A25	–	–	EVENTOUT
PG15	–	–	–	–	–	–	–	–	USART6_CTS	–	–	–	DMC_LDQM	DCI_D13	–	EVENTOUT

表格 11 GPIOH 复用功能配置

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PH0	-	-	-	-	-	-	-			-	-	-	-	-	-	EVENTOUT
PH1	-	-	-	-	-	-				-	-	-	-	-	-	EVENTOUT
PH2	-	-	-	-	-	-				-	-	ETH_MII_CRS	-	-	-	EVENTOUT
PH3	-	-	-	-						-	-	ETH_MII_COL	DMC_A9	-	-	EVENTOUT
PH4	-	-	-	-	I2C2_SCL	-	-	-	-	-	OTG_HS_ULPI_NXT	-	-	-	-	EVENTOUT
PH5	-	-	-	-	I2C2_SDA	-	-	-	-	-	-	-	-	-	-	EVENTOUT
PH6	-	-	-	-	I2C2_SMBA	-	-	-	-	TMR12_CH1	-	ETH_MII_RXD2	-	-	-	EVENTOUT
PH7	-	-	-	-	I2C3_SCL	-	-			-	-	ETH_MII_RXD3	-	-	-	EVENTOUT
PH8	-	-	-	-	I2C3_SDA	-	-	-	-	-	-	-	DMC_DQ8	DCI_HSYNC	-	EVENTOUT
PH9	-	-	-	-	I2C3_SMBA	-	-	-	-	TMR12_CH2	-	-	-	DCI_D0	-	EVENTOUT
PH10	-	-	TMR5_CH1	-	-	-	-	-	-	-	-	-	DMC_DQ9	DCI_D1	-	EVENTOUT
PH11	-	-	TMR5_CH2	-	-	-	-	-	-	-	-	-	-	DCI_D2	-	EVENTOUT

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PH12	-	·	TMR5_CH3	-						-	-	-	-	DCI_D3	-	EVENTOUT
PH13	-	-	-	TMR8_CH1N						CAN1_TX	-	-	DMC_DQ5	-	-	EVENTOUT
PH14	-	-	-	TMR8_CH2N						-	-	-	-	DCI_D4	-	EVENTOUT
PH15	-	-	-	TMR8_CH3N						-	-	-	DMC_DQ6	DCI_D11	-	EVENTOUT

表格 12 GPIOI 复用功能配置

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PI0	-	-	TMR5_CH4	-	-	SPI2_NSS I2S2_WS	-	-	-		-	-	-	DCI_D13		EVENTOUT
PI1	-	-	-	-	-	SPI2_SCK I2S2_CK	-	-	-	-	-	-	-	DCI_D8	-	EVENTOUT
PI2	-	-	-	TMR8_CH4	-	SPI2_MISO	I2S2ext_SD	-	-	-	-	-	-	DCI_D9	-	EVENTOUT
PI3				TMR8_		SPI2_MOSI							DMC_DQ			EVENT
	-	-	-	ETR	-	I2S2_SD	-	-	-	-	-	-	7	DCI_D10	-	OUT
PI4	-	-	-	TMR8_BKIN	-	-	-	-	-	-	-	-	-	DCI_D5	-	EVENTOUT
PI5	-	-	-	TMR8_CH1	-					-	-	·	-	DCI_VSYNC	-	EVENTOUT
PI6	-	-	-	TMR8_CH2	-					-	-	-	-	DCI_D6	-	EVENTOUT
PI7	-	-	-	TMR8_CH3	-					-	-	-	DMC_WE	DCI_D7	-	EVENTOUT
PI8	-	-	-	-	-					-	-	-	DMC_CAS	-	-	EVENTOUT
PI9	-	-	-	-	-					CAN1_Rx	-	-	DMC_RAS	-	-	EVENTOUT
PI10	-	-	-	-	-			-		-	-	ETH_MII_RX_ER	DMC_CS	-	-	EVENTOUT

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PI11	-	-	-	-	-	-	-	-	-	-	OTG_HS_ULPI_DIR	-	DMC_BA	-	-	EVENTOUT

4 功能描述

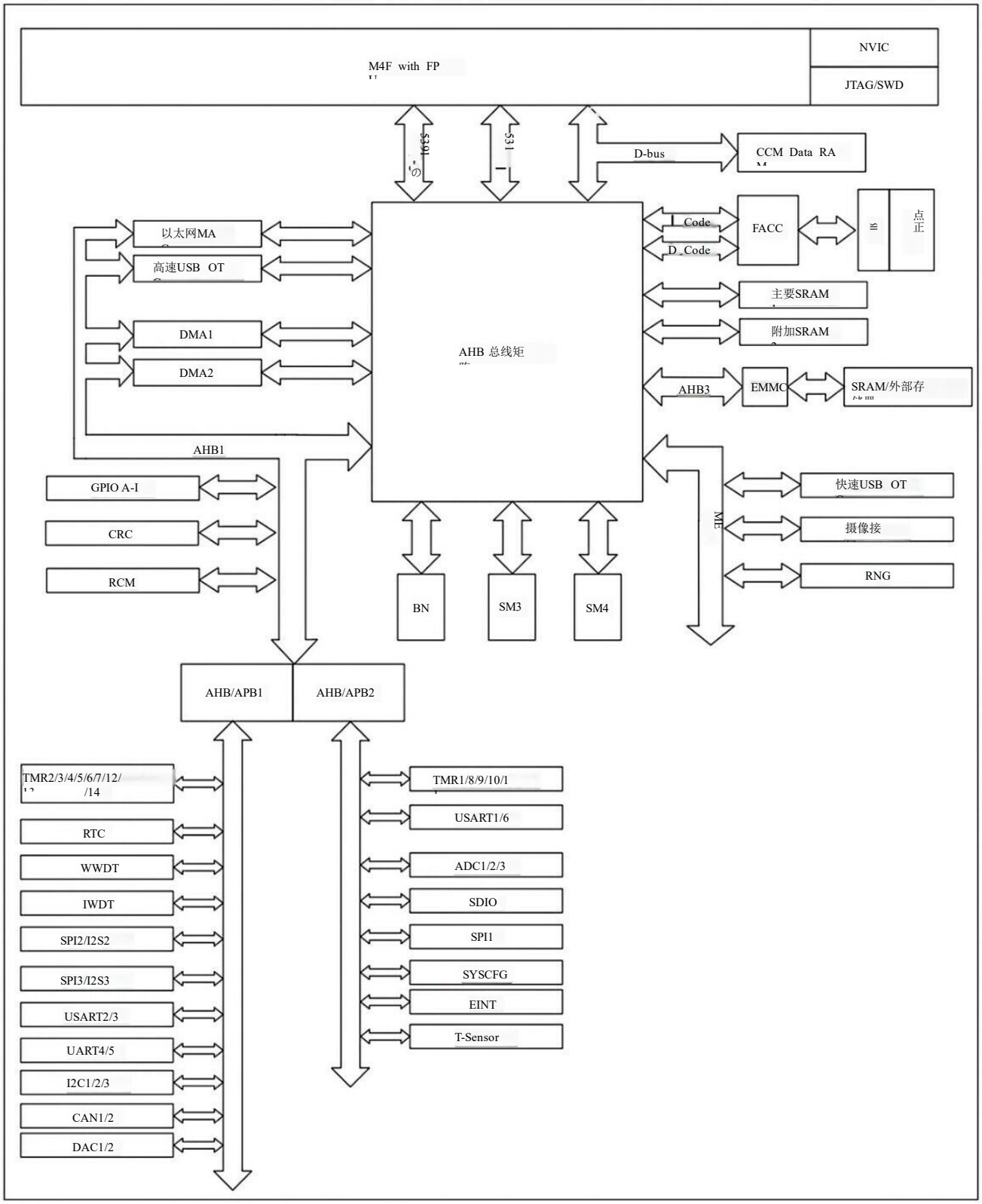
本章主要介绍 TD32F407VET6-TD

系列产品系统架构、中断、片上存储器、时钟、电源、外设特点。

4.1 系统架构

4.1.1 系统框图

图 6 TD32F407VET6-TD系统框图



4.1.2 地址映射

表格 13 TD32F407VET6-TD系列地址映射

区域	起始地址	外设名称
代码	0x0000 0000	代码映射区
代码	0x0800 0000	FLASH
代码	0x0810 0000	保留
CCM	0x1000 0000	CCM(SRAM)
Code	0x1001 0000	Reserve
代码	0x1FFF 0000	系统存储区
代码	0x1FFF 7800	OTP 区域
代码	0x1FFF 7A10	保留
代码	0x1FFF C000	选项字节
代码	0x1FFF C010	保留
SRAM	0x2000 0000	SRAM
—	0x2002 0000	保留
APB1 总线	0x4000 0000	TMR2
APB1 总线	0x4000 0400	TMR3
APB1 总线	0x4000 0800	TMR4
APB1 总线	0x4000 0C00	TMR5
APB1 总线	0x4000 1000	TMR6
APB1 总线	0x4000 1400	TMR7
APB1 总线	0x4000 1800	TMR12
APB1 总线	0x4000 1C00	TMR13
APB1 总线	0x4000 2000	TMR14
APB1 总线	0x4000 2400	保留
APB1 总线	0x4000 2800	RTC
APB1 总线	0x4000 2C00	WWDT
APB1 总线	0x4000 3000	IWDT
APB1 总线	0x4000 3400	I2S2ext
APB1 总线	0x4000 3800	SPI2/I2S2
APB1 总线	0x4000 3C00	SPI3/I2S3
APB1 总线	0x4000 4000	I2S3ext
APB1 总线	0x40004400	USART2
APB1 总线	0x4000 4800	USART3
APB1 总线	0x4000 4C00	UART4
APB1 总线	0x4000 5000	UART5
APB1 总线	0x4000 5400	I2C1
APB1 总线	0x4000 5800	I2C2
APB1 总线	0x4000 5C00	I2C3

区域	起始地址	外设名称
APB1 总线	0x4000 6000	保留
APB1 总线	0x4000 6400	CAN1
APB1 总线	0x4000 6800	CAN2
APB1 总线	0x4000 6C00	保留
APB1 总线	0x4000 7000	PMU
APB1 总线	0x4000 7400	DAC
APB1 总线	0x4000 7800	保留
—	0x40008000	保留
APB2 总线	0x40010000	TMR1
APB2 总线	0x4001 0400	TMR8
APB2 总线	0x40010800	保留
APB2 总线	0x4001 1000	USART1
APB2 总线	0x4001 1400	USART6
APB2 总线	0x4001 1800	保留
APB2 总线	0x4001 2000	ADC1/2/3
APB2 总线	0x4001 2400	保留
APB2 总线	0x4001 2C00	SDIO
APB2 总线	0x4001 3000	SPI1
APB2 总线	0x4001 3400	保留
APB2 总线	0x4001 3800	SYSCFG
APB2 总线	0x4001 3C00	EINT
APB2 总线	0x4001 4000	TMR9
APB2 总线	0x4001 4400	TMR10
APB2 总线	0x4001 4800	TMR11
APB2 总线	0x4001 4C00	保留
—	0x4001 5800	保留
AHB bus	0x4002 0000	GPIOA
AHB bus	0x40020400	GPIOB
AHB bus	0x4002 0800	GPIOC
AHB bus	0x40020C00	GPIOD
AHB bus	0x4002 1000	GPIOE
AHB bus	0x4002 1400	GPIOF
AHB bus	0x4002 1800	GPIOG
AHB bus	0x4002 1C00	GPIOH
AHB bus	0x4002 2000	GPIOI
AHB 总线	0x4002 2400	保留
AHB 总线	0x4002 3000	CRC
AHB 总线	0x4002 3400	保留

区域	起始地址	外设名称
AHB 总线	0x4002 3800	RCM
AHB 总线	0x4002 3C00	FMC Reg.
AHB 总线	0x4002 4000	备份 SRAM
AHB 总线	0x4002 5000	保留
AHB 总线	0x4002 6000	DMA1
AHB 总线	0x4002 6400	DMA2
AHB 总线	0x4002 6800	保留
AHB 总线	0x4002 8000	MAC
AHB 总线	0x4002 9400	保留
AHB 总线	0x4004 0000	USB OTG_HS1/2
AHB 总线	0x4008 0000	保留
AHB 总线	0x5000 0000	USB OTG_FS
AHB 总线	0x5004 0000	保留
AHB 总线	0x50050000	DCI
AHB 总线	0x50050400	保留
AHB 总线	0x5006 0800	RNG
AHB 总线	0x5006 0C00	保留
AHB 总线	0x5008 0000	SM4
AHB 总线	0x50080400	SM3
AHB 总线	0x500A 0000	BN
AHB 总线	0xA000 0000	EMMC Reg.
—	0xA000 1000	保留
内核	0xE000 0000	内核外设
	0xE010 0000	保留

4.1.3 启动配置

启动时，用户可设置 Boot 引脚的高低电平选择以下三种启动模式中的一种：

从主存储器启动

从 BootLoader 启动

从内置 SRAM 启动

若从 BootLoader 启动，用户可使用串口接口重新编程用户 Flash。

4.2 内核

TD32F407VET6-TD的内核是带有 FPU 计算单元的 Arm®Cortex®-M4F，基于该平台开发成本低、功耗低，可提供优良的计算性能和先进的系统中断响应，兼容所有 Arm 工具和软件。

4.3 中断控制器

4.3.1 嵌套的向量式中断控制器(NVIC)

内置 1 个嵌套向量中断控制器(NVIC)，NVIC 能够处理多达 85 个可屏蔽中断通道(不包括 16 个 Cortex®-M4F 的中断线)和 16 个优先级；可直接向内核传递中断向量入口地址，从而达到低延迟的中断响应处理能优先处理晚到的较高优先级中断。

4.3.2 外部中断/事件控制器(EINT)

外部中断/事件控制器有 23 个边沿检测器，每个检测器包含边沿检测电路、中断/事件请求产生电路；每个检测器可配置为上升沿触发、下降沿、双边沿触发，也能够单独屏蔽；最多 140 个 GPIO 可连接到 16 个外部中断线。

4.4 片上存储器

片上存储器包括主存储区、SRAM、信息块，其中信息块包括系统存储区、选项字节，系统存储区存放 BootLoader、96 位唯一设备 ID、主存储区容量信息；系统存储区出厂时已写入程序，不可擦写。

表格 14 片上存储区

存储器	最大容量	功能
主存储区	1MB	存放用户程序和数据
SRAM	192 KB	CPU 能以 0 等待周期访问 (读/写)
系统存储区	30KB	存放 BootLoader、96 位唯一设备 ID、主存储区容量信息
选项字节	16Bytes	配置主存储区读写保护、MCU 工作方式

4.4.1 可配置的外部存储控制器(EMMC)

TD32F407VET6-TD系列集成了 EMMC 模块，由 SMC (静态存储控制器)、DMC(动态存储控制器) 组成，支持 PC 卡、SRAM、SDRAM、PSRAM、NorFlash 和 NandFlash。

功能介绍：

三个 EMMC 中断源，经过逻辑或连到 NVIC 单元
写 FIFO
代码可以在除 NAND 闪存和 PC 卡外的片外存储器运行
与 LCD 连接

4.4.2 液晶显示器并行接口(LCD)

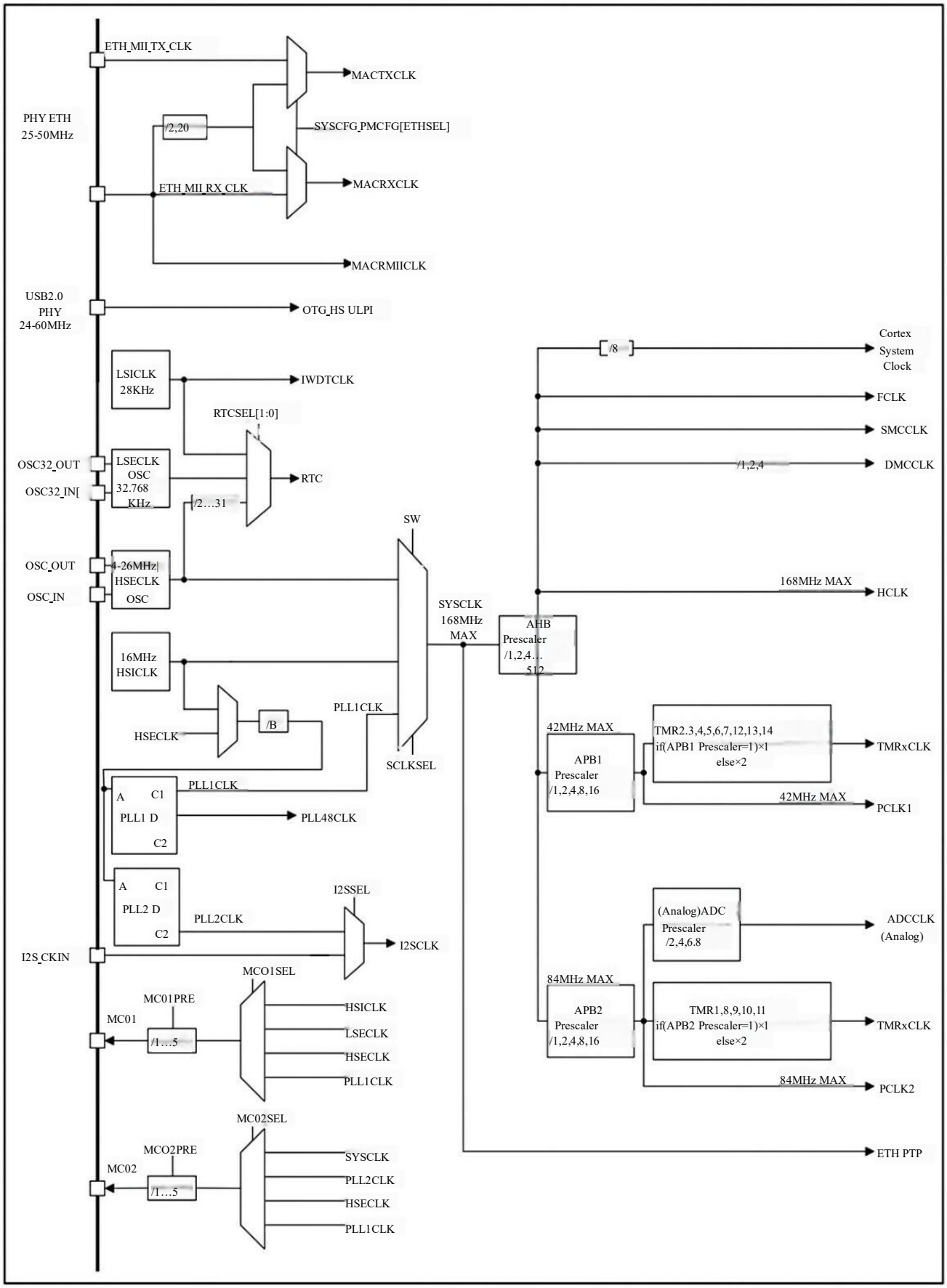
EMMC 可以配置成与多数图形 LCD 控制器的无缝连接,它支持 Intel 8080 和 Motorola 6800 的模式，并能够灵活地与特定的 LCD 接口。使用这个 LCD 并行接口可以很方便地构建简易的图形应用环境，或使用专用加速控制器的高性能方案。

4.5 时钟

4.5.1 时钟树

TD32F407VET6-TD的时钟树见下图：

图 7 TD32F407VET6-TD时钟树



4.5.2 时钟源

时钟源按速度分为高速时钟、低速时钟，高速时钟有 HSICLK、HSECLK，低速时钟有 LSECLK、LSICLK；另外，有些模块会有额外的时钟源引脚，通过外部电路获得需要的时钟频率。

4.5.3 系统时钟

可选择 HSICLK、PLLCLK、HSECLK 作为系统时钟，PLLCLK 的时钟源可选择 HSICLK、HSECLK 中的一种，配置 PLL 的倍频系数、分频系数可获得所需系统时钟。

产品复位启动时，默认选择 HSICLK 作为系统时钟，之后用户可自行选择上述时钟源中的一种作为系统时钟。当检测到 HSECLK 失效时，系统将自动地切换回 HSICLK，如果使能了中断，软件可以接收到相应的中断。

4.5.4 总线时钟

内置 AHB、APB1、APB2 总线,AHB 的时钟源是 SYSCLK，APB1、APB2 的时钟源是 HCLK；配置分频系数可获得所需的时钟，AHB 最高频率为 168MHz，APB2 的最高频率为 84MHz,APB1 的最高频率是 42MHz。

4.5.5 锁相环

TD32F407VET6-TD系列有两个锁相环，一个是主 PLL (PLL1)，一个是专门为 I2S 提供特定时钟频率的 PLL (PLL2)。它们都需要通过配置参数产生不同时钟频率，具体参数和配置寄存器请参见用户手册。

4.6 电源与电源管理

4.6.1 电源方案

表格 15 电源方案

名称	电压范围	说明
VDD	1.8~3.6V	通过 VDD 引脚给 I/O(具体 IO 见引脚分布图)、内部调压器供电。
VDDA/VssA	1.8~3.6V	为 ADC、DAC、复位模块、RC 振荡器和 PLL 的模拟部分供电;使用 ADC 或 DAC 时，VDDA 和 VSSA 必须分别连接到 VDD 和 VSS。
VBAT	1.8~3.6V	当关闭 VDD 时，通过内部电源切换器，为 RTC、外部 32KHz 振荡器和后备寄存器供电。

4.6.2 调压器

表格 16 调压器工作模式

名称	说明
主模式(MR)	用于运行模式
低功耗模式 (LPR)	用于停机模式
掉电模式	用于待机模式，此时调压器高阻输出，内核电路掉电，调压器功耗为零，寄存器和 SRAM 的数据会全部丢失。

注：调压器在复位后始终处于工作状态，在掉电模式下高阻输出。

4.6.3 电源电压监控器

产品内部集成了上电复位(POR)、掉电复位(PDR)和欠压复位(BOR)电路。这三种电路始终处于工作状态。当掉电复位电路监测到电源电压低于规定的阈值(VPOR/PDR)时，即使外部复位电路，系统保持复位状态。

该产品内置能够监测 VDD 并将其与 VPvD 阈值比较的可编程电源电压监控器(PVD)，当 VDD 在 VPvD 阈值范围外且中断使能时会产生中断，可通过中断服务程序将 MCU 设置成安全状态。

4.7 低功耗模式

TD32F407VET6-TD支持睡眠、停机、待机三种低功耗模式，这三种模式在功耗、唤醒时间长短、唤醒方式存在差异，可依据实际应用需求选择低功耗模式。

表格 17 低功耗模式

模式	说明
睡眠模式	内核停止工作，所有外设处于工作状态，可通过中断/事件唤醒
停机模式	在 SRAM 和寄存器数据不丢失的情况下，停机模式可达到最低的功耗； 内部 1.3V 供电模块的时钟都会停止，HSECLK 晶体谐振器、HSICLK、PLL 被禁止，调压器可配置普通模式或低功耗模式； 任何外部中断线可唤醒 MCU，外部中断线包括 16 个外部中断线之一、PVD 输出、RTC、USB_OTG。
待机模式	该模式功耗最低； 内部调压器被关闭，所有 1.3V 供电模块掉电，HSECLK 晶体谐振器、HSICLK 时钟关闭，SRAM 和寄存器的数据消失，RTC 区域、后备寄存器内容仍然保留，待机电路仍工作； NRST 上的外部复位信号、IWDT 复位、WKUP 引脚上的上升边沿或 RTC 的事件都会唤醒 MCU 退出待机模式。

4.8 DMA

内置 2 个 DMA，共 16 个数据流。每个数据流对应 8 个通道，但每个数据流同一时刻只能使用 1 个通道。支持 DMA 请求的外设有： ADC、DAC、SPI、USART、I2C、SDIO、TMRx。可配置 4 级 DMA 通道优先级。支持“存储器→存储器、存储器→外设、外设→存储器”数据传输(存储器包括 Flash、SRAM、SDRAM)。

4.9 GPIO

GPIO 可以配置为通用输入、通用输出、复用功能、模拟输入输出。通用输入可以配置成浮空输入、上拉输入、下拉输入，通用输出可以配置成推挽输出、开漏输出，复用功能可以用于数字外设，模拟输入输出可以用于模拟外设以及低功耗模式；可以配置使能/禁止上拉/下拉电阻；可以配置 2MHz、10MHz、50MHz、100MHz 的速度,速度越大,功耗、噪声也会越大。

4.10 通信外设

4.10.1 USART/UART

该芯片内置多达 6 个通用同步/异步收发器，USART1/6 接口通信速率可达 10.5Mbit/s，其它 USART/UART 的通信速率可达 5.25Mbit/s,所有 USART/UART 可配置波特率、奇偶校验位、停止位、数据位长度，都可以支持 DMA。各个 USART/UART 功能差异如下表：

表格 18 USART/UART 功能差异

USART 模式/功能	USART1	USART2	USART3	UART4	UART5	USART6
调制解调器的硬件流控制	✓	✓	✓	—	—	✓
智能卡模式	✓	✓	✓	—		✓
IrDA SIR 编码解码器功能	✓	✓	✓	✓	✓	✓
LIN 模式	✓	✓	✓	✓	✓	✓
标准特性	✓	✓	✓	✓	✓	✓
SPI 主机	✓	✓	✓	—	—	✓
16 倍过采样下的最大波特率(Mbit/s)	5.25	2.62	2.62	2.62	2.62	5.25
8 倍过采样下的最大波特率(Mbit/s)	10.5	5.25	5.25	5.25	5.25	10.5
APB 映射	APB2	APB1	APB1	APB1	APB1	APB2

注：✓=支持。

4.10.2 I2C

内置 I2C1/2/3 总线接口，均可工作于多主模式或从模式，支持 7 位或 10 位寻址，7 位从模式时支持双从地址寻址，通信速率支持标准模式(最高 100kbit/s)、快速模式(最高 400kbit/s)；内置了硬件 CRC 发生器/校验器；它们可以使用 DMA 操作并支持 SMBus 总线 2.0 版/PMBus 总线。

4.10.3SPI/I2S

内置 3 个 SPI，在主模式、从模式下均支持全双工、半双工通信，可使用 DMA 控制器，可配置每帧 4~16 位，3 个 SPI 的最高通信速率分别为 42Mbit/s，21MBit/s，21MBit/s。

内置 2 个 I2S(分别与 SPI2、SPI3 复用)，支持主模式、从模式半双工通信，支持同步传输，可配置 16 位或 32 位分辨率的 16 位、24 位、32 位数据传输，音频采样率可配置的范围是 8kHz~192kHz；当一个或者两个 I2S 接口配置为主模式，其主时钟可以以 256 倍采样频率输出给外部的 DAC 或解码器 (CODEC)。

4.10.4 CAN

内置 2 个 CAN，兼容 2.0A 和 2.0B(主动)规范，通信速率最高可达 1Mbit/s。它可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。具有 3 个发送邮箱，2 个 3 级深度的接收 FIFO 和 28 个可调节的滤波器。

4.10.5 USB_OTG

产品内嵌三个 USB 控制器，一个 OTG_FS 和两个 OTG_HS，都可同时支持主机和从机功能，符合 USB2.0 规范的 On-The-Go 补充标准，也可配置为“仅主机”或“仅从机”模式，完全符合 USB2.0 规范，OTG_FS 时钟(48MHz) 由特定的 PLL 输出，OTG_HS 时钟(60MHz)由外部 PHY 提供。

4.10.6 Ethernet

提供一个兼容 IEEE -802.3-2002 的 MAC,用于通过 MII 或 RMII 进行以太网局域网通信。本型号需要一个 PHY 连接到物理 LAN 总线。PHY 连接到 MII 端口，使用 17 个信号用于 MII 或 9 个信号用于 RMII，并且可以使用来自内核的 25MHz 时钟(MII)。

4.10.7 SDIO

安全数字输入/输出接口能够连接 SD 卡，SD I/O 卡，多媒体卡(MMC)和 CE-ATA 卡主机接口，提供 AHB 系统总线与 SD 存储卡、SDI/O 卡、MMC 和 CE-ATA 设备之间的数据传输。

4.11 模拟外设

4.11.1 ADC

内置 3 个 ADC，精度为 12 位，每个 ADC 最多有 16 个外部通道和 3 个内部通道，内部通道分别测量温度传感器电压、参考电压和备份电压。各通道 A/D 转换模式有单次、连续、扫描或间断，ADC 转换结果可以左对齐或右对齐存储在 16 位数据寄存器中；支持模拟看门狗，支持 DMA。

4.11.1.1 温度传感器

内置 1 个温度传感器(TSensor)，内部连接 ADC_IN16 通道，传感器产生的电压随着温度线性变化，可通过 ADC 获取转换的电压值换算成温度。

表格 19 Tsensor 校准值

校准值名称	描述	存储地址
Vsensor _CAL1	在 30℃温度, VDDA=3.3V 下采集的原始数据	0x1FFF 7A2C-0x1FFF 7A2D
Vsensor _CAL2	在 110℃温度, VDDA=3.3V 下采集的原始数据	0x1FFF 7A2E-0x1FFF 7A2F

4.11.1.2内部参考电压

内置参考电压 VREFINT，内部连接 ADC_IN17 通道，可通过 ADC 获取该 VREFINT；VREFINT 为 ADC 提供稳定的电压输出。

表格 20内部参考电压校准值

校准值名称	描述	存储地址
VREFINT_CAL	在 25℃(±5℃)温度, VDDA=3.3V(±10mV)下采集的原始数据	0x1FFF 7A2A-0x1FFF 7A2B

4.11.2 DAC

内置 2 个 12 位 DAC，每个 DAC 对应一个输出通道，可配置为 8 位、12 位模式，支持 DMA 功能，波形产生支持噪声波、三角波，转换方式支持单独或同时转换，触发方式支持外部信号触发、内部定时器更新触发。

4.12 定时器

内置 2 个 16 位高级定时器(TMR1/8)、8 个 16 位通用定时器(TMR3/4/9/10/11/12/13/14)、2 个 32 位通用定时器(TMR2/5)、2 个 16 位基本定时器(TMR6/7)、1 个独立看门狗定时器、1 个窗口看门狗定时器和 1 个系统滴答定时器。

看门狗定时器可以用来检测程序是否正常运行。
系统滴答定时器内核的外设，具有自动重装载功能，当计数器为 0 时能产生一个可屏蔽系统中断，可以用于实时操作系统和普通延时。

表格 21 高级/通用/基本和系统滴答定时器功能比较

定时器类型	系统滴答定时器	基本定时器	通用定时器			高级定时器
定时器名称	Sys Tick Timer	TMR6/7	TMR2/5	TMR3/4	TMR9/10/11/12/13/14	TMR1/8
计数器分辨率	24 位	16 位	32 位	16 位	16 位	16 位
计数器类型	向下	向上	向上，向下，向上/下		向上	向上，向下，向上/下
预分频系数		1~65536 间任意整数	1~65536 间任意整数			1~65536 间任意整数
产生 DMA 请求	—	可以	可以			可以
捕获/比较通道			4			4
互补输出		没有	没有			有
引脚特性			1 路外部触发信号输入引脚； 4 路非互补通道引脚。			1 路外部触发信号输入引脚； 1 路刹车输入信号引脚； 3 对互补通道引脚； 1 路非互补通道引脚。
功能说明	专用于实时操作系统。 具有自动重加载功能。	用于产生 DAC 触发信号。 可以作为 16 位通用型时基计数器。	提供同步或事件链接功能。 在调试模式下，计数器可以被冻结。 可用于产生 PWM 输出。 每个定时器都有独立的 DMA 请求机制。			具有带死区插入的互补 PWM 输出。 配置为 16 位标准定时器时，它与 TMRx 定时器具有相同的功能。

定时器类型	系统滴答定时器	基本定时器	通用定时器	高级定时器
	当计数器为 0 时能产生一个可屏蔽系统中断。 可编程时钟源。		可以处理增量编码器的信号。	配置为16 位 PWM 发生器时，它具有全调制能力(0~100%)。在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止。 提供同步或事件链接功能。

表格 22 IWDT 和 WWDT 功能比较

名称	计数器分辨率	计数器类型	预分频系数	功能说明
独立看门狗	12 位	向下	1~256 之间的任意整数	由一个内部独立的 28KHz 的 RC 振荡器提供时钟；因为这个 RC 振荡器独立于主时钟，所以它可运行于停机和待机模式。 在发生问题时可复位整个系统。 可以作为一个自由定时器为应用程序提供超时管理。 通过选项字节可以配置成是软件或硬件启动看门狗。 在调试模式下，计数器可以被冻结。
窗口看门狗	7 位	向下		可以设置成自由运行。 在发生问题时可复位整个系统。 由主时钟驱动，具有早期预警中断功能； 在调试模式下，计数器可以被冻结。

4.13 RTC

内置 1 个 RTC，引脚有 LSECLK 信号输入引脚(OS32_IN、OS32_OUT)、2 个 TAMP 输入信号检测引脚(RTC_TAMP1/2)；时钟源可选择外部 32.768kHz 的外部晶振、谐振器或振荡器、LSICLK、HSE CLK/128；默认由 VDD 供电，当 VDD 断电时，可自动切换至 VBAT 供电，RTC 配置及时间数据不丢失；产生系统复位、软件复位、电源复位时，RTC 配置及时间数据不丢失；支持闹钟、日历功能。

4.13.1 备份域

内置 4KB 的备份 SRAM，20 个备份寄存器，默认由 VDD 供电，当 VDD 断电时，可自动切换至 VBAT 供电，备份寄存器数据不丢失；产生系统复位、软件复位、电源复位时，备份寄存器数据不丢失。

4.14 RNG

嵌入一个 RNG，提供由集成模拟生成的 32 位随机数。

4.15 DCI

DCI 用于接收来自 CMOS 摄像头的高速数据流，它支持不同的数据格式，适用于黑白摄像头、X24 摄像头等。

4.16 CRC

内置 1 个 CRC(循环冗余校验)计算单元，可产生 CRC 码，可操作 8 位、16 位、32 位数据。

4.17 加密算法

4.17.1 BN

BN 模块是 RSA 和 ECC 算法的低成本加速器，它实现了有限域上几乎所有的大数目运算和魏尔斯特拉斯方程定义的具有 K 不等于 2 或 3 特征 p 的椭圆曲线上的点运算。RSA 加密解密采用了模幂法(MEXP)。椭圆曲线点乘法(ECPM)、点加法(ECPA)和点验证(ECPV)是针对 ECC 密码体制，如 SM2。在 RSA 中生成公钥，在 SM2 中生成内部参数，实现了模块化反转(MINV)。对质数生成过程中的数进行了 Rabin-Miller 质数检验。还支持模加(MADD)、模减(MSUB)、模乘(MMUL)、加(ADD)、减(SUB)和最有效位检测(MSBD)。目前还支持预合成用户定义的可配置防御对策。

4.17.2 SM3

SM3_H 是一种支持 AHB 接口的高性能 IP 核，广泛应用于数字签名和消息认证。SM3 是我国政府采用的加密哈希函数标准。哈希函数是一个迭代的单向函数，它可以处理消息以产生一个被称为消息摘要的浓缩表示。

4.17.3 SM4

SM4_H 是一种支持 AHB 接口的高性能 IP 核，是 2006 年 1 月发布的一种对称加密算法，在中国无线局域网 WAPI(有线认证和隐私基础设施)中得到了广泛应用。该 IP 核实现 SM4 标准算法，支持 ECB 和 CBC 模式的加解密。SM4 算法是一种 128 位输入数据和密钥的对称分组密码。为了提高操作速度，数据路径模块采用 8 个 s 盒同时进行加解密操作和密钥扩展，完成一轮加解密操作只需 32 个周期。

5 电气特性

5.1 电气特性测试条件

5.1.1 最大值和最小值

除非特别说明，所有产品是在 TA=25℃下在生产线上进行测试的。其最大和最小值可支持所定最恶劣的环境温度、供电电压和时钟频率。

在每个表格下方的注解中说明是通过综合评估、设计仿真或工艺特性得到的数据，没有在生产线上进行测试；在综合评估的基础上，通过样本测试，取其平均值再加减三倍的标准差(平均±3Σ)得到最大和最小数值。

5.1.2 典型值

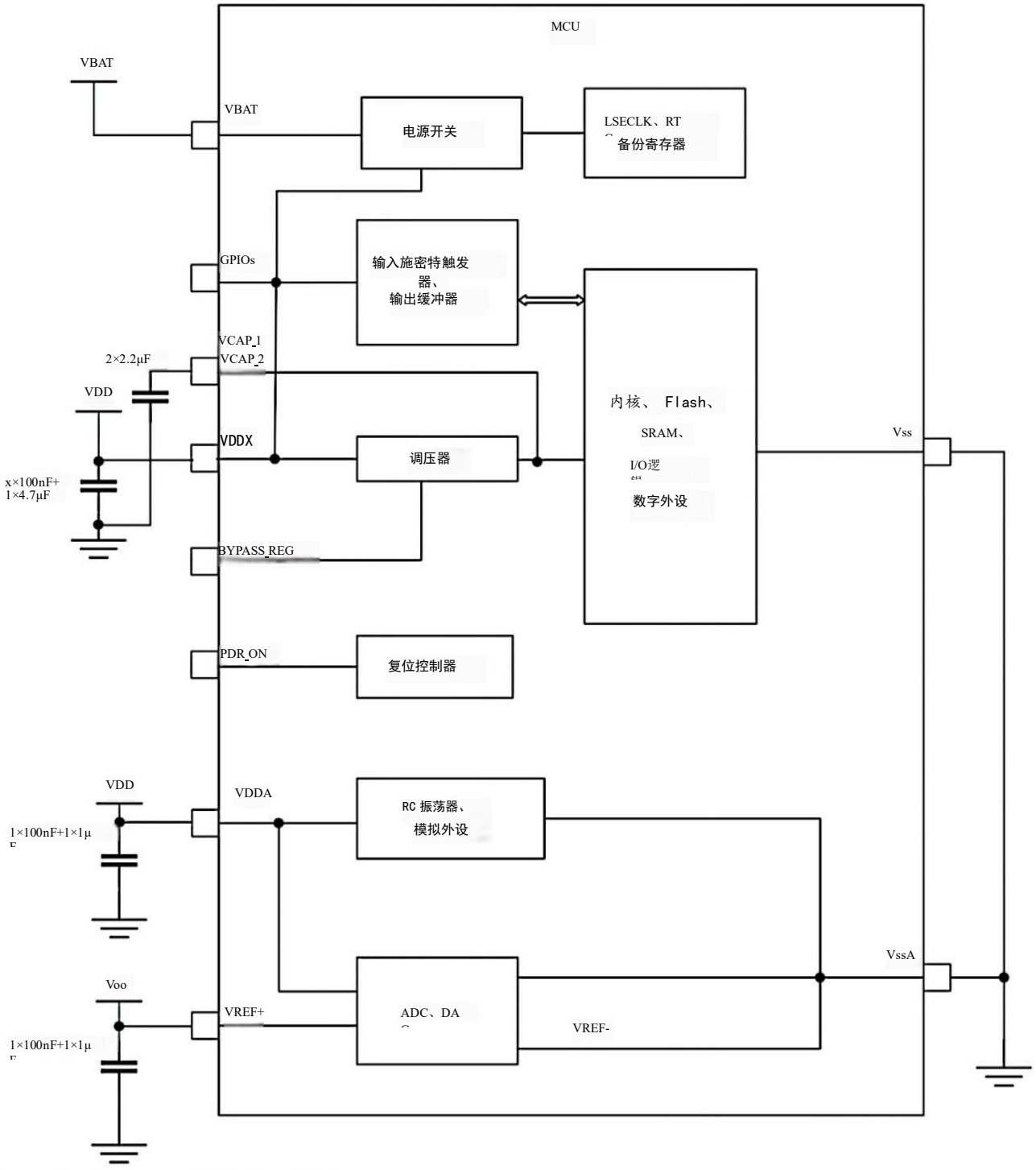
除非特别说明，典型数据是基于 TA=25℃、VDD=VDDA=3.3V 测量，这些数据仅用于设计指导。

5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 电源方案

图 8 电源方案



说明：图中的 VDD_x表示 VDD 的个数是 x 个

5.1.5 负载电容

图 9 测量引脚参数时的负载条件

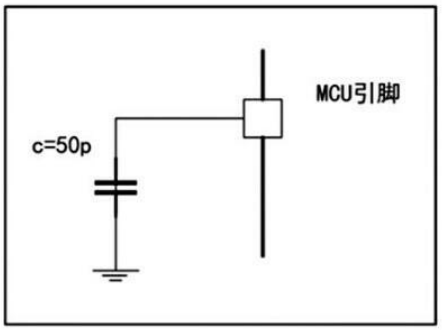


图 10 引脚输入电压测量方案

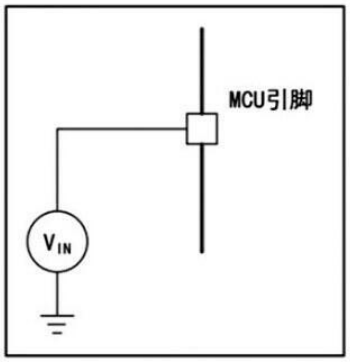
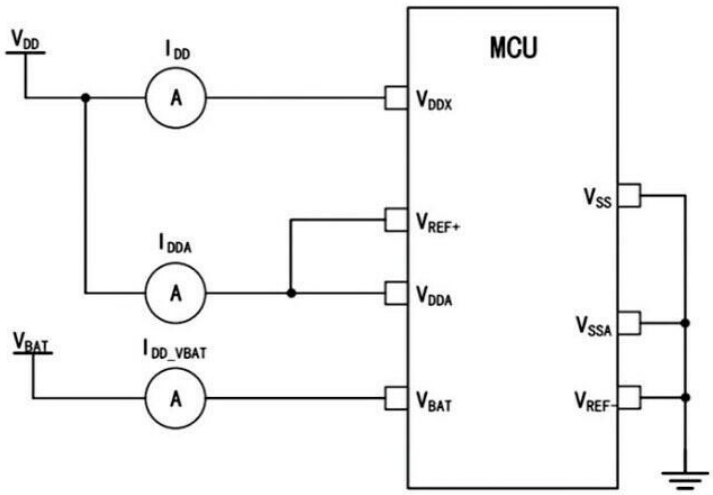


图 11 功耗测量方案



5.2 通用工作条件下的测试

表格 23 通用工作条件

符号	参数	条件	最小值	最大值	单位
fHCLK	内部 AHB 时钟频率	-	-	168	MHz
fPCLK1	内部 APB1 时钟频率	-	-	42	

符号	参数	条件	最小值	最大值	单位
fPCLK2	内部 APB2 时钟频率		-	84	
VDD	主电源电压		1.8	3.6	V
VDDA	模拟电源电压 (都未使用 ADC、DAC 时)	必须与 VDD 相同	1.8	2.4	V
	模拟电源电压 **(使用 ADC、DAC 时)**		2.4	3.6	
VBAT	备份域电源电压		1.65	3.6	V
TA	环境温度(温度标号 6)	最大功率耗散	-40	85	℃
	环境温度(温度标号 7)		-40	105	℃

5.3 绝对最大额定值

器件上的载荷如果超过绝对最大额定值，可能会导致器件永久性的损坏。这里只是给出能承受的最大载荷，不保证在此条件下器件的功能运行正常。

5.3.1 最大温度特性

表格 24 温度特性

符号	描述	数值	单位
TSTG	储存温度范围	-65~ +150	℃
TJ	最大结温度	125	℃

5.3.2 最大额定电压特性

所有的电源(VDD，VDDA)和地(Vss，VssA)引脚必须始终连接到外部限定范围内的供电电源上。

表格 25 最大额定电压特性

符号	描述	最小值	最大值	单位
VDD-Vss	外部主供电电压	-0.3	4.0	V
VIN	在 5V 容忍的引脚上的输入电压	Vss-0.3	VDD+4	
	在其它引脚上的输入电压	Vss-0.3	4.0	
|ΔVDD×|	不同供电引脚之间的电压差	-	50	mV
| Vssx-Vss|	不同接地引脚之间的电压差	-	50	

5.3.3 最大额定电流特性

表格 26 电流特性

符号	描述	最大值	单位
IvDD	经过 VDD/VDDA 电源线的总电流(供应电流)(1)	240	mA
Ivss	经过 Vss 地线的总电流(流出电流)(1)	240	

符号	描述	最大值	单位
I_{10}	任意 I/O 和控制引脚上的灌电流	25	
	任意 I/O 和控制引脚上的拉电流	25	
IINJ(PIN)(2)	5T 引脚的注入电流	-5/+0	
	其他引脚的注入电流	±5	
ΣIINJ(PIN)(2)	所有 I/O 和控制引脚上的总注入电流(4)	±25	

1. 所有的电源(VDD,VDDA)和地(Vss,VssA)必须始终在允许范围内。
2. 流出电流会干扰器件的模拟性能。
3. I/O 不能进行正注入;VIN<Vss 时,IINJ(PIN)不能超过最大允许输入电压值。
4. 如果 VIN 超过最大值，必须在外部限制 IINU(PN)不超过其最大值。当 VIN>VDD 时，电流流入引脚；当 VIN<Vss 时，电流流出引脚。
5. 当几个 I/O 口同时有注入电流时，ΣINU(PN)的最大值为流入电流与流出电流的即时绝对值之和。

5.3.4 静电放电(ESD)

表格 27 ESD 绝对最大额定值

符号	参数	条件	范围	单位
VESD(HBM)	静电放电电压(人体模型)	TA =+25 ℃, 符合 ANSI/ESDA/JEDEC JS-001-2017	±4000	V

注：由第三方测试机构测试，不在生产中测试。

5.3.5 静态栓锁(LU)

表格 28 静态栓锁

符号	参数	条件	类型
LU	静态栓锁类	TA=+105℃, 符合 JEDEC JESD78F-2022	II 类 A

注：由第三方测试机构测试，不在生产中测试。

5.4 片上存储器

5.4.1 Flash 特性

表格 29 Flash 存储器特性

符号	参数		条件	最小值	典型值	最大值	单位
tprog	8/16/32 位编程时间		TA = - 40~105℃VDD=2.4~3.6V	-	43	60	μs
tERASE1	页(16KBytes) 擦除时间	8 位	TA = - 40~105℃VDD=2.4~3.6V	-	60	120	ms
		16 位		-	60	120	
		32 位		-	60	120	
tERASE2	页(64KBytes) 擦除时间	8 位		-	250	500	
		16 位		-	250	500	

符号	参数		条件	最小值	典型值	最大值	单位
		32 位		-	250	500	
tERASE3	页(128KBytes) 擦除时间	8 位		-	500	1000	
		16 位		-	500	1000	
		32 位		-	500	1000	
tME	整片擦除时间	8 位	TA = - 40~105℃ VDD=2.4~3.6V	-	10	20	ms
		16 位		-	10	20	
		32 位		-	10	20	
Vprog	8 位编程的电压		TA = - 40~105℃	1.8	-	3.6	V
	16 位编程的电压			2.1	-	3.6	
	32 位编程的电压			2.7	-	3.6	
tRET	数据保存时间		TA =125℃	10.77	-	-	years
NRW	擦写周期		TA = 85℃	100K	-	-	cycles

注：由综合评估得出，不在生产中测试。

5.5 时钟

5.5.1 外部时钟源特性

5.5.1.1 晶体谐振器产生的高速外部时钟

有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

表格 30HSECLK4~26MHz 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
fosc _IN	振荡器频率	-	4	8	26	MHz
RF	反馈电阻	-	-	200	-	kΩ
IDD(HSECLK)	HSECLK 电流消耗	VDD=3.3V, CL=10pF@8MHz	-	-	0.5	mA
tsu(HSECLK)	启动时间	VDD 是稳定的	-	2	-	ms
Gm	振荡器跨导	启动	5.65	-		mA/V

注：由综合评估得出，不在生产中测试。

5.5.1.2 晶体谐振器产生的低速外部时钟

有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

表格 31 LSECLK 振荡器特性(fLSEcLK=32.768KHz)

符号	参数	条件	最小值	典型值	最大值	单位
fosc _IN	振荡器频率			32.768		KHz

符号	参数	条件	最小值	典型值	最大值	单位
IDD(LSECLK)	LSECLK 电流消耗		-	-	1	μA
tsu(LSECLK)(1)	启动时间	VDD 稳定		2		s

注：由综合评估得出，不在生产中测试。

(1)tsuLsEcLK)是启动时间，是从软件使能 LSECLK 开始测量，直至得到稳定的 32.768KHz 振荡这段时间；这个数值是使用一个标准的晶体谐振器测量得到的，它可能因晶体制造商的不同而不同。

5.5.2内部时钟源特性

5.5.2.1 高速内部**(HSICLK) RC**振荡器

表格 **32 HSICLK** 振荡器特性

符号	参数	条件		最小值	典型值	最大值	单位
fHSICLK	频率	-		-	16	-	MHz
Acc(HSICLK)	HSICLK 振荡器的精度	工厂校准	VDD=3.3V, TA=25℃	-1	-	1	%
			VDD=2-3.6V, TA=-40~105℃	-2	-	4	%
IDDA(HSICLK)	HSICLK 振荡器功耗			-	100	120	μA
tsu(HSICLK)	HSICLK 振荡器启动时间	VDD=3.3V, TA=-40~105℃		-	3.7	5	μs

注：由综合评估得出，不在生产中测试。

5.5.2.2低速内部(LSICLK) RC振荡器

表格 33 LSICLK 振荡器特性

符号	参数	最小值	典型值	最大值	单位
fLSICLK	频率 (VDD=2-3.6V, TA=-40~105℃)	20	28	35	KHz
IDD(LSICLK)	LSICLK 振荡器功耗	-	0.4	0.6	μA
tsu(LSICLK)	LSICLK 振荡器启动时间, (VDD=3.3V, TA=-40~105℃)	-	16	40	μs

注：由综合评估得出，不在生产中测试。

5.5.3 PLL 特性

表格 34 PLL1 特性

符号	参数	数值			单位
		最小值	典型值	最大值	
fPLL1_IN	PLL1 输入时钟	0.92	1	2.1	MHz
	PLL1 输入时钟占空比	40	-	60	%
fPLL1_OUT	PLL1 倍频输出时钟(VDD=3.3V, TA=-40~105℃)	24	-	168	MHz
fPLL1_48_OUT	PLL1 倍频输出 48MHz 时钟(VDD=3.3V, TA=-40~105℃)	-	48	75	MHz

符号	参数	数值			单位
		最小值	典型值	最大值	
tLOCK1	PLL1 锁相时间	60	-	120	μs

注：由综合评估得出，不在生产中测试。

表格 35 PLL2 特性

符号	参数	数值			单位
		最小值	典型值	最大值	
fPLL2_IN	PLL2 输入时钟	0.92	1	2.1	MHz
	PLL2 输入时钟占空比	40	-	60	%
fPLL2_OUT	PLL2 倍频输出时钟，(VDD=3.3V，TA=-40~105℃)	20	-	144	MHz
tLOCK1	PLL 锁相时间	82	-	150	μs

5.6 电源与电源管理

5.6.1 内嵌复位和电源控制模块特性测试

表格 36 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
VPOR/PDR	上电/掉电复位阈值	下降沿	1.68	1.70	1.70	V
		上升沿	1.71	1.72	1.73	V
VBOR1	欠压阈值级别 1	下降沿	2.19	2.21	2.24	V
		上升沿	2.27	2.29	2.30	V
VBOR2	欠压阈值级别 2	下降沿	2.49	2.51	2.55	V
		上升沿	2.56	2.58	2.59	V
VBOR3	欠压阈值级别 3	下降沿	2.81	2.84	2.87	V
		上升沿	2.89	2.91	2.92	V
VBORhyst	BOR 迟滞	-	-	100	-	mV
VPDRhyst	PDR 迟滞		-	40.00	50.00	mV
TRSTTEMPO	复位持续时间	-	0.70	0.95	1.48	ms

注：由综合评估得出，不在生产中测试。

表格 37 可编程电源电压检测器特性

符号	参数	条件	最小值	典型值	最大值	单 位
VPVD	可编程电源电压检测器电平选择	PLS[2:0]=000(上升沿)	2.14	-	2.18	V
		PLS[2:0]=000(下降沿)	2.03	-	2.10	V
		PLS[2:0]=000 (PVD 迟滞)	80.00	-	120.00	mV

符号	参数	条件	最小值	典型值	最大值	单 位
		PLS[2:0]=001(上升沿)	2.30	-	2.34	V
		PLS[2:0]=001(下降沿)	2.18	-	2.23	V
		PLS[2:0]=001(PVD 迟滞)	90.00	-	120.00	mV
		PLS[2:0]=010(上升沿)	2.44	-	2.48	V
		PLS[2:0]=010(下降沿)	2.32	-	2.37	V
		PLS[2:0]=010 (PVD 迟滞)	110	-	120	mV
		PLS[2:0]=011(上升沿)	2.58	-	2.63	V
		PLS[2:0]=011(下降沿)	2.49	-	2.53	V
		PLS[2:0]=011 (PVD 迟滞)	90	-	100	mV
		PLS[2:0]=100(上升沿)	2.75	-	2.80	V
		PLS[2:0]=100(下降沿)	2.64	-	2.68	V
		PLS[2:0]=100 (PVD 迟滞)	110	-	120	mV
		PLS[2:0]=101(上升沿)	2.91	-	2.97	V
		PLS[2:0]=101(下降沿)	2.81	-	2.86	V
		PLS[2:0]=101 (PVD 迟滞)	100	-	110	mV
		PLS[2:0]=110(上升沿)	3.02	-	3.08	V
		PLS[2:0]=110(下降沿)	2.90	-	2.96	V
		PLS[2:0]=110 (PVD 迟滞)	110	-	120	mV
		PLS[2:0]=111(上升沿)	3.12	-	3.19	V
		PLS[2:0]=111(下降沿)	3.00	-	3.07	V
		PLS[2:0]=111 (PVD 迟滞)	110	-	120	mV

注：由综合评估得出，不在生产中测试。

5.7 功耗

5.7.1 功耗测试环境

(1) 执行 Dhrystone2.1,编译环境为 Keil. V5, 编译优化等级为 L0 条件下测得的。

(2)所有的 I/O 引脚都处于模拟输入模式，并连接到一个静态电平上 VDD 或 Vss(无负载)

(3)除非特别说明，所有的外设都关闭

(4) Flash 等待周期的设置与 fHCLK 的关系:

0~30MHz: 0 个等待周期

30~60MHz: 1 个等待周期

60~90MHz: 2 个等待周期

90~120MHz: 3 个等待周期

120~150MHz: 4 个等待周期

150~168MHz: 5 个等待周期

(5) 当外设开启时: $fpcLk_1=fHcLk/4$, $fpcLk_2=fHcLk/2$

5.7.2 运行模式功耗

表格 38 程序在 Flash(ART 开)执行，运行模式的功耗

参数	条件	fHCLK	典型值(1)		最大值(1)	
			TA=25℃, VDD=3.3V		TA=105℃, VDD=3.6V	
			IDDA(μA)	IDD(mA)	IDDA(μA)	IDD(mA)
运行模式功耗	HSECLK bypass(2), 使能所有外设(3)	168MHz	751.56	67.70	802.2	74.02
		144MHz	693.94	52.75	745.2	57.66
		120MHz	637.4	44.49	691.1	49.39
		90MHz	780.88	34.37	831.7	39.375
		60MHz	636.86	23.86	689.6	28.7
		30MHz	636.62	13.29	689.4	18.099
		25MHz	115.372	10.83	127.76	15.627
		16MHz	115.418	7.21	127.93	11.905
		8MHz	115.36	3.93	127.77	8.587
		4MHz	115.328	2.31	127.78	6.967
		2MHz	115.36	1.49	127.82	6.17
	HSECLK bypass(2), 关闭所有外设	168MHz	750.88	28.35	801.4	34.352
		144MHz	692.84	22.02	744.7	26.958
		120MHz	636.82	18.54	691.1	23.48
		90MHz	779.8	14.45	831.9	19.302
		60MHz	636.52	10.04	689.8	14.924
		30MHz	636.4	5.75	690.2	10.563
		25MHz	115.318	4.38	128.66	9.115
		16MHz	115.344	3.01	128.44	7.673
		8MHz	115.358	1.86	127.8	6.481
		4MHz	115.348	1.27	127.84	5.93
		2MHz	115.36	0.99	127.86	5.645

注：

(1)由综合评估得出，不在生产中测试。

(2) 外部时钟为 4MHz, 当 fHcLk>25MHz 时, 开启 PLL; 否则关闭 PLL。

(3)当 ADC、DAC、HSECLK、LSECLK、HSICLK、LSICLK 等模拟外设打开时, 需要考虑额外的功耗。

表格 39 程序在 Flash (ART 关)执行,运行模式的功耗

参数	条件	fHCLK	典型值(1)		最大值(1)	
			TA=25℃, VDD=3.3V		TA=105℃, VDD=3.6V	
			IDDA(μA)	1□□(mA)	IDDA(μA)	|□D(mA)
运行模式功耗	HSECLK bypass(2), 使能所有外设(3)	168MHz	751.66	64.25	802	70.52
		144MHz	693.58	51.09	745.3	56.05
		120MHz	637.26	43.99	690.2	48.92
		90MHz	780.86	34.91	831.4	39.971
		60MHz	636.78	25.02	689.4	29.894
		30MHz	636.66	14.33	689	19.315
		25MHz	115.362	11.80	127.72	16.725
		16MHz	115.362	7.83	127.75	12.527
		8MHz	115.35	4.27	127.8	8.994
		4MHz	115.35	2.45	127.88	7.13
		2MHz	115.362	1.57	127.76	6.279
	HSECLK bypass(2), 关闭所有外设	168MHz	750.94	24.71	801.4	30.851
		144MHz	692.82	20.21	744.7	25.179
		120MHz	636.76	17.96	689.8	22.905
		90MHz	780.46	15.03	831.6	20.009
		60MHz	636.46	11.19	689.8	16.127
		30MHz	636.38	6.79	689.9	11.675
		25MHz	115.33	5.26	128.5	10.148
		16MHz	115.32	3.65	127.96	8.458
		8MHz	115.364	2.14	127.82	6.8
		4MHz	115.35	1.43	127.68	6.114
		2MHz	115.532	1.07	127.9	5.815

注：(1)由综合评估得出，不在生产中测试。

(2) 外部时钟为 4MHz, 当 fHcLκ>25MHz 时, 开启 PLL; 否则关闭 PLL。

(3) 当 ADC、DAC、HSECLK、LSECLK、HSICLK、LSICLK 等模拟外设打开时, 需要考虑额外的功耗。

表格 40 程序在 RAM 中执行，运行模式的功耗

参数	条件	fHCLK	典型值(1)		最大值(1)	
			TA=25℃, VDD=3.3V		TA=105℃, VDD=3.6V	
			IDDA(μA)	DD(mA)	IDDA(μA)	I□D(mA)
运行模式功耗		168MHz	752.14	70.29	803.8	76.51

参数	条件	fHCLK	典型值(1)		最大值(1)	
			TA=25℃, VDD=3.3V		TA=105℃, VDD=3.6V	
			IDDA(μA)	IDD(mA)	IDDA(μA)	IDD(mA)
	HSECLK bypass(2), 使能所有外设(3)	144MHz	693.74	54.73	745.5	59.73
		120MHz	637.6	46.22	690.4	51.16
		90MHz	781	35.67	832	40.53
		60MHz	637.02	24.70	689.8	29.646
		30MHz	636.74	13.74	689.2	18.596
		25MHz	115.42	11.23	127.85	16.02
		16MHz	115.374	7.42	127.88	12.204
		8MHz	115.37	4.05	127.81	8.836
		4MHz	115.376	2.38	127.72	7.124
		2MHz	115.347	1.53	127.76	6.267
	HSECLK bypass(2), 关闭所有外设	168MHz	751.38	31.03	802.4	37.286
		144MHz	693	24.11	744.7	29.106
		120MHz	636.88	20.30	689.8	25.226
		90MHz	780.56	15.81	931.6	20.743
		60MHz	636.68	10.92	690	15.802
		30MHz	636.62	6.19	689.7	11.021
		25MHz	115.364	4.75	128.42	9.478
		16MHz	115.348	3.26	128.79	8.067
		8MHz	115.378	1.97	127.76	6.706
		4MHz	115.364	1.33	127.73	6.037
		2MHz	115.34	1.02	127.74	5.703

注：

(1)由综合评估得出，不在生产中测试。

(2) 外部时钟为 4MHz, 当 fHcLk>25MHz 时, 开启 PLL; 否则关闭 PLL。

(3) 当 ADC、DAC、HSECLK、LSECLK、HSICLK、LSICLK 等模拟外设打开时, 需要考虑额外的功耗。

5.7.3 睡眠模式功耗

表格 41 程序在 Flash(ART 关)中执行，睡眠模式下的功耗

参数	条件	fHCLK	典型值(1)		最大值(1)	
			TA=25℃, VDD=3.3V		TA=105℃, VDD=3.6V	
			IDDA(μA)	IDD(mA)	IDDA(μA)	IDD(mA)
睡眠模式功耗	HSECLK bypass(2), 使能所有外设	168MHz	751.34	54.18	802.1	60.33
		144MHz	693.26	42.25	745	47.12
		120MHz	637.24	35.75	689.8	40.53
		90MHz	780.6	27.69	831.2	32.539
		60MHz	636.72	19.33	689.2	24.149
		30MHz	636.46	11.02	689.2	15.8
		25MHz	115.356	8.96	127.77	13.7
		16MHz	115.34	5.99	127.71	10.68
		8MHz	115.334	3.33	127.78	8.01
		4MHz	115.332	2.00	127.84	6.669
		2MHz	115.352	1.34	127.82	6.017
	HSECLK bypass(2), 关闭所有外设	168MHz	750.52	13.91	801	19.858
		144MHz	692.58	10.82	743.9	15.637
		120MHz	636.46	9.20	689	13.987
		90MHz	780.24	7.44	830.6	12.206
		60MHz	636.42	5.33	689	10.067
		30MHz	636.36	3.38	688.8	8.099
		25MHz	115.374	2.41	127.84	7.075
		16MHz	115.346	1.79	127.74	6.459
		8MHz	115.354	1.23	127.83	5.914
		4MHz	115.36	0.96	127.86	5.63
		2MHz	115.422	0.83	127.84	5.535

注：

(1)由综合评估得出，不在生产中测试。

(2) 外部时钟为 4MHz，当 fHCLK>25MHz 时，开启 PLL；否则关闭 PLL。

5.7.4 停机模式功耗

表格 42 停机模式功耗

条件		典型值(1)，(TA=25℃)						最大值(1)，(VDD=3.6V)	
		VDD=2.4V		VDD=3.3V		VDD=3.6V		TA=105℃	
		IDDA (μA)	IDD (mA)	IDDA (μA)	IDD (mA)	IDDA (μA)	IDD (mA)	IDDA (μA)	IDD (mA)
调压器处于运行模式，所有振荡器处于关闭状态	Flash 停止模式，RC 内部振荡器和高速振荡器关闭(无独立看门狗)	9.28	0.69	9.80	0.70	10.05	0.71	12.36	20.00
	Flash 掉电模式，RC 内部振荡器和高速振荡器关闭(无独立看门狗)	9.23	0.69	9.72	0.70	10	0.70	12.35	20.00
调压器处于低功耗模式，所有振荡器处于关闭状态	Flash 停止模式，RC 内部振荡器和高速振荡器关闭(无独立看门狗)	4.18	0.21	4.65	0.21	4.87	0.21	5.91	15.00
	Flash 掉电模式，RC 内部振荡器和高速振荡器关闭(无独立看门狗)	4.19	0.20	4.64	0.20	4.86	0.20	5.86	15.00

注：(1)由综合评估得出，不在生产中测试。

5.7.5 待机模式功耗

表格 43 待机模式功耗

条件		典型值(1)，(TA=25℃)						最大值(1)，(VDD=3.6V)	
		VDD=2.4V		VDD=3.3V		VDD=3.6V		TA=105℃	
		IDDA (μA)	IDD (μA)	IDDA (μA)	IDD (μA)	IDDA (μA)	IDD (μA)	IDDA (μA)	IDD (μA)
待机模式下的电源电流	备份 SRAM 打开，低速振荡器和 RTC 打开	2.15	8.38	2.56	9.73	2.83	10.19	3.76	59.39
	备份 SRAM 关闭，低速振荡器和 RTC 打开	2.15	3.52	2.62	4.46	2.81	5.11	3.48	32.00
	备份 SRAM 打开，RTC 关闭	2.13	7.33	2.62	8.24	2.81	8.64	3.45	58.24
	备份 SRAM 关闭，RTC 关闭	2.13	2.51	2.61	3.31	2.78	3.68	3.45	19.20

注：(1)由综合评估得出，不在生产中测试。

5.7.6 外设功耗

外设功耗=使能该外设时钟的电流——禁止该外设的时钟的电流。

表格 44 外设功耗

参数	外设	典型值(1) TA=25℃, VDD=3.3V		单位
		168MHz	144MHz	
AHB1(最高 168MHz)	DMA1	5.4	4.21	μA/MHz
	DMA2	5.56	4.3	
	ETH	3	2.35	
	OTG_HS	4.21	3.26	
	GPIOA	0.32	0.25	
	GPIOB	0.31	0.24	
	GPIOC	0.32	0.24	
	GPIOD	0.3	0.23	
	GPIOE	0.31	0.25	
	GPIOF	0.33	0.26	
	GPIOG	0.3	0.24	
	GPIOH	0.3	0.24	
	GPIOI	0.3	0.24	
	CRC	0.03	0.03	
AHB2(最高 168MHz)	OTG_FS	3.12	2.41	
	DCI	0.79	0.61	
	RNG	0.16	0.12	
AHB3(最高 168MHz)	EMMC	1.68	1.3	
APB1 (最高 42MHz)	TMR2	0.46	0.36	
	TMR3	0.35	0.27	
	TMR4	0.34	0.27	
	TMR5	0.46	0.35	
	TMR6	0.08	0.07	
	TMR7	0.08	0.06	
	TMR12	0.19	0.15	
	TMR13	0.14	0.11	
	TMR14	0.14	0.1	
	WWDT	0.02	0.02	
	SPI2/I2S2	0.12	0.1	
	SPI3/I2S3	0.12	0.1	
	USART2	0.11	0.09	
	USART3	0.12	0.09	

参数	外设	典型值(1) TA=25℃, VDD=3.3V		单位
		168MHz	144MHz	
	UART4	0.11	0.08	
	UART5	0.11	0.08	
	I2C1	0.12	0.09	
	I2C2	0.12	0.09	
	I2C3	0.12	0.1	
	CAN1	0.18	0.14	
	CAN2	0.16	0.13	
	PMU	0.01	0.01	
	DAC	0.08	0.06	
APB2 (最高 84MHz)	SDIO	0.41	0.32	
	TMR1	0.99	0.77	
	TMR8	0.97	0.77	
	TMR9	0.41	0.32	
	TMR10	0.27	0.21	
	TMR11	0.26	0.22	
	ADC1	0.27	0.22	
	ADC2	0.27	0.22	
	ADC3	0.28	0.23	
	SPI1	0.12	0.11	
	USART1	0.22	0.18	
	USART6	0.21	0.18	
	SYSCFG	0.05	0.05	

注：由综合评估得出，不在生产中测试。

5.7.7 备份域功耗

表格 45 VBAT 功耗

符号	参数	条件	典型值(1), TA=25℃		最大值(1), VBAT=3.6V		单位
			VBAT=2.4V	VBAT=3.3V	TA=85℃	TA=105℃	
IDD_VBAT	LSECLK、RTC 处于开启状态	备用 SRAM 开启，低速振荡器和 RTC 开启	1.894	2.262	6	11	μA
		备用 SRAM 关闭，低速振荡器和 RTC 开启	1.08	1.412	3	5	
		备用 SRAM 开启，RTC 关闭	0.926	1.116	5	10	
		备用 SRAM 关闭，RTC 关闭	0.02	0.128	2	4	

注：(1)由综合评估得出，不在生产中测试。

5.8 低功耗模式唤醒时间

低功耗唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令的时间，其中 VDD=VDDA。

表格 46 低功耗唤醒时间

符号	参数	条件	最小值	典型值	最大值	单位
twuSLEEP	从睡眠模式唤醒		39.00	59	61.20	ns
twUSTOP	从停机模式唤醒	调压器处于运行模式， Flash 在停止模式	12.51	13.602	14.99	μs
		调压器处于低功耗模式， Flash 在停止模式	15.51	19.552	22.93	
		调压器处于运行模式， Flash 在深度掉电模式	125.63	133.156	135.16	
		调压器处于低功耗模式， Flash 在深度掉电模式	133.52	136.956	139.60	
twuSTDBY	从待机模式唤醒		173.03	214.056	227.96	

注：由综合评估得出，不在生产中测试。

5.9 I/O 端口特性

表格 47 直流特性(TA=-40°C-105°C,VDD=2~3.6V)

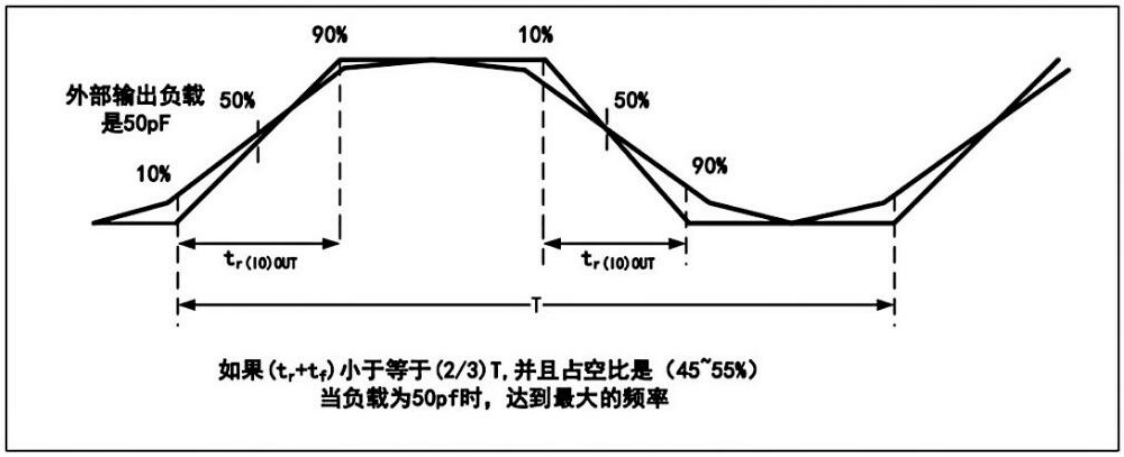
符号	参数	条件	最小值	典型值	最大值	单位
VIL	输入低电平电压	STD 和 STDA I/O	-	-	0.3VDD-0.04	V
		5T 和 5Tf I/O	-	-	0.3VDD	
		Boot0 引脚	-	-	0.1VDD+0.1	
VIH	输入高电平电压	STD 和 STDA I/O	0.45VDD+0.3	-		V
		5T 和 5Tf I/O	0.7VDD			
		Boot0 引脚	0.17VDD+0.7	-		
Vhys	施密特触发器迟滞	STD、STDA 和 5T、5Tf I/O	10% VDD	-		mV
		Boot0 引脚	0.1	-		
Iikg	输入漏电流	数字模式下 STDA,VDDIOx≤VIN≤VDDA	-	-	±1	μA
		5T 和 5Tf I/O, VDDIOx≤VIN≤5V	-	-	3	
Rpu	弱上拉等效电阻	除 PA10 和 PB12, VIN= Vss	30	40	50	kΩ
		PA10 和 PB12	7	10	14	
RPD	弱下拉等效电阻	除 PA10 和 PB12, VIN=VDD	30	40	50	
		PA10 和 PB12	7	10	14	
Clo	I/O 销电容	-	-	5	-	pF

表格 48 交流特性(TA=25℃)

SPEED[1:0]	符号	参数	条件	最小值	最大值	单位
00	fmax(IO) out	最大频率	CL=50pF, VDD>2.7V	-	4	MHz
			CL=50pF, VDD>1.8V		2	
			CL=10pF, VDD>2.7V	_	8	
			CL=10pF, VDD>1.8V	_	4	
	tr(IO) out/ tr(IO) out	输出高至低电平的下降时间和输出低至高电平的上升时间	CL=50 pF, VDD=1.8 V-3.6V	-	100	ns
01	fmax(IO) out	最大频率	CL=50pF, VDD>2.7V	-	25	MHz
			CL=50pF, VDD>1.8V	_	12.5	
			CL=10pF, VDD>2.7V	-	50	
			CL=10pF, VDD>1.8V	-	20	
	tf(IO) out/ tr(IO) out	输出高至低电平的下降时间和输出低至高电平的上升时间	CL=30pF, VDD>2.7V	-	10	ns
			CL=30pF, VDD>1.8V	_	20	
			CL=10pF, VDD>2.7V	-	6	
			CL=10pF, VDD>1.8V	-	10	
10	fmax(IO) out	最大频率	CL=30pF, VDD>2.7V	-	50	MHz
			CL=30pF, VDD>1.8V	_	25	
			CL=10pF, VDD>2.7V	-	100	
			CL=10pF, VDD>1.8V	-	50	
	tr(iO) out/ tr(IO) out	输出高至低电平的下降时间和输出低至高电平的上升时间	CL=30pF, VDD>2.7V	-	6	ns
			CL=30pF, VDD>1.8V	_	10	
			CL=10pF, VDD>2.7V	-	4	
			CL=10pF, VDD>1.8V	-	6	
11	fmax(IO) out	最大频率	CL=30pF, VDD>2.7V	-	100	MHz
			CL=30pF, VDD>1.8V	_	50	
			CL=10pF, VDD>2.7V	-	180	
			CL=10pF, VDD>1.8V	-	100	
	tr(IO) out/ tr(IO) out	输出高至低电平的下降时间和输出低至高电平的上升时间	CL=30pF, VDD>2.7V	-	4	ns
			CL=30pF, VDD>1.8V	-	6	
			CL=10pF, VDD>2.7V	-	2.5	
			CL=10pF, VDD>1.8V	-	4	

SPEED[1:0]	符号	参数	条件	最小值	最大值	单位
-	tEINTIpw	EINT 控制器检测到的外部信号的脉冲宽度		10	-	

图 12 输入输出交流特性定义



表格 49 输出驱动电压特性(TA=25℃)

符号	参数	条件	最小值	最大值	单位
VoL	I/O 引脚输出低电平电压	CMOS 端口, ||io|=8mA,2.7 V<VDD<3.6 V	-	0.4	V
VoH	I/O 引脚输出高电平电压		VDD-0.4		
VoL	I/O 引脚输出低电平电压	TTL 端口, ||io|=20mA,2.7 V < VDD <3.6 V	-	0.4	
VoH	I/O 引脚输出高电平电压		2.4	-	
VoL	I/O 引脚输出低电平电压	|Iio|=20mA, 2.7 V< VDD <3.6 V	-	1.3	V
VoH	I/O 引脚输出高电平电压		VDD-1.3	-	
VoL	I/O 引脚输出低电平电压	||IO|=6mA, 2.7 V < VDD < 3.6 V	-	0.4	
Voh	I/O 引脚输出高电平电压		VDD-0.4	-	

注：由综合评估得出，不在生产中测试。

5.10 NRST 引脚特性

NRST 引脚输入驱动采用 CMOS 工艺，它连接了一个永久性上拉电阻 RPu。

表格 50 NRST 引脚特性 (TA=-40~105℃,VDD=2~3.6V)

符号	参数	条件	最小值	典型值	最大值	单位
VIL(NRST)	NRST 输入低电平电压	TTL 端口, 2.7V≤VDD≤3.6V	-	-	0.8	V
VIH(NRST)	NRST 输入高电平电压		2			
VIL(NRST)	NRST 输入低电平电压	CMOS 端口, 1.8V≤VDD≤3.6V	-		0.3VDD	
VIH(NRST)	NRST 输入高电平电压		0.7VDD	-	-	

符号	参数	条件	最小值	典型值	最大值	单位
Vhys(NRST)	NRST 施密特触发器电压迟滞	-	-	200	-	mV
Rpu	弱上拉等效电阻	VIN= Vss	30	40	50	kΩ
VF(NRST)	NRST 输入滤波脉冲	-	-	-	100	ns
VNF(NRST)	NRST 输入未过滤的脉冲	VDD>2.7V	300	-	-	
TNRST_OUT	产生的复位脉冲持续时间	重置内部来源	20	-	-	us

5.11 通信外设

5.11.1 I2C 外设特性

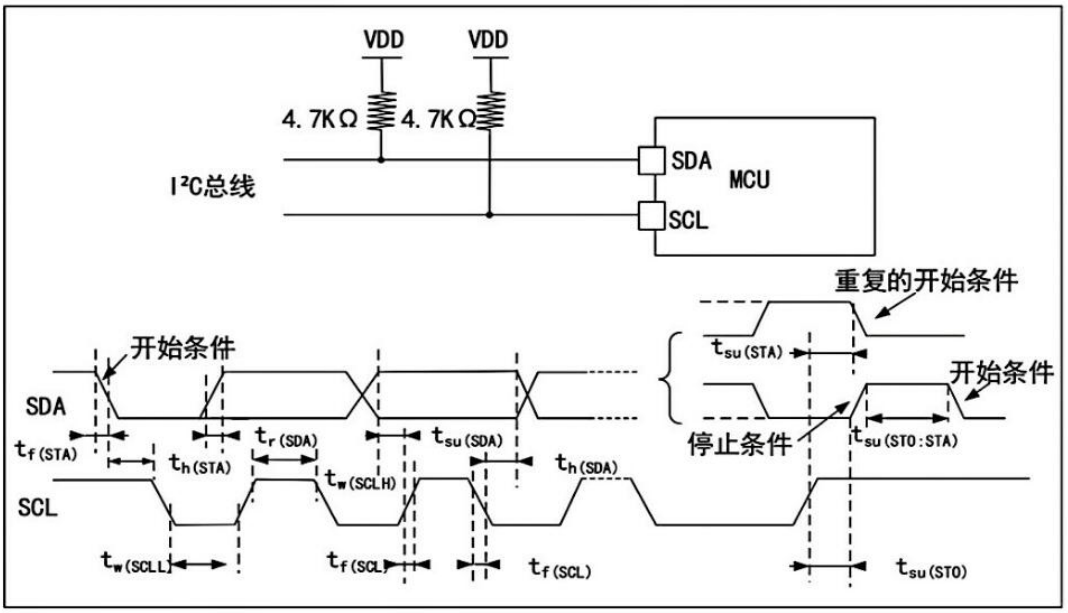
为达到标准模式 I2C 的最大频率，fecuκ1必须大于 2MHz。为达到快速模式 I2C 的最大频率，fpcuκ1必须大于 4MHz。

表格 51 I2C 接口特性(TA=25℃,VDD=3.3V)

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
tw(SCLL)	SCL 时钟低时间	4.7	-	1.3	-	μs
tw(SCLH)	SCL 时钟高时间	4.0	-	0.6	-	
tsu(SDA)	SDA 建立时间	250	-	100	-	ns
th(SDA)	SDA 数据保持时间	0	-	0	900	
tr(SDAy/ tr(SCL)	SDA 和 SCL 上升时间	-	1000	20+0.1Cb	300	
tr(SDA)/ tr(SCL)	SDA 和 SCL 下降时间	-	300	-	300	
th(STA)	开始条件保持时间	4.0	-	0.6	-	μs
tsu(STA)	重复的开始条件建立时间	4.7	-	0.6	-	
tsu(STO)	停止条件建立时间	4.0	-	0.6	-	
tw(STO:STA)	停止条件至开始条件的时间(总线空闲)	4.7	-	1.3	-	
Cb	每条总线的容性负载	-	400	-	400	pF

注：由综合评估得出，不在生产中测试。

图 13 总线交流波形和测量电路



注：测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD。

5.11.2 SPI外设特性

表格 52 SPI 特性(TA=25℃,VDD=3.3V)

符号	参数	条件	最小值	最大值	单位
fsck	SPI 时钟频率	主模式， SPI1,2.7V<VDD<3.6V	-	42	MHz
		从模式， SPI1,2.7V<VDD<3.6V	-	42	
1/ta(sc K)		主模式， SPI1/2/3,1.7V<VDD<3.6V	-	21	
		从模式， SPI1/2/3,1.7V<VDD<3.6V	-	21	
tr(SCK)tr(SCK)	SPI 时钟上升和下降时间	负载电容：C=15pF	-	6	ns
tsu(NSS)	NSS 建立时间	从模式	4TPCLK		
th(NSS)	NSS 保持时间	从模式	2TPCLK +10		
tw(SCKH)tw(SCKL)	SCK 高和低的时间	主模式， fPCLK=36MHz,预分频系数=4	TPCLK/2-2	TPCLκ/2+1	
tsu(MI)tsu(SI)	数据输入建立时间	主模式	4	-	
		从模式	5	-	
th(MI)th(SI)	数据输入保持时间	主模式	4		
		从模式	5		

符号	参数	条件	最小值	最大值	单位
ta(SO)	数据输出访问时间	从模式，fPCLK=20MHz	0	3TPCLK	
tdis(SO)	数据输出禁止时间	从模式	0	18	
tv(so)	数据输出有效时间	从模式(使能边沿之后)	-	22.5	
tv(MO)	数据输出有效时间	主模式(使能边沿之后)	-	6.97	
th(SO)	数据输出保持时间	从模式(使能边沿之后)	11.5	-	
th(MO)		主模式(使能边沿之后)	1	-	
DuCy(sc κ)	SPI 时钟频率占空比	从模式	25	75	%

注：由综合评估得出，不在生产中测试。

图 14 SPI 时序图—从模式和 CPHA=0

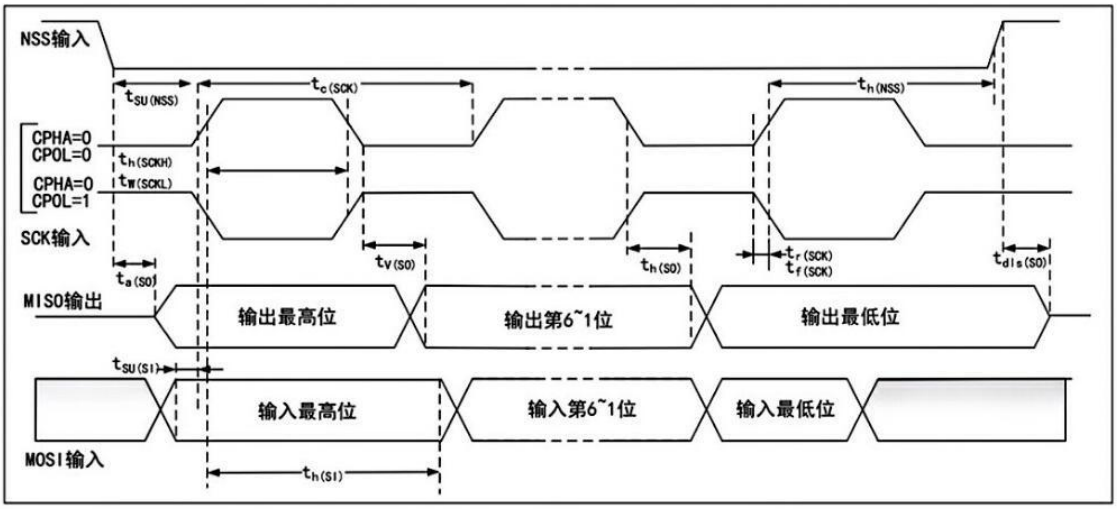
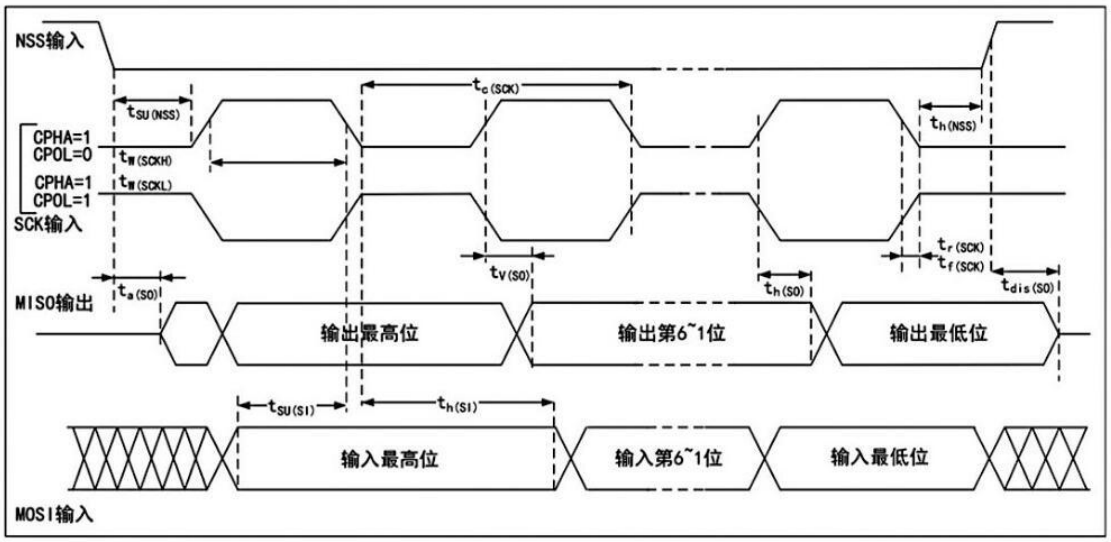
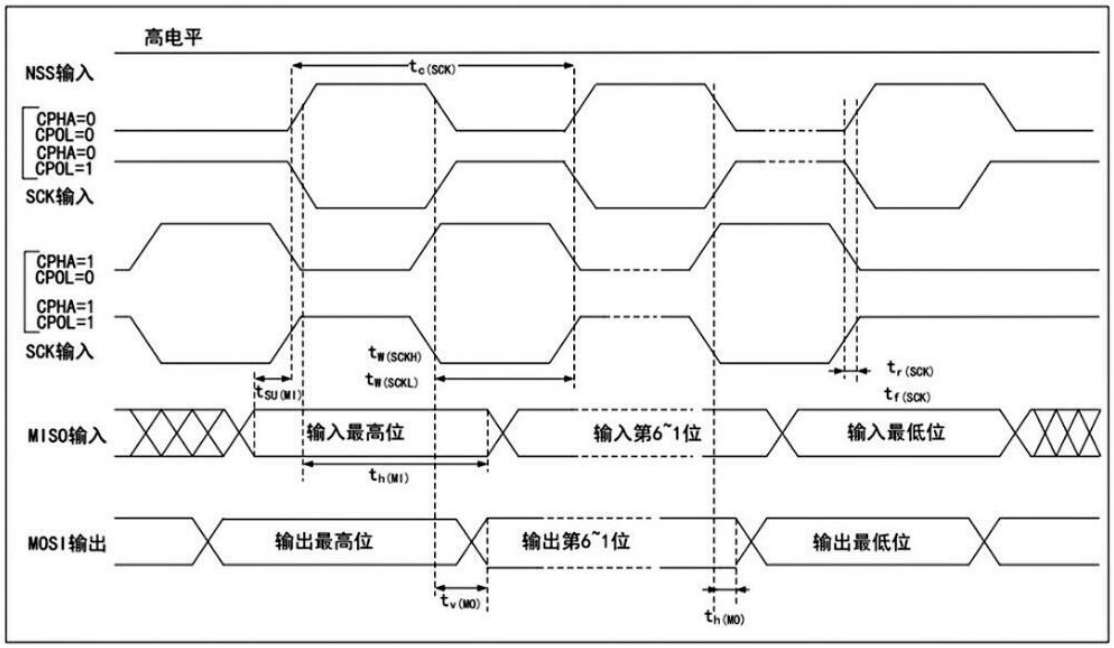


图 15 SPI 时序图—从模式和 CPHA=1



注：测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD。

图 16 SPI 时序图—主模式



注：测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD。

5.12 模拟外设

5.12.1 ADC

测试参数说明：

采样率：ADC 每秒进行的模拟量转数字量的次数，

- 采样率=ADC 时钟 /(采样周期数 +转换周期数)

5.12.1.1 12 位 ADC 特性

表格 5312 位 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
VDDA	供电电压		1.8	-	3.6	V
IDDA	ADC 功耗		-	1.6	1.8	mA
fADC	ADC 频率	VDDA=1.8~2.4V	0.6	15	18	MHz
		VDDA=2.4~3.6V	0.6	30	36	
CADC	内部采样和保持电容		-	4	-	pF
RADC	采样电阻		-	-	6000	Ω
ts	采样时间	fADc=30MHz	0.1		16	μs
		-	3		480	1/fADC

符号	参数	条件	最小值	典型值	最大值	单位
Tconv	采样和转换时间	fADc=30MHz12 位分辨率	0.50	-	16.40	μs
		fADc=30MHz 10 位分辨率	0.43	-	16.34	μs
		fADC=30MHz 8 位分辨率	0.37	-	16.27	μs
		fADc=30MHz 6 位分辨率-	0.30	-	16.20	μs
Ivref	转换模式下，ADC Vref 直流功耗		:	300	500	uA

表格 5412 位 ADC 精度

符号	参数	条件	典型值	最大值	单位
ET	综合误差	fPCLK=56MHz, fADc=14MHz, VDDA=2.4V-3.6VTA=-40℃~105℃	±2	±5	LSB
Eo	偏移误差		±1.5	±2.5	
EG	增益误差		±1.5	±3	
ED	微分线性误差		±1	±2	
EL	积分线性误差		±1.5	±3	

注：由综合评估得出，不在生产中测试。

5.12.1.2 温度传感器特性

表格 55 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
Slope(1)	平均斜率(VDD=3.3V，TA=-40~85℃)	-	2.47	-	mV/℃
V_{25}	在 25℃时的电压 (VDD = 2.0-3.6V)	-	0.76	-	V
Ts _ temp (2)	当读取温度时，ADC 采样时间	10	-	-	μs

注：(1)由设计保证，不在生产中测试。

(2)最短的采样时间可以由应用程序通过多次循环决定。

5.12.1.3 内置参考电压特性测试

表格 56 内置参考电压特性

符号	参数	条件	最小值	典型值	最大值	单位
VREFINT	内置参照电压	-4 0℃ <TA<+105℃	1.19	1.20	1.20	V
Ts _ vrefint	当读出内部参照电压时，ADC 的采样时间	-	10	-	-	μs
VRERINT	内置参考电压扩展到温度范围	VDD=3V	-	3	5	mV
Tcoeff	温度系数	-	-	30	50	ppm/℃

注：由综合评估得出，不在生产中测试。

5.12.2 DAC

测试参数说明：

DNL 微分非线性误差：两个连续代码之间的偏差减去 1LSB

INL 积分非线性误差：代码 i 处测得的值与代码 0 及最后一个代码 4095 之间连线上代码 i 处的值之间的差

表格 57 DAC 特性

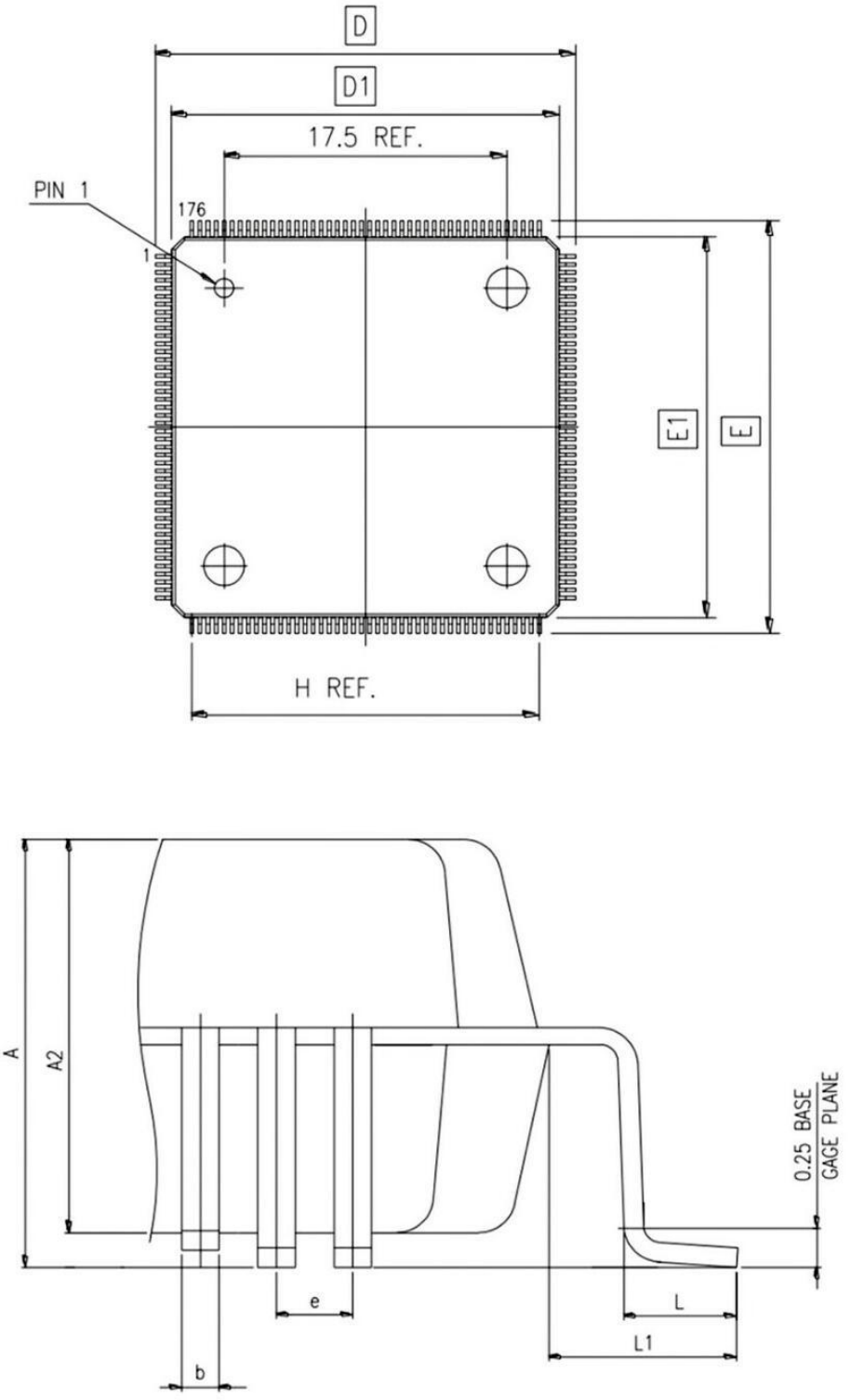
符号	参数	条件	最小值	典型值	最大值	单位
VDDA	模拟电源电压	-	1.8	-	3.6	V
RLOAD	阻性负载	缓冲器打开	5	-	-	kΩ
Ro	输出阻抗	缓冲器关闭，DAC_OUT 和 Vss 之间的阻性负载是 1.5MΩ	-	-	15	kΩ
CLOAD	容性负载	缓冲器打开，在 DAC_OUT 引脚处的最大容性负载	-	-	50	pF
DAC_OUTmin	带缓冲器低 DAC_OUT 电压	DAC 的最大输出偏移，对应于 12 位输入代码（0x0E0）到 VREF+= 3.6 V 处的（0xF1C）和 VREF+= 1.8 V 处的（0x1C7）和（0xE38）	0.2	-	-	V
DAC_OUTmax	更高的带缓冲器的 DAC_OUT 电压		-	-	VDDA-0.2	V
DAC_OUTmin	不带缓冲器低 DAC_OUT 电压	DAC 的最大输出偏移	-	0.5	-	mV
DAC_OUTmax	更高的不带缓冲器的 DAC_OUT 电压		-	-	VREF+-1LSB	V
DNL	微分非线性误差	配置 12 位 DAC	-		±2	LSB
INL	积分非线性误差	配置 12 位 DAC	-	-	±4	LSB
Offset	偏移误差	VREF+=3.6V，配置 12 位 DAC	-	-	±12	LSB
Gain error	增益误差	配置 12 位 DAC	-	-	±0.5	%

注：由综合评估得出，不在生产中测试。

6 封装信息

6.1 LQFP176 封装信息

图 17 LQFP176封装图



(1)图不是按照比例绘制。

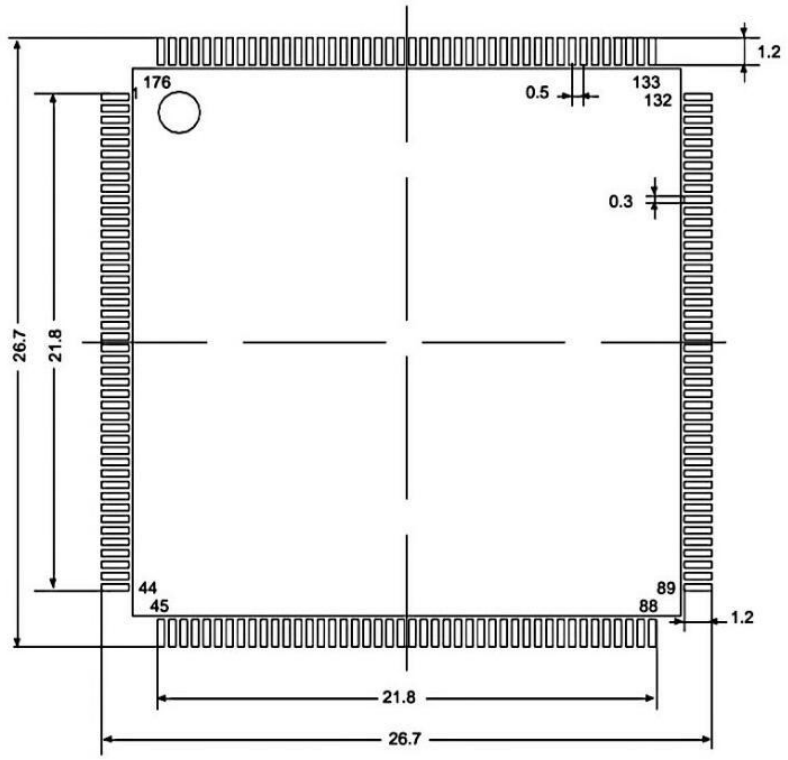
(2)所有的引脚都应该焊接在 PCB 上。

表格 58LQFP176 封装数据

S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX.1.600	OVERALL HEIGHT
2	A2	1.400±0.050	PKG THICKNESS
3	D	26.000±0.200	LEAD TIP TO TIP
4	D1	24.000±0.100	PKG LENGTH
5	E	26.000±0.200	LEAD TIP TO TIP
6	E1	24.000±0.100	PKG WDTH
7	L	0.600±0.150	FOOT LENGTH
8	L1	1.000 REF	LEAD LENGTH
9	e	0.500 BASE	LEAD PITCH
10	H (REF)	(21.50)	CUM LEAD PITCH
11	b	0.22±0.050	LEAD WIDTH

注：尺寸以毫米表示。

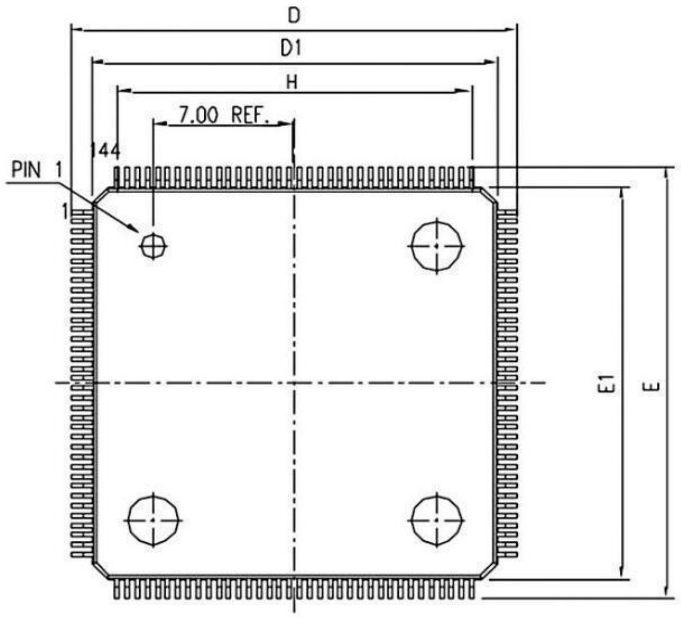
图 18 LQFP176 -176 引脚，24 x24 mm 焊接 Layout 建议

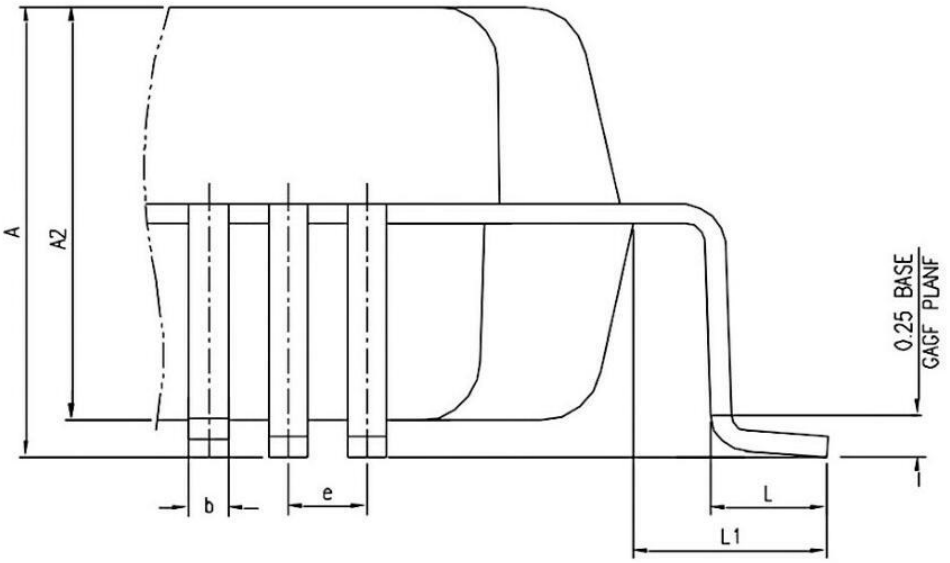


6 封装信息

6.2 LQFP144 封装信息

图 19 LQFP144 封装图





(1)图不是按照比例绘制。

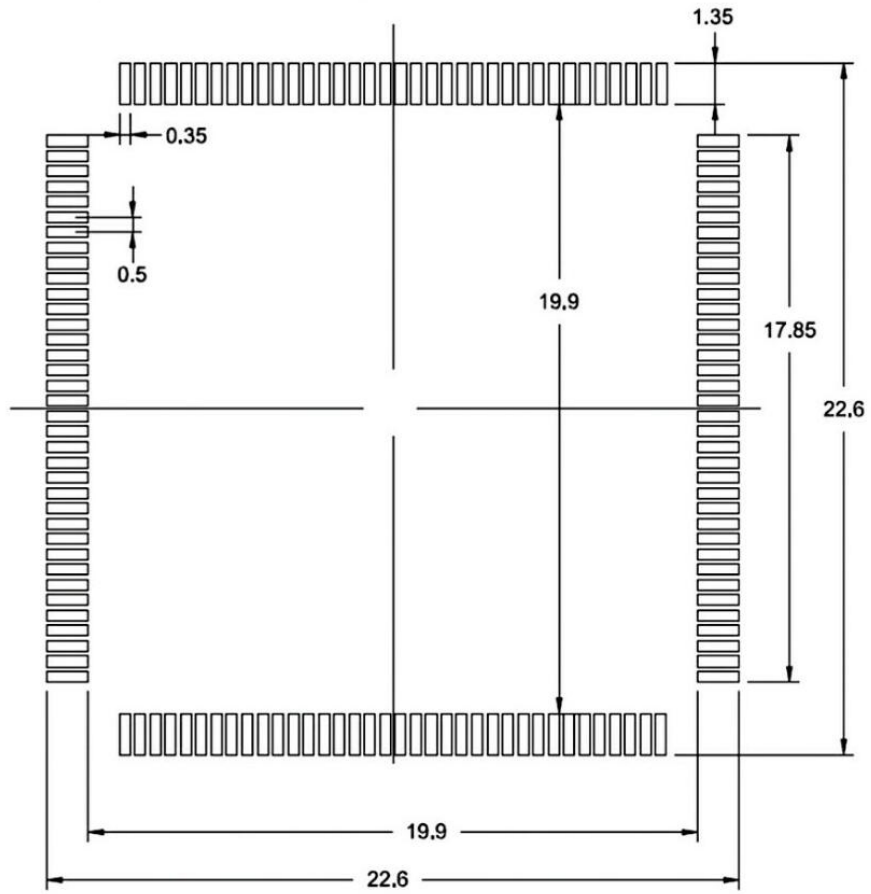
(2)所有的引脚都应该焊接在 PCB 上。

表格 59LQFP144 封装数据

S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX.1.600	OVERALL HEIGHT
2	A2	1.400±0.050	PKG THICKNESS
3	D	22.000±0.200	LEAD TIP TO TIP
4	D1	20.000±0.100	PKG LENGTH
5	E	22.000±0.200	LEAD TIP TO TIP
6	E1	20.000±0.100	PKG WDTH
7	L	0.600±0.150	FOOT LENGTH
8	L1	1.000 REF	LEAD LENGTH
9	e	0.500 BASE	LEAD PITCH
10	H(REF)	(17.50)	CUM LEAD PITCH
11	b	0.22±0.050	LEAD WIDTH

注：尺寸以毫米表示。

图20 LQFP144-144 引脚，20×20mm焊接Layout 建议

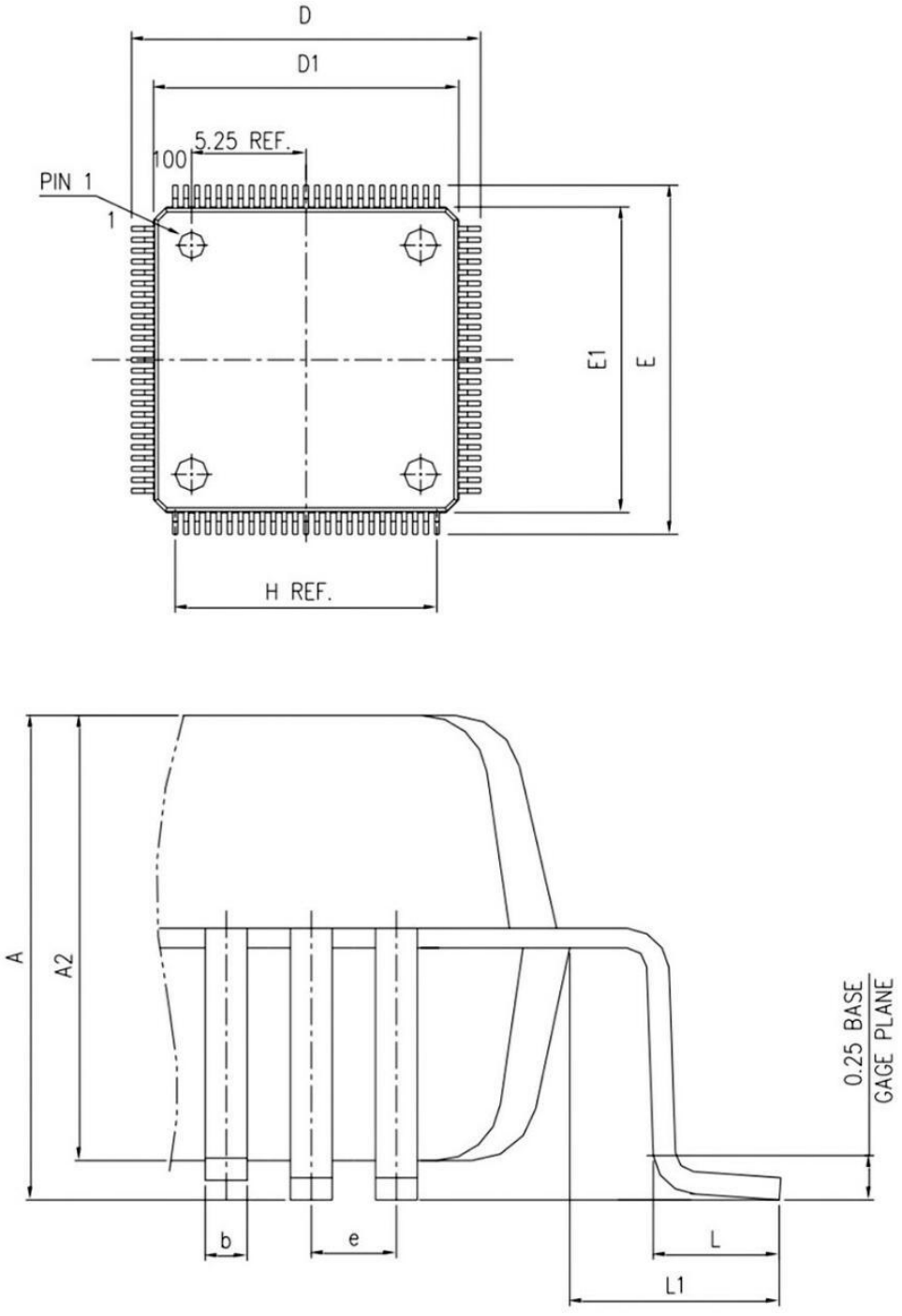


示。

注：尺寸以毫米表示。

6.3 LQFP100 封装信息

图 21 LQFP100封装图



(1)图不是按照比例绘制。

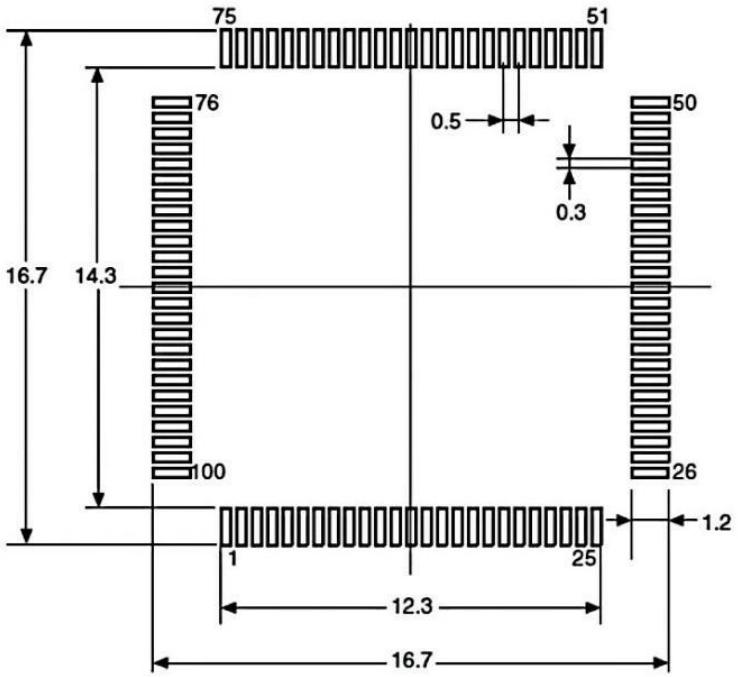
(2)所有的引脚都应该焊接在 PCB 上。

表格 60 LQFP100 封装数据

DIMENSION LIST (FOOTPRINT:2.00)			
S/N	SYM	DIMENDIONS	REMARKS
1	A	MAX.1.600	OVERALL HEIGHT
2	A2	1.400±0.050	PKG THICKNESS
3	D	16.000±0.200	LEAD TIP TO TIP
4	D1	14.000±0.100	PKG LENGTH
5	E	16.000±0.200	LEAD TIP TO TIP
6	E1	14.000±0.100	PKG WDTH
7	L	0.600±0.150	FOOT LENGTH
8	L1	1.000 REF	LEAD LENGTH
9	e	0.500 BASE	LEAD PITCH
10	H(REF)	(12.00)	CUM LEAD PITCH
11	b	0.22±0.050	LEAD WIDTH

注：尺寸以毫米表示。

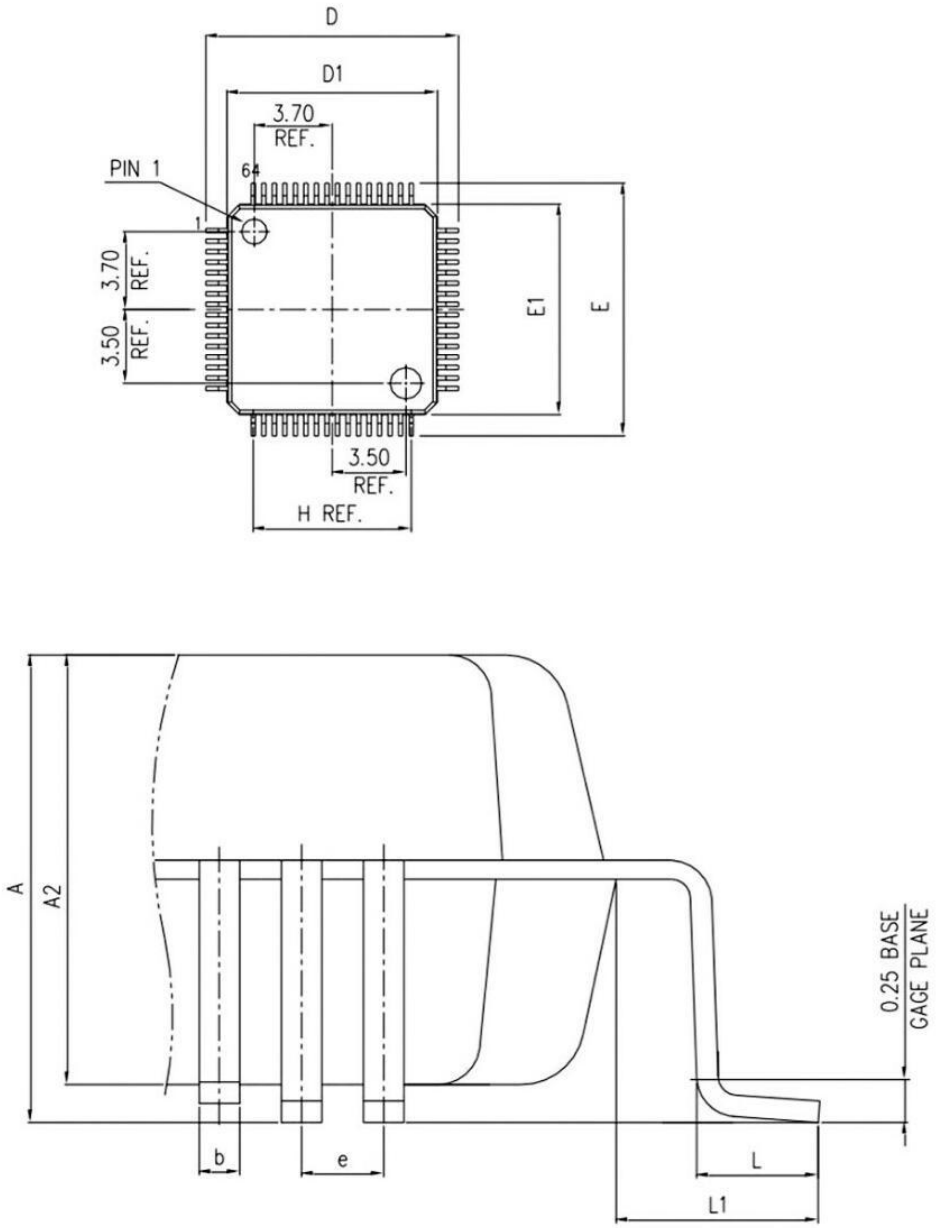
图 22 LQFP100-100 引脚, 14x 14mm焊接 Layout 建议



注：尺寸以毫米表示。

6.4 LQFP64 封装信息

图 23 LQFP64 封装图



(1)图不是按照比例绘制。

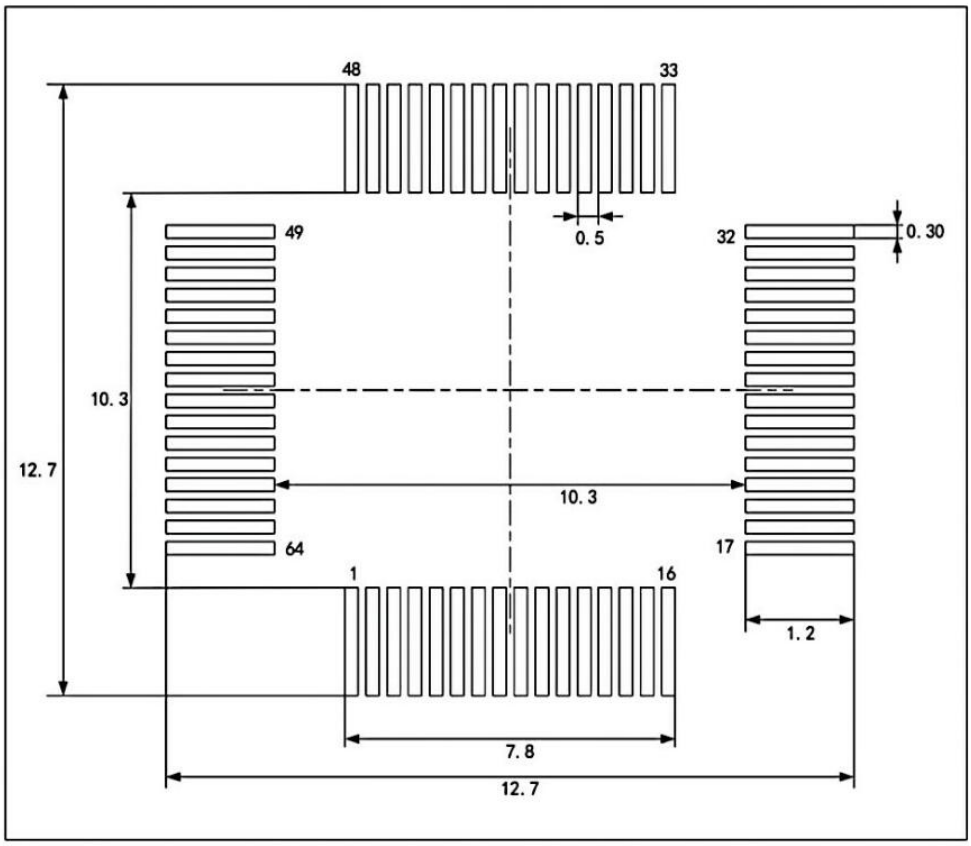
(2)所有的引脚都应该焊接在 PCB 上。

表格 61 LQFP64封装数据

S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX.1.600	OVERALLHEIGHT
2	A2	1.400±0.050	PKGTHICKNESS
3	D	12.000±0.200	LEADTIPTOTIP
4	D1	10.000±0.100	PKGLENGTH
5	E	12.000±0.200	LEADTIPTOTIP
6	E1	10.000±0.100	PKGWIDTH
7	L	0.600±0.150	FOOTLENGTH
8	L1	1.000REF.	LEADLENGTH
9	e	0.500BASE	LEADPITCH
10	H(REF.)	(7.500)	GUM. LEADPITCH
11	b	0.220±0.050	LEADWIDTH

注：尺寸以毫米表示。

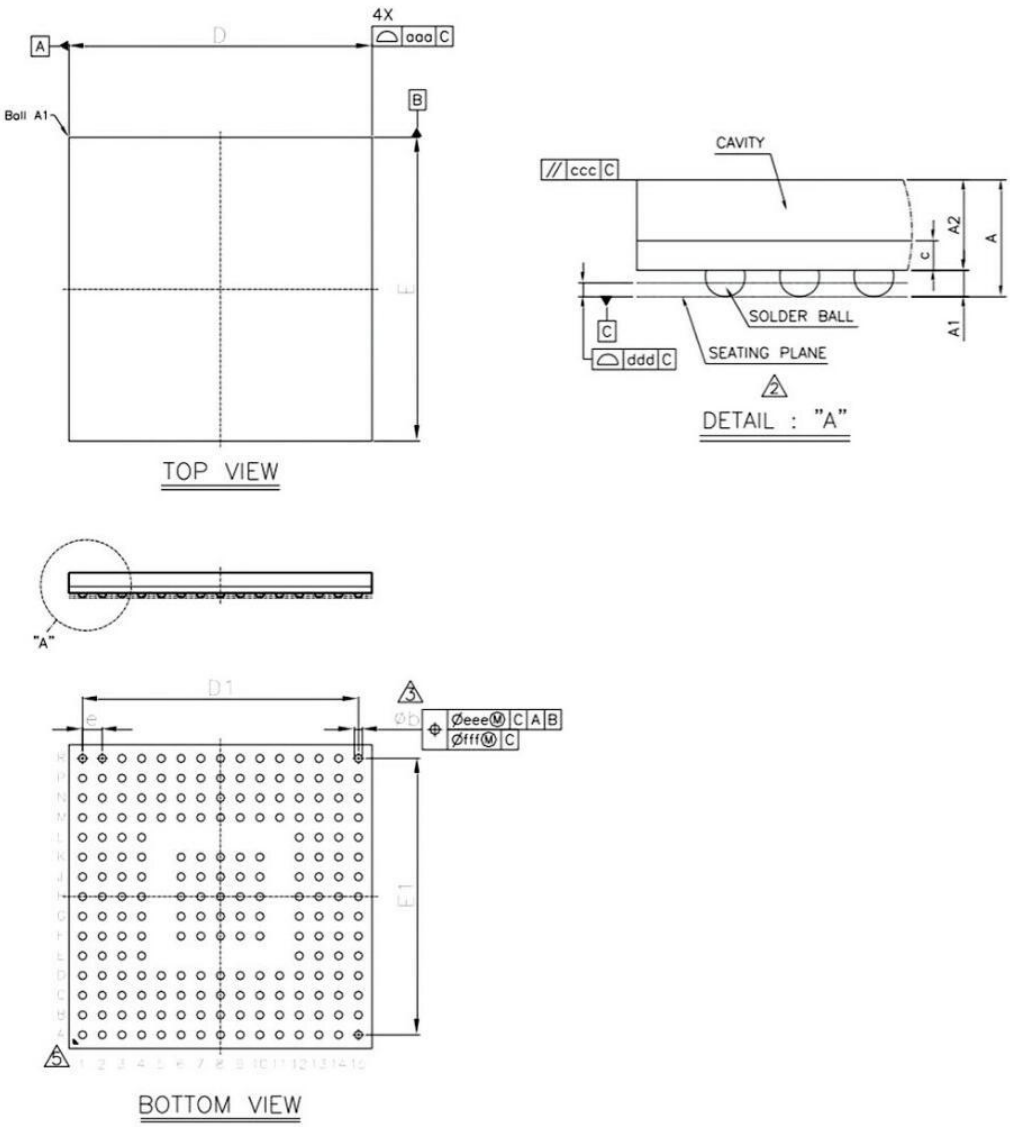
图 24 LQFP64 焊接 Layout建议



注：尺寸单位为毫米。

6.5 BGA176 封装信息

图 25 BGA176+25 封装图



(1)图不是按照比例绘制。

(2)所有的引脚都应该焊接在 PCB 上。

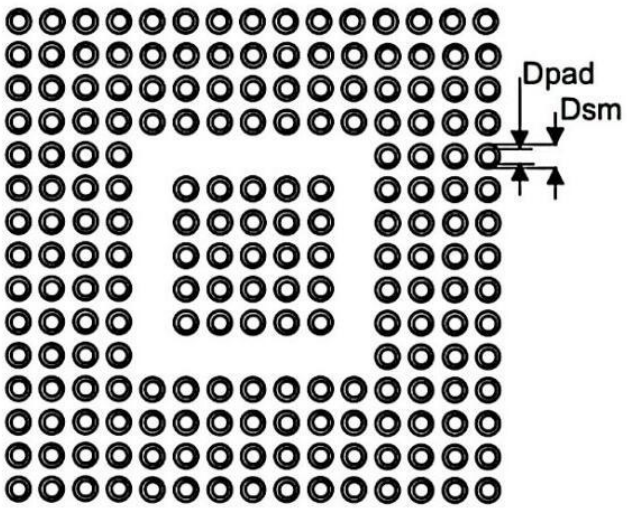
表格 62BGA176+25 封装数据

S/N	SYM	DIMENSION in mm		
		MIN	NOM	MAX
1	A	0.75	0.82	0.89
2	A1	0.11	0.16	0.21
3	A2	0.61	0.66	0.71
4	C	0.17	0.21	0.25
5	D	9.90	10.00	10.10

S/N	SYM	DIMENSION in mm		
		MIN	NOM	MAX
6	E	9.90	10.00	10.10
7	D1	-	9.10	-
8	E1	-	9.10	-
9	e	-	0.65	-
10	b	0.22	0.27	0.32
11	aaa	0.15		
12	ccc	0.10		
13	ddd	0.08		
14	eee	0.15		
15	fff	0.08		

注：尺寸以毫米表示。

图 2 6 BGA176+25-201-球, 10×10mm, 0.65mm引脚间距, 焊接 Layout 建议



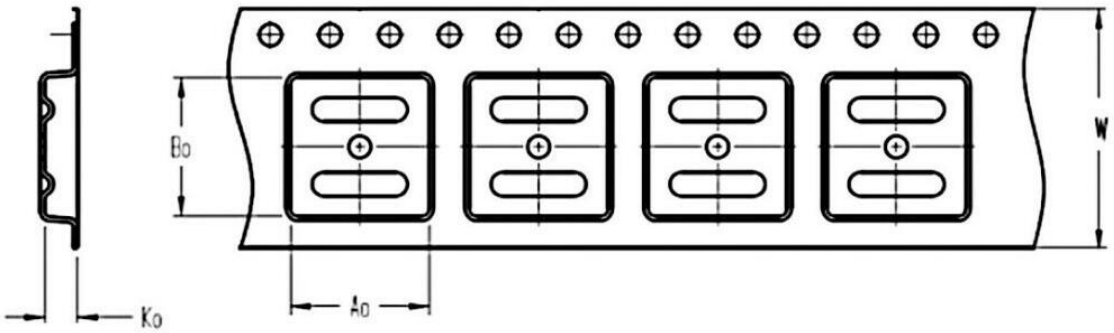
表格 63 BGA176 焊接建议信息

SYM	DIMENSIONS
Pitch (引脚间距)	0.300mm
Dpad	0.65mm
Dsm	0.130(REF) mm

7　　包装信息

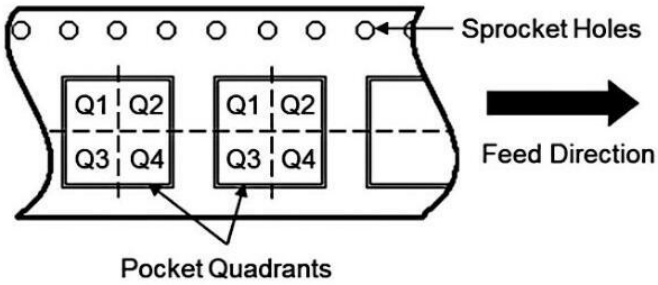
7.1　　带状包装

图 2 7　带状包装规格图

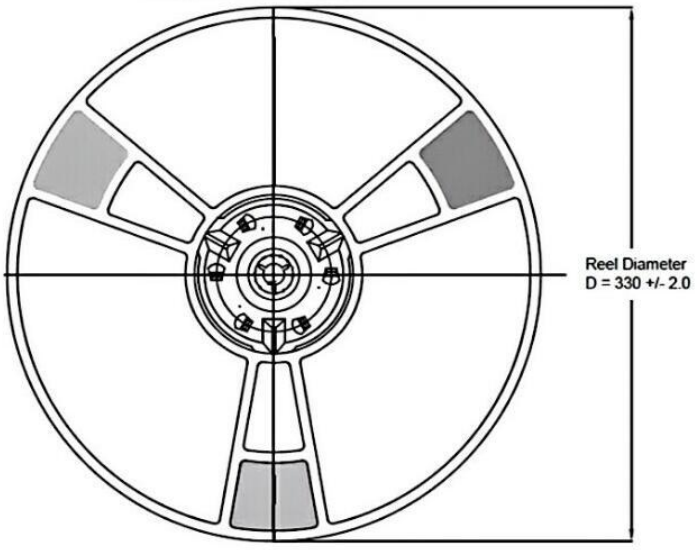


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape

Quadrant Assignments for PIN1 Orientation in Tape



Reel Dimensions



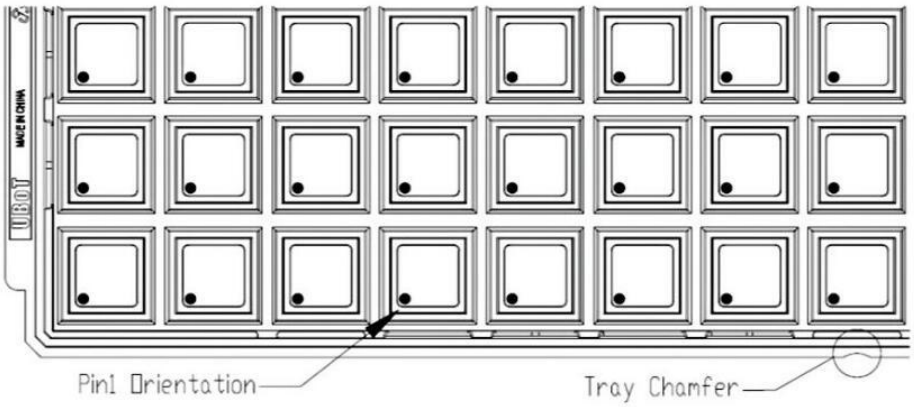
所有照片仅供参考，外观以产品为准。

表格 64 带状包装参数规格表

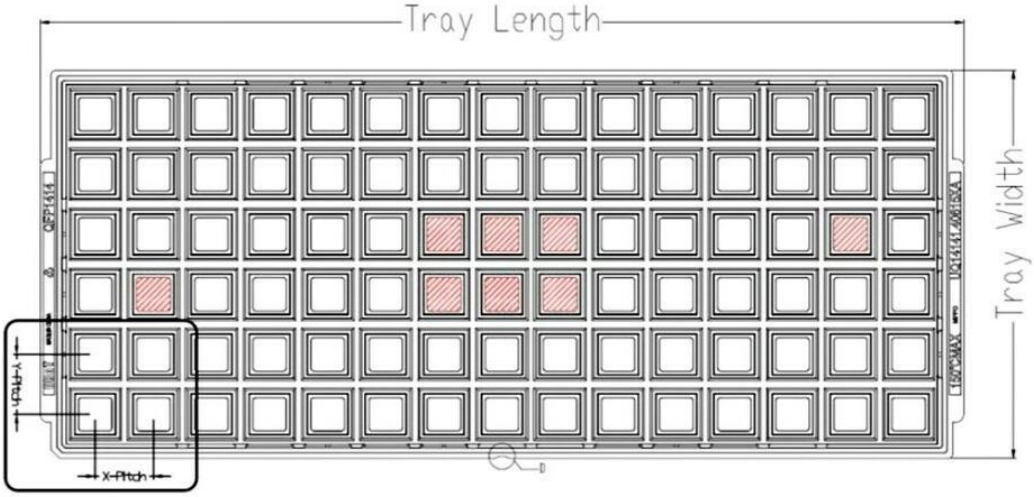
Device	PackageType	Pins	SPQ	Reel Diameter (mm)	A0 (mm)	B0 (mm)	K0 (mm)	w (mm)	Pin1 Quadrant
32F407RET6	LQFP	64	1000	330	12.35	12.35	2.2	24	Q1
32F407RET7	LQFP	64	1000	330	12.35	12.35	2.2	24	Q1
32F407RGT6	LQFP	64	1000	330	12.35	12.35	2.2	24	Q1
32F407RGT7	LQFP	64	1000	330	12.35	12.35	2.2	24	Q1
32F405RGT6	LQFP	64	1000	330	12.35	12.35	2.2	24	Q1
32F405RGT7	LQFP	64	1000	330	12.35	12.35	2.2	24	Q1

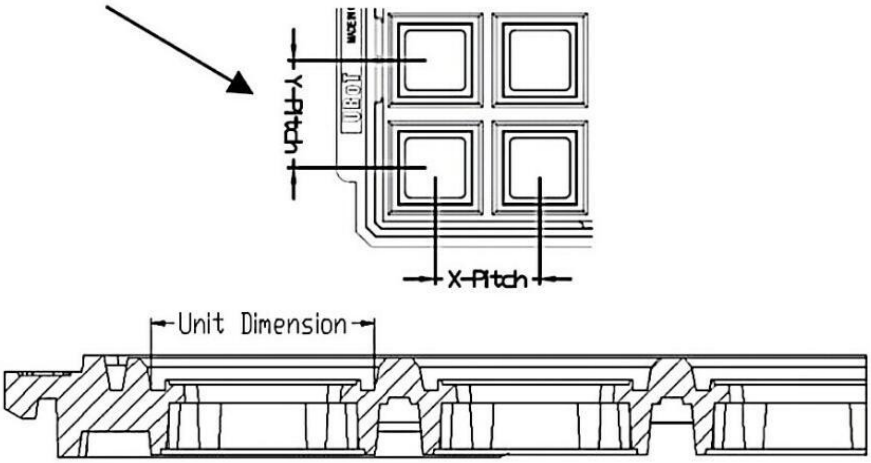
7.2 托盘包装

图 2 8 托盘包装示意图



Tray Dimensions





所有照片仅供参考，外观以产品为准

表格 65 托盘包装参数规格表

Device	PackageType	Pins	SPQ	X-Dimension (mm)	Y-Dimension (mm)	X-Pitch (mm)	Y-Pitch (mm)	Tray Length (mm)	Tray Width (mm)
32F407IGH6	BGA	176	400	27	27	30.4	31.5	322.6	135.9
32F407IET6	LQFP	176	400	27	27	30.4	31.5	322.6	135.9
32F407IET7	LQFP	176	400	27	27	30.4	31.5	322.6	135.9
32F407IGT6	LQFP	176	400	27	27	30.4	31.5	322.6	135.9
32F407IGT7	LQFP	176	400	27	27	30.4	31.5	322.6	135.9
32F407ZET6	LQFP	144	600	22.06	22.06	25.4	25.2	322.6	135.9
32F407ZET7	LQFP	144	600	22.06	22.06	25.4	25.2	322.6	135.9
32F407ZGT6	LQFP	144	600	22.06	22.06	25.4	25.2	322.6	135.9
32F407ZGT7	LQFP	144	600	22.06	22.06	25.4	25.2	322.6	135.9
32F407VET6	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
32F407VET7	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
32F407VGT6	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
32F407VGT7	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
32F407RET6	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
32F407RET7	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
32F407RGT6	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
32F407RGT7	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
32F405ZGT6	LQFP	144	600	22.06	22.06	25.4	25.2	322.6	135.9
32F405ZGT7	LQFP	144	600	22.06	22.06	25.4	25.2	322.6	135.9
32F405VGT6	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
32F405VGT7	LQFP	144	600	22.06	22.06	25.4	25.2	322.6	135.9
32F405RGT6	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
32F405RGT7	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9

8 订货信息

表格 66 订货信息列表

订货编码	FLASH (KB)	SRAM (KB)	封装	SPQ	温度范围
32F407IGH6	1024	192+4	BGA176	400	工业级 - 40°C~85°C
32F407IGT6	1024	192+4	LQFP176	400	工业级 - 40°C~85°C
32F407IET6	512	192+4	LQFP176	400	工业级 - 40°C~85°C
32F407ZGT6	1024	192+4	LQFP144	600	工业级 - 40°C~85°C
32F407ZET6	512	192+4	LQFP144	600	工业级 - 40°C~85°C
32F407VGT6	1024	192+4	LQFP100	900	工业级 - 40°C~85°C
32F407VET6	512	192+4	LQFP100	900	工业级 - 40°C~85°C
32F407RGT6	1024	192+4	LQFP64	1600	工业级 - 40°C~85°C
32F407RET6	512	192+4	LQFP64	1600	工业级 - 40°C~85°C
32F407RGT6-R	1024	192+4	LQFP64	1000	工业级 - 40°C~85°C
32F407RET6-R	512	192+4	LQFP64	1000	工业级 - 40°C~85°C
32F405ZGT6	1024	192+4	LQFP144	600	工业级 - 40°C~85°C
32F405VGT6	1024	192+4	LQFP100	900	工业级 - 40°C~85°C
32F405RGT6	1024	192+4	LQFP64	1600	工业级 - 40°C~85°C
32F405RGT6-R	1024	192+4	LQFP64	1000	工业级 - 40°C~85°C
32F407IGT7	1024	192+4	LQFP176	400	工业级 - 40°C~105°C
32F407IET7	512	192+4	LQFP176	400	工业级 - 40°C~105°C

订货编码	FLASH(KB)	SRAM(KB)	封装	SPQ	温度范围
32F407ZGT7	1024	192+4	LQFP144	600	工业级 - 40℃~105℃
32F407ZET7	512	192+4	LQFP144	600	工业级 - 40℃~105℃
32F407VGT7	1024	192+4	LQFP100	900	工业级 - 40℃~105℃
32F407VET7	512	192+4	LQFP100	900	工业级 - 40℃~105℃
32F407RGT7	1024	192+4	LQFP64	1600	工业级 - 40℃~105℃
32F407RET7	512	192+4	LQFP64	1600	工业级 - 40℃~105℃
32F407RGT7-R	1024	192+4	LQFP64	1000	工业级 - 40℃~105℃
32F407RET7-R	512	192+4	LQFP64	1000	工业级 - 40℃~105℃
32F405ZGT7	1024	192+4	LQFP144	600	工业级 - 40℃~105℃
32F405VGT7	1024	192+4	LQFP100	900	工业级 - 40℃~105℃
32F405RGT7	1024	192+4	LQFP64	1600	工业级 - 40℃~105℃
32F405RGT7-R	1024	192+4	LQFP64	1000	工业级 - 40℃~105℃

常用功能模块命名

表格 67 常用功能模块命名

全称	简称
复位管理单元	RMU
时钟管理单元	CMU
复位和时钟管理	RCM
外部中断	EINT
通用 IO	GPIO
复用 IO	AFIO
唤醒控制器	WUPT
独立看门狗定时器	IWDT
窗口看门狗定时器	WWDT
定时器	TMR
CRC 控制器	CRC
电源管理单元	PMU
DMA 控制器	DMA
模拟数字转换器	ADC
实时时钟	RTC
外部存储控制器	EMMC
控制器局域网络	CAN
I2C 接口	I2C
串行外设接口	SPI
通用异步收发器	UART
通用异步同步收发器	USART
闪存接口控制单元	FMC
安全数字输入输出	SDIO
数字摄像头接口	DCI