

4 端口 USB3.0 HUB 控制器芯片 CH634

手册 1

版本: 2.3

<https://wch.cn>

1、概述

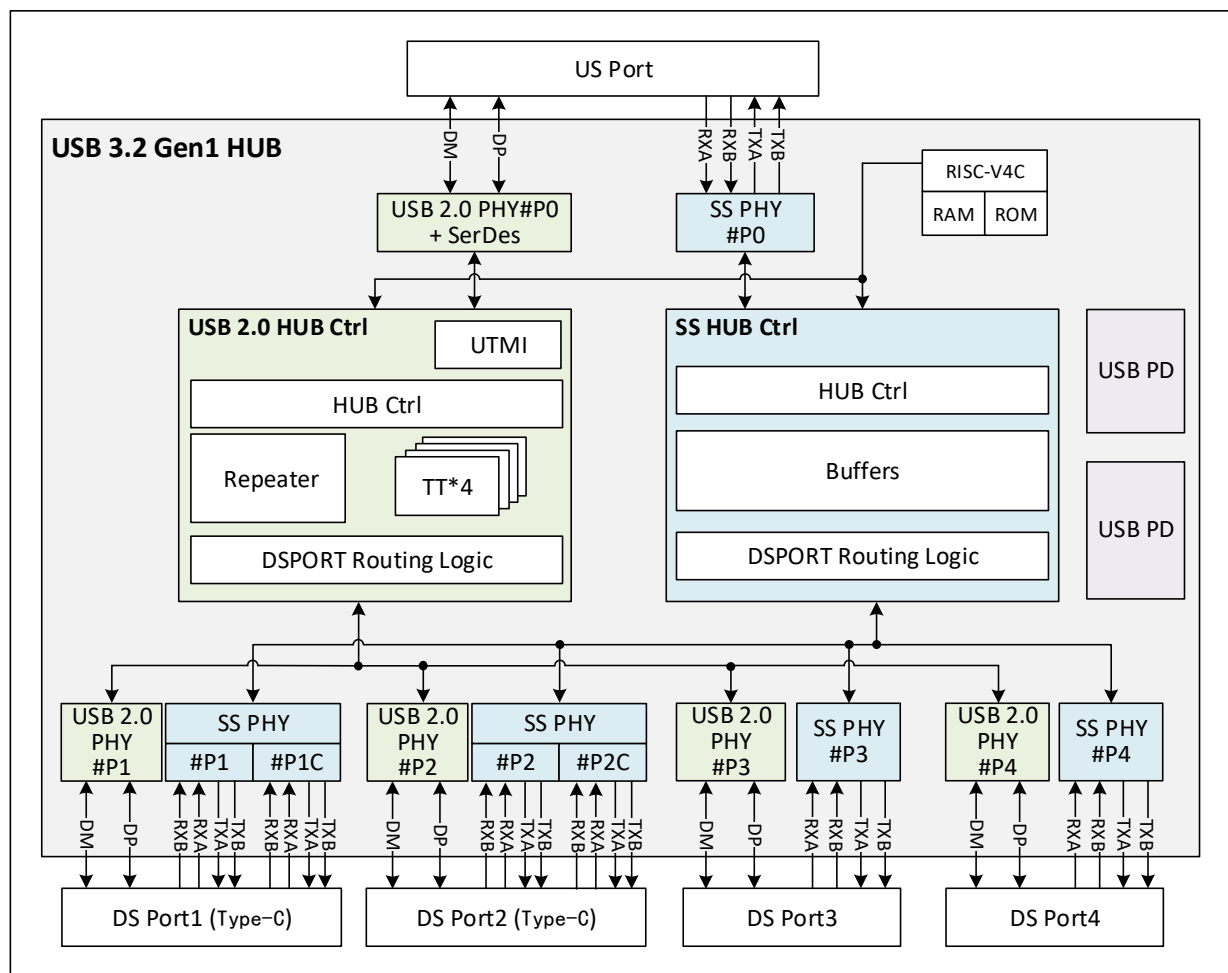
CH634 是符合 USB3.2 Gen1 协议规范的 4 端口 USB 超高速 HUB 控制器芯片, 单芯片集成 4 口 USB HUB 和 USB PD 功能。CH634 具有独立的 SS HUB 控制器和 USB2.0 HUB 控制器, 内置 5 组 SS PHY、5 组 USB2.0 PHY 和 2 组 PD PHY。CH634 芯片的上行端口支持 USB3.0 超高速 5Gbps、USB2.0 高速 480Mbps 和全速 12Mbps, 下行端口支持 USB3.0 超高速、USB2.0 高速、全速和低速 1.5Mbps。

CH634X 内置两组 Type-C 双通道 USB3.0 PHY 和双 PD PHY, 兼容 USB-C 线缆和连接规范, 原生支持 Type-C 正反插自适应, 原生支持 PDHUB、Type-C 电源 15W 和 PD 的 100W 快充 (20V*5A)。

CH634 支持高性能的并发处理 MTT 模式, 采用工业级设计, 外围精简, 可应用于计算机和工控机主板、扩展坞、外设、嵌入式系统等场景。

下图为 CH634 的系统框图。

图 1-1 系统框图



2、特点

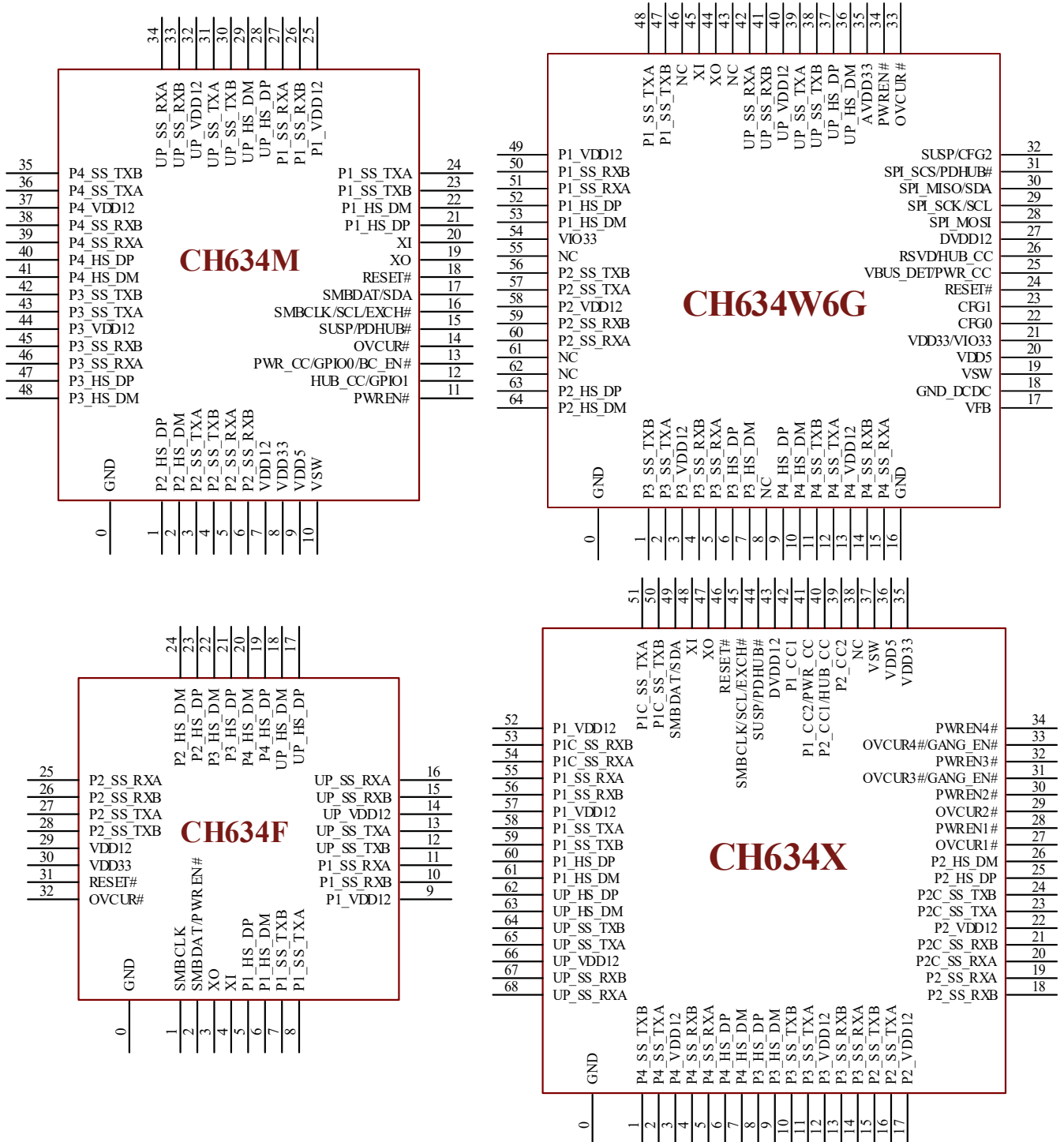
- 4 口 USB3.2 Gen1 HUB 集线器，提供 4 个下行端口，支持 USB3.2 Gen1 (5Gbps)，并且向前兼容 USB3.1、USB3.0、USB2.1、USB2.0、USB1.1、USB1.0 协议规范
- USB3.2 Gen1 HUB 模块支持符合 USB3.2 Gen1 协议规范的 U0/U1/U2/U3 电源管理模式
- 部分型号内置两组自研的 Type-C 双通道 USB3.0 PHY，原生支持 Type-C 正插和反插自适应
- USB2.0 HUB 模块支持符合 USB2.1 协议规范的 L0/L1/L2/L3 电源管理模式
- 支持低成本的 STT 或高性能的 MTT 模式，MTT 为每个端口配置独立的 TT 实现高速传输
- 内置两路 USB PD PHY，原生支持 Type-C 电源 15W 和 PD 的 100W 快充，支持 PDHUB 和扩展坞
- 下行口支持 BC1.2 充电协议和 CDP
- 兼容 USB Type-C 线缆和连接规范，3 种 C 口工作模式，支持下行双 C 口或上行 C 口
- 每个下行端口的 USB3.0 和 USB2.0 支持拆开独立应用，4 口 HUB 最多支持 8 个 USB 设备
- 支持 GANG 整体联动电源控制和 GANG 整体过流检测
- 部分型号支持各端口独立电源控制和各端口独立过流检测
- 自研的 HUB 专用 USB PHY，低功耗技术，支持自供电或总线供电
- 部分型号支持 SMBus 总线，支持主板集成和管理
- CH634M、CH634X、CH634W6C 和 CH634W8G 支持上行口交换功能，便于 2 个 USB 主机管理多个 USB 设备
- 支持通过 I/O 引脚配置独立或整体控制、供电模式等功能
- 可通过外部 EEPROM、外部 FLASH 或内部 EEPROM 配置 HUB 芯片是否支持复合设备、不可移除设备、自定义 VID、PID、端口配置和 USB 厂商、产品、序列号字符串描述符等
- 内置信息存储器，针对行业特殊需求可批量定制厂商或产品信息及配置
- 集成了 3.3V 的 LDO 调压器和 1.2V 的 DC-DC 降压器，支持外部 5V 电源供电，外围精简
- 部分型号支持外加 Type-C 接口芯片 CH211 实现 28V 高压 PDHUB 和扩展坞
- 青稞 RISC-V 处理器内核、超高速 USB、高速 USB、USB PD 等控制器和物理层收发器 IP 全自研，各模块紧密协同，效率高成本低，免除 IP 授权费
- 提供 QFN32、QFN48、QFN64、QFN68 等多种封装形式

表 2-1 同簇型号功能对比

型号 功能	634F	634M	634X	W5M	W6C	W6G	W6T	W7G	W7R	W7S	W7U	W7V	W8G
USB2 端口	4	4	4	4	4	4	4	4	4	4	4	4	4
USB3 端口	2	4	4+2C	4	4	4	4	4	4	4	4	4	4+2C
PD 控制器	×	1	2	×	×	1	×	×	×	×	×	×	2
上行口交换	×	√	√	×	√	×	×	×	×	×	×	×	√
MTT 模式	√	√	√	√	√	√	√	√	√	√	√	√	√
独立过流检测	×	×	4	4	4	×	4	4	4	4	2	4	4
整体过流检测	√	√	√	√	√	√	√	√	√	√	√	√	√
独立电源控制	×	×	4	4	×	×	4	4	4	4	2	4	4
整体电源控制	√	√	√	√	√	√	√	√	√	√	√	√	√
I/O 配置 整体/独立	-	-	√	√	√	-	√	√	-	√	-	-	√
I/O 配置 电源控制 极性	-	-	-	-	-	√	√	-	-	-	-	√	-
LED 指示灯	×	1	1	×	1	1	4	4+4+1	4+4	4	4+4+1	4	4+1
内部 EEPROM 配置信息	√	√	√	√	√	√	√	√	√	√	√	√	√
外部 EEPROM 配置信息	×	×	×	×	×	×	√	×	√	×	×	×	×
外部 FLASH 配置信息	×	×	×	√	√	√	×	√	√	√	√	√	√
SMBus 接口 配置信息	√	√	√	√	√	×	√	√	√	×	√	√	√
定制配置 信息	√	√	√	√	√	√	√	√	√	√	√	√	√
I/O 配置 BC 充电	-	√	-	√	√	√	-	√	√	√	√	√	√
Type-C 快充 15W	×	√	√	×	×	√	×	×	×	×	×	×	√
PDHUB 快充 100W	×	√	√	×	×	√	×	×	×	×	×	×	√
单 5V 供电	×	√	√	×	√	√	×	√	√	√	√	√	√
单 3.3V 供电	×	√	√	×	√	√	×	√	√	√	√	√	√
3.3V+1.2V 双供电	√	√	√	√	√	√	√	√	√	√	√	√	√
封装引脚数	32	48	68	56	64	64	64	76	76	76	76	76	88
封装尺寸	4*4	5*5	8*8	7*7	8*8	8*8	9*9	9*9	9*9	9*9	9*9	9*9	10*10

注：对于表中整体/独立、电源控制极性、BC 充电这 3 种功能，“-”表示支持 EEPROM 或 FLASH 配置，“√”表示还支持 I/O 配置。

3、引脚排列



封装形式	塑体尺寸	引脚节距		封装说明	订货型号
QFN32	4*4mm	0.4mm	15.7mil	四边无引线 32 脚	CH634F
QFN48	5*5mm	0.35mm	13.8mil	四边无引线 48 脚	CH634M
QFN68	8*8mm	0.4mm	15.7mil	四边无引线 68 脚	CH634X
QFN64	8*8mm	0.4mm	15.7mil	四边无引线 64 脚	CH634W6G

注：1、0#引脚是 QFN 封装的底板，是必要连接。

2、CH634F、CH634W5M、CH634W6T 内部没有 LDO 调压器和 DC-DC 降压器，需外部同时供电 3.3V 和 1.2V。其它型号内置 3.3V 的 LDO 调压器和 1.2V 的 DC-DC 降压器，外部单一供电 5V 或 3.3V。

3、CH634F 的 4 个下行端口包含 2 个 USB3.2 Gen1 和 4 个 USB2.0；其它型号包含 4 个 USB3.2 Gen1 下行端口和 4 个 USB2.0；其中，CH634X 和 CH634W8G 包含两组原生 Type-C/PD 正反插自适应端口。

4、客制引脚 CH634W5M、CH634W6C、CH634W6T、CH634W7G、CH634W7R、CH634W7S、CH634W7U、CH634W7V、CH634W8G，仅批量预定。其引脚排列、引脚定义和封装信息请参考《CH634DS2》手册。

4、引脚定义

表 4-1 USB 信号相关引脚功能描述

USB 信号引脚	引脚名称	类型 ⁽¹⁾	功能描述
上行端口 USBSS 差分信号	UP_SS_TXA UP_SS_TXB	USB3	上行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	UP_SS_RXA UP_SS_RXB	USB3	上行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。
上行端口 USB2.0 差分信号	UP_HS_DP	USB2	上行端口 USB2.0 差分信号线 D+。
	UP_HS_DM	USB2	上行端口 USB2.0 差分信号线 D-。
1#下行端口 USBSS 差分信号	P1_SS_TXA P1_SS_TXB	USB3	1#下行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	P1_SS_RXA P1_SS_RXB	USB3	1#下行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。
1#下行端口 USB2.0 差分信号	P1_HS_DP	USB2	1#下行端口 USB2.0 差分信号线 D+。
	P1_HS_DM	USB2	1#下行端口 USB2.0 差分信号线 D-。
2#下行端口 USBSS 差分信号	P2_SS_TXA P2_SS_TXB	USB3	2#下行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	P2_SS_RXA P2_SS_RXB	USB3	2#下行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。
2#下行端口 USB2.0 差分信号	P2_HS_DP	USB2	2#下行端口 USB2.0 差分信号线 D+。
	P2_HS_DM	USB2	2#下行端口 USB2.0 差分信号线 D-。
3#下行端口 USBSS 差分信号	P3_SS_TXA P3_SS_TXB	USB3	3#下行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	P3_SS_RXA P3_SS_RXB	USB3	3#下行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。
3#下行端口 USB2.0 差分信号	P3_HS_DP	USB2	3#下行端口 USB2.0 差分信号线 D+。
	P3_HS_DM	USB2	3#下行端口 USB2.0 差分信号线 D-。
4#下行端口 USBSS 差分信号	P4_SS_TXA P4_SS_TXB	USB3	4#下行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	P4_SS_RXA P4_SS_RXB	USB3	4#下行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。
4#下行端口 USB2.0 差分信号	P4_HS_DP	USB2	4#下行端口 USB2.0 差分信号线 D+。
	P4_HS_DM	USB2	4#下行端口 USB2.0 差分信号线 D-。
1#或 2#下行端口 Type-C 差分信号	PxC_SS_TXA PxC_SS_TXB	USB3	1#或 2#下行端口 Type-C 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	PxC_SS_RXA PxC_SS_RXB	USB3	1#或 2#下行端口 Type-C 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。

表 4-2 CH634F 和 CH634M 引脚定义

引脚号（同名引脚可参考）		引脚名称	类型 ⁽¹⁾	功能描述
CH634F	CH634M			
-	9	VDD5	P	5V 电源输入，建议外接 0.1uF 并联 10uF 退耦电容。如果 VDD5 电压小于 3.6V 则应短接 VDD33。
-	10	VSW	P	DCDC 输出端，需贴近引脚串接电感产生 1.2V 电

				源, 且 1.2V 电源需就近放置对地电容, 建议用 2.2μH 电感且至少一个 10μF 电容。
-	8	VDD33	P	3.3V LDO 输出端, 模拟电源和 I/O 引脚电源输入, 建议外接 0.1μF 并联 10μF 退耦电容。
30	-	VDD33	P	模拟电源和 I/O 引脚电源输入, 建议外接 0.1μF 并联 10μF 退耦电容。
29	7	VDD12	P	1.2V 内核电源和 2#下行端口 1.2V 电源输入, 建议外接 0.1μF 或 1μF 退耦电容。
0	0	GND	P	公共接地端, 必须连接 GND。
14	32	UP_VDD12	P	上行端口 1.2V 电源输入, 外接 0.1μF 退耦电容。
9	25	P1_VDD12	P	1#下行端口 1.2V 电源输入, 外接 0.1μF 退耦电容。
-	44	P3_VDD12	P	3#下行端口 1.2V 电源输入, 外接 0.1μF 退耦电容。
-	37	P4_VDD12	P	4#下行端口 1.2V 电源输入, 外接 0.1μF 退耦电容。
4	20	XI	I	晶体振荡器输入端, 接外部 24MHz 晶体一端及对地电容。
3	19	XO	O	晶体振荡器反相输出端, 接外部 24MHz 晶体另一端及对地电容。
13、12、16、15	31、30、34、33	UP_SS_XXX	USB3	上行端口 USBSS 差分发送或接收信号线。
17、18	28、29	UP_HS_XX	USB2	上行端口 USB2.0 差分信号线。
8、7、11、10	24、23、27、26	P1_SS_XXX	USB3	1#下行端口 USBSS 差分发送或接收信号线。
5、6	21、22	P1_HS_XX	USB2	1#下行端口 USB2.0 差分信号线。
27、28、25、26	3、4、5、6	P2_SS_XXX	USB3	2#下行端口 USBSS 差分发送或接收信号线。
23、24	1、2	P2_HS_XX	USB2	2#下行端口 USB2.0 差分信号线。
-	43、42、46、45	P3_SS_XXX	USB3	3#下行端口 USBSS 差分发送或接收信号线。
21、22	47、48	P3_HS_XX	USB2	3#下行端口 USB2.0 差分信号线。
-	36、35、39、38	P4_SS_XXX	USB3	4#下行端口 USBSS 差分发送或接收信号线。
19、20	40、41	P4_HS_XX	USB2	4#下行端口 USB2.0 差分信号线。
32	14	OVCUR#	I	整体模式下行端口过流检测输入引脚, 低电平过流, 内置上拉。
2	-	SMBDAT	I/O	SMBus 总线数据信号线。
		PWREN#	O	整体模式下行端口电源输出控制引脚, 低电平开启。
1	-	SMBCLK	I	SMBus 总线时钟信号线。 在复位期间作为配置引脚, 用于配置 CH634F 芯片的 SMBDAT/PWREN# 引脚功能, 如果检测到外部有上拉电阻 (如 10K 电阻), 则配置 2#引脚为 SMBDAT 功能, 否则配置为 PWREN# 功能。
31	18	RESET#	I	外部复位输入, 内置上拉电阻, 低电平有效, 不使用时可以悬空, 建议短接 VDD33 防干扰。
-	17	SMBDAT	I/O	通用 HUB 模式: SMBus 总线数据信号线。
			I	在复位期间作为配置引脚, 用于启用或关闭 SMBus 接口, 如果外部接地则关闭 SMBus、使能上行口交换功能、并且配置 SMBCLK 引脚为 EXCH# 功能, 否则开启 SMBus 接口。
		SDA	I/O	PD-HUB 模式: 2 线串行接口的数据信号线, 用于连接 CH211 芯片。
-	16	SMBCLK	I	开启 SMBus 的通用 HUB 模式: SMBus 总线时钟信号线。
		SCL	I/O	PD-HUB 模式: 2 线串行接口的时钟信号线, 用于

				连接 CH211 芯片。
		EXCH#	I	关闭 SMBus 的通用 HUB 模式：该引脚为上行口和 1#下行端口交换控制输入引脚，悬空或上拉不切换，输入低电平控制切换。
-	11	PWREN#	0	整体模式下行端口电源输出控制引脚，低电平开启。
-	15	SUSP	0	睡眠状态输出引脚，可用于驱动 LED，睡眠时输出的电平与上下拉电阻配置的默认状态相同，正常工作时输出的电平则相反。
		PDHUB#	I	在复位期间作为配置引脚，用于配置通用 HUB 模式或 PD-HUB 模式，内置上拉电阻，悬空或高电平配置为通用 HUB 模式，外加下拉电阻置低电平配置为 PD-HUB 模式。
-	13	PWR_CC	I/O	PD-HUB 模式：外供电端 PD 协议通信引脚，用于连接 Type-C 电源适配器。
		GPIO0	I/O	通用 GPIO0，用于 I/O 口输入或输出。
		BC_EN#	I	通用 HUB 模式：在复位期间作为配置引脚，用于配置是否使能 BC 充电功能，内置上拉电阻，悬空或高电平为禁止 BC 充电，外加下拉电阻置低电平为使能 BC 充电。
-	12	HUB_CC	I/O	PD-HUB 模式：上行口 PD 协议通信引脚，用于连接手机/电脑等 USB 主机。
		GPIO1	I/O	通用 GPIO1，用于 I/O 口输入或输出。

表 4-3 CH634W6G 引脚定义

引脚号（同名引脚可参考）	引脚名称	类型 ⁽¹⁾	功能描述
20	VDD5	P	DCDC 的电源输入，建议外接 10uF 对地电容。 3. 3V LDO 的 5V 电源输入，建议外接 1uF 电容。 如果 VDD5 电压小于 3. 6V 则应短接 VDD33。
19	VSW	P	DCDC 输出端，需贴近引脚串接电感产生 1. 2V 电源，且 1. 2V 电源需就近放置对地电容，建议用 2. 2uH 电感且至少一个 10uF 电容。
17	VFB	P	DCDC 电压反馈端，建议外接 0. 1uF 对地电容，且直连 DC-DC 输出的 1. 2V 电源。
21	VDD33/ VI033	P	3. 3V LDO 输出端和 I/O 引脚电源输入，建议外接 1uF 退耦电容。
35	AVDD33	P	3. 3V 模拟电源输入，建议外接 0. 1uF 并联 10uF 或 4. 7uF 退耦电容。
27	DVDD12	P	1. 2V 内核电源输入，建议外接 0. 1uF 或 1uF 退耦电容。
54	VI033	P	I/O 引脚电源输入，外供 3. 3V，建议外接 1uF 或 0. 1uF 退耦电容。
18	GND_DCDC	P	DCDC 接地端，必须连接 GND。
0	GND	P	公共接地端，必须连接 GND。
16	GND	P	可选接地端，建议连接 GND。
40	UP_VDD12	P	上行端口 1. 2V 电源输入，外接 0. 1uF 退耦电容。
49、13、3、58	Px_VDD12	P	1-4#下行端口 1. 2V 电源输入，外接 0. 1uF 退耦电容。

45	XI	I	晶体振荡器输入端，接外部 24MHz 晶体一端及对地电容。
44	XO	0	晶体振荡器反相输出端，接外部 24MHz 晶体另一端及对地电容。
39、38、42、41	UP_SS_XXX	USB3	上行端口 USBSS 差分发送或接收信号线。
37、36	UP_HS_XX	USB2	上行端口 USB2.0 差分信号线。
48、47、51、50	P1_SS_XXX	USB3	1#下行端口 USBSS 差分发送或接收信号线。
52、53	P1_HS_XX	USB2	1#下行端口 USB2.0 差分信号线。
57、56、60、59	P2_SS_XXX	USB3	2#下行端口 USBSS 差分发送或接收信号线。
63、64	P2_HS_XX	USB2	2#下行端口 USB2.0 差分信号线。
2、1、5、4	P3_SS_XXX	USB3	3#下行端口 USBSS 差分发送或接收信号线。
6、7	P3_HS_XX	USB2	3#下行端口 USB2.0 差分信号线。
12、11、15、14	P4_SS_XXX	USB3	4#下行端口 USBSS 差分发送或接收信号线。
9、10	P4_HS_XX	USB2	4#下行端口 USB2.0 差分信号线。
33	OVCUR#	I	1#下行端口过流检测输入引脚，低电平过流；整体模式下行端口过流检测输入引脚，低电平过流。
34	PWREN#	0	1#下行端口电源输出控制引脚，低电平开启；整体模式下行端口电源输出控制引脚，低电平开启。
		I	在复位期间作为配置引脚，用于配置电源控制引脚的输出极性，内置上拉电阻，悬空或高电平则 PWREN 引脚为输出低电平有效；外加下拉电阻置低电平则 PWREN 引脚为输出高电平有效。
24	RESET#	I	外部复位输入，内置上拉电阻，低电平有效，不使用时可以悬空，建议短接 VDD33 防干扰。
28	SPI_MOSI	0	SPI 接口的数据输出。
31	SPI_SCS	0	通用 HUB 模式：SPI 接口的片选输出。
	PDHUB#	I	在复位期间作为配置引脚，用于配置通用 HUB 模式或 PD-HUB 模式，内置上拉电阻，悬空或高电平配置为通用 HUB 模式，外加下拉电阻置低电平配置为 PD-HUB 模式。
29	SPI_SCK	0	通用 HUB 模式：SPI 接口的时钟输出。
	SCL	I/O	PD-HUB 模式：2 线串行接口的时钟信号线，用于连接 CH211 芯片。
30	SPI_MISO	I	通用 HUB 模式：SPI 接口的数据输入，内置上拉电阻。
	SDA	I/O	PD-HUB 模式：2 线串行接口的数据信号线，内置上拉电阻，用于连接 CH211 芯片。
25	VBUS_DET	I	通用 HUB 模式：USB 总线 VBUS 状态检测输入，应将 VBUS 电源通过两个电阻分压后接入该引脚；不用此功能时，该引脚需短接 VIO33。
	PWR_CC	I/O	PD-HUB 模式：外供电端 PD 协议通信引脚，用于连接 Type-C 电源适配器。
26	RSVD	I	通用 HUB 模式：保留引脚，内置上拉电阻，建议悬空。
	HUB_CC	I/O	PD-HUB 模式：上行口 PD 协议通信引脚，用于连接手机/电脑等 USB 主机。
32	SUSP	0	睡眠状态输出引脚，可用于驱动 LED，睡眠时输出的电平与上下拉电阻配置的默认状态相同，正常工作时输出的电平则相反。

	CFG2	I	在复位期间作为配置引脚，用于配置是否使能 BC 充电功能，内置下拉电阻，高电平为使能 BC 充电，悬空或外加下拉电阻置低电平为禁止 BC 充电。
23	CFG1	I	4#下行端口功能配置； 在复位期间作为配置引脚，外加下拉电阻置低电平则禁用 4#下行端口；悬空则配置 4#下行端口为不可移除设备；外加上拉电阻置高电平则配置该引脚为 4#下行端口过流指示灯。
22	CFG0	I	3#下行端口功能配置； 在复位期间作为配置引脚，悬空则配置 3#下行端口为不可移除设备；外加上拉电阻置高电平则配置该引脚为 3#下行端口过流指示灯。
8、43、46、55、61、62	NC	-	空脚，建议悬空。

表 4-4 CH634X 引脚定义

引脚号（同名引脚可参考）	引脚名称	类型 ⁽¹⁾	功能描述
36	VDD5	P	DCDC 的电源输入，建议外接 10uF 对地电容。 3. 3V LD0 的 5V 电源输入，建议外接 1uF 电容。 如果 VDD5 电压小于 3. 6V 则应短接 VDD33。
37	VSW	P	DCDC 输出端，需贴近引脚串接电感产生 1. 2V 电源，且 1. 2V 电源需就近放置对地电容，建议用 2. 2uH 电感且至少一个 10uF 电容。
35	VDD33	P	3. 3V LD0 输出端，模拟电源和 I/O 引脚电源输入，建议外接 0. 1uF 并联 10uF 退耦电容。
43	DVDD12	P	1. 2V 内核电源输入，建议外接 0. 1uF 或 1uF 退耦电容。
0	GND	P	公共接地端，必须连接 GND。
66	UP_VDD12	P	上行端口 1. 2V 电源输入，外接 0. 1uF 退耦电容。
57 (52)、17 (22)、12、3	Px_VDD12	P	1-4#下行端口 1. 2V 电源输入，外接 0. 1uF 退耦电容。
48	XI	I	晶体振荡器输入端，接外部 24MHz 晶体一端及对地电容。
47	XO	O	晶体振荡器反相输出端，接外部 24MHz 晶体另一端及对地电容。
65、64、68、67	UP_SS_XXX	USB3	上行端口 USBSS 差分发送或接收信号线。
62、63	UP_HS_XX	USB2	上行端口 USB2. 0 差分信号线。
58、59、55、56	P1_SS_XXX	USB3	1#下行端口 USBSS 差分发送或接收信号线。
51、50、54、53	P1C_SS_XXX	USB3	1#下行端口 Type-C 差分发送或接收信号线。
60、61	P1_HS_XX	USB2	1#下行端口 USB2. 0 差分信号线。
16、15、19、18	P2_SS_XXX	USB3	2#下行端口 USBSS 差分发送或接收信号线。
23、24、20、21	P2C_SS_XXX	USB3	2#下行端口 Type-C 差分发送或接收信号线。
25、26	P2_HS_XX	USB2	2#下行端口 USB2. 0 差分信号线。
11、10、14、13	P3_SS_XXX	USB3	3#下行端口 USBSS 差分发送或接收信号线。
8、9	P3_HS_XX	USB2	3#下行端口 USB2. 0 差分信号线。
2、1、5、4	P4_SS_XXX	USB3	4#下行端口 USBSS 差分发送或接收信号线。
6、7	P4_HS_XX	USB2	4#下行端口 USB2. 0 差分信号线。
28	PWREN1#	O	1#下行端口电源输出控制引脚，低电平开启。

30	PWREN2#	0	2#下行端口电源输出控制引脚，低电平开启。
32	PWREN3#	0	3#下行端口电源输出控制引脚，低电平开启。
34	PWREN4#	0	4#下行端口电源输出控制引脚，低电平开启。
27	OVCUR1#	I	1#下行端口过流检测输入引脚，低电平过流。
29	OVCUR2#	I	2#下行端口过流检测输入引脚，低电平过流。
31	OVCUR3#	I	3#下行端口过流检测输入引脚，低电平过流。
	GANG_EN#		在复位期间作为配置引脚，用于配置整体模式或独立模式，内置上拉电阻，高电平为独立模式，检测到外部有下拉电阻且 OVCUR4#也检测到外部有下拉电阻时为整体模式。
33	OVCUR4#	I	4#下行端口过流检测输入引脚，低电平过流。
	GANG_EN#		在复位期间作为配置引脚，用于配置整体模式或独立模式，内置上拉电阻，高电平为独立模式，检测到外部有下拉电阻且 OVCUR3#也检测到外部有下拉电阻时为整体模式。
44	SUSP	0	睡眠状态输出引脚，可用于驱动 LED，睡眠时输出的电平与上下拉电阻配置的默认状态相同，正常工作时输出的电平则相反。
	PDHUB#	I	在复位期间作为配置引脚，用于配置通用 HUB 模式或 PD-HUB 模式，内置上拉电阻，悬空或高电平配置为通用 HUB 模式，外加下拉电阻置低电平配置为 PD-HUB 模式。
45	SMBCLK	I	开启 SMBus 的通用 HUB 模式：SMBus 总线时钟信号线。
	SCL	I/O	PD-HUB 模式：2 线串行接口的时钟信号线，用于连接 CH211 芯片。
	EXCH#	I	关闭 SMBus 的通用 HUB 模式：该引脚为上行口和 1#下行端口交换控制输入引脚，悬空或上拉不切换，输入低电平控制切换。
46	RESET#	I	外部复位输入，内置上拉电阻，低电平有效，不使用时可以悬空，建议短接 VDD33 防干扰。
49	SMBDAT	I/O	通用 HUB 模式：SMBus 总线数据信号线。
		I	在复位期间作为配置引脚，用于启用或关闭 SMBus 接口，如果外部接地则关闭 SMBus、使能上行口交换功能、并且配置 SMBCLK 引脚为 EXCH#功能，否则开启 SMBus 接口。
	SDA	I/O	PD-HUB 模式：2 线串行接口的数据信号线，用于连接 CH211 芯片。
42	P1_CC1	I/O (FT)	通用 HUB 模式：1#下行端口 PD 协议通信引脚 CC1。 PD-HUB 模式：1#下行端口 PD 协议通信引脚 CC1。 在关闭 SMBus 的通用 HUB 模式下，如果 EXCH#为低电平，则该引脚跟随 1#下行端口切换为新的上行端口的 PD 协议通信引脚 CC1。 如果切换为上行端口，则该引脚需要通过 5.1K 电阻接地。如果 P1_CC1 通过 5.1K 电阻接地，则 P1C_SS*信号无效，1#端口从 C 口改为 A 口。
41	P1_CC2	I/O (FT)	通用 HUB 模式：1#下行端口 PD 协议通信引脚 CC2。 在关闭 SMBus 的通用 HUB 模式下，如果 EXCH#为低电平，则该引脚跟随 1#下行端口切换为新的上行端口的 PD 协议通信引脚 CC2。

			如果切换为上行端口，则该引脚需要通过 5.1K 电阻接地。如果 P1_CC2 通过 5.1K 电阻接地，则 P1_SS*信号无效，1#端口从 C 口改为 A 口，且选择使用 P1C_SS*信号引脚。
	PWR_CC	I/O	PD-HUB 模式：外供电端 PD 协议通信引脚，用于连接 Type-C 电源适配器。
40	P2_CC1	I/O (FT)	通用 HUB 模式：2#下行端口 PD 协议通信引脚 CC1。如果 P2_CC1 通过 5.1K 电阻接地，则 P2C_SS*信号无效，2#端口从 C 口改为 A 口。
	HUB_CC	I/O	PD-HUB 模式：上行口 PD 协议通信引脚，用于连接手机/电脑等 USB 主机。
39	P2_CC2	I/O (FT)	通用 HUB 模式：2#下行端口 PD 协议通信引脚 CC2。如果 P2_CC2 通过 5.1K 电阻接地，则 P2_SS*信号无效，2#端口从 C 口改为 A 口，且选择使用 P2C_SS*信号引脚。 PD-HUB 模式：1#下行端口 PD 协议通信引脚 CC2。
38	NC	-	空脚，建议悬空

注 1：引脚类型缩写解释：

USB3 = USB3.0 信号引脚；

USB2 = USB2.0 信号引脚；

I = 信号输入；

O = 信号输出；

P = 电源或地；

NC = 空脚；

FT = 耐受 5V 电压。

5、功能说明

5.1 过流检测和电源控制

5.1.1 过流检测

CH634 部分型号支持两种过流保护模式：独立过流模式和整体过流模式，部分型号仅支持整体过流模式，如表 5-1 所示。

表 5-1 过流保护控制说明

芯片型号	过流配置	过流模式	过流检测的采样引脚	参考图
CH634F	—	整体过流	OVCUR#	图 5-2
CH634M	—	整体过流	OVCUR#	图 5-2
CH634W6G	—	整体过流	OVCUR#	图 5-2
CH634W5M CH634W6C CH634W6T CH634W7G	EEPROM 默认配置/ GANG_EN=低电平 (注: W7S 和 X 为 GANG_EN#= 高电平)	独立过流	OVCUR1#, OVCUR2#, OVCUR3#, OVCUR4#	图 5-1
CH634W7S CH634W8G CH634X	EEPROM 配置成整体过流 /GANG_EN=高电平 (注: W7S 和 X 为 GANG_EN#= 低电平)	整体过流	OVCUR1#	图 5-2
CH634W7R	EEPROM 默认配置	独立过流	OVCUR1#, OVCUR2#, OVCUR3#, OVCUR4#	图 5-1
CH634W7U CH634W7V	EEPROM 配置成整体过流	整体过流	OVCUR1#	图 5-2

5.1.2 电源控制

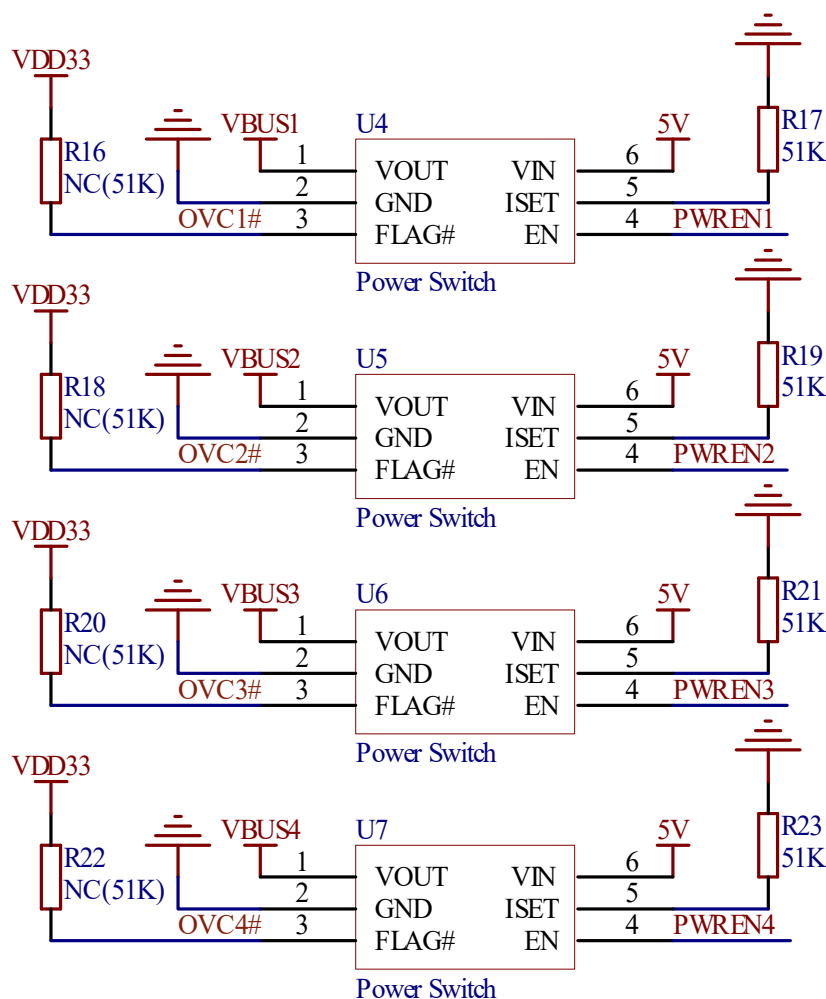
CH634 部分型号支持两种电源控制模式：独立电源控制模式和整体电源控制模式，部分型号仅支持整体电源控制模式，如表 5-2 所示。

表 5-2 电源控制说明

芯片型号	电源控制配置	电源控制	电源控制引脚	参考图
CH634F	—	整体控制	PWREN#	图 5-2
CH634M	—	整体控制	PWREN#	图 5-2
CH634W6C	—	整体控制	PWREN#	图 5-2
CH634W6G	—	整体控制	PWREN#	图 5-2
CH634W5M CH634W6T CH634W7G	EEPROM 默认配置/ GANG_EN=低电平 (注: W7S 和 X 为 GANG_EN#= 高电平)	独立控制	PWREN1#, PWREN2#, PWREN3#, PWREN4# (注: W5M 和 W6T 默认为高电平有效)	图 5-1
CH634W7S CH634W8G CH634X	EEPROM 配置成整体控制 /GANG_EN=高电平 (注: W7S 和 X 为 GANG_EN#= 低电平)	整体控制	PWREN1# (注: W5M 和 W6T 默认为高电平有效)	图 5-2
CH634W7R	EEPROM 默认配置	独立控制	PWREN1#, PWREN2#, PWREN3#, PWREN4# (注: W7V 默认为高电平有效)	图 5-1
CH634W7U CH634W7V	EEPROM 配置成整体控制	整体控制	PWREN1# (注: W7V 为 PWREN1, 默认为高电平有效)	图 5-2

5.1.3 独立过流检测和独立电源控制

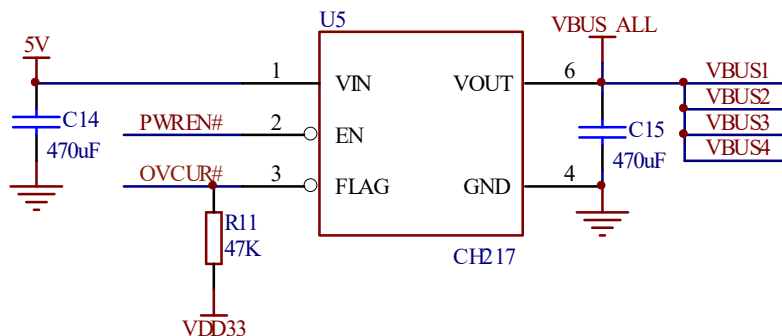
图 5-1 CH634 独立过流检测和独立电源控制



上图中,VBUS1~VBUS4 分别连接下行端口 1~4 的 VBUS 电源引脚。U4~U7 为 USB 限流配电开关芯片,内部集成了过流检测,用于 VBUS 电源分配管理。在 5V 没有外部供电的应用中,建议通过 ISET 外接电阻将限流设置在 1A 以下。U4~U7 的 FLAG 引脚是开漏输出,需要分别通过电阻上拉。CH634 芯片的 OVCUR#引脚提供内置的弱上拉电流,所以可省掉电阻 R16、R18、R20 和 R22。部分型号 CH634 芯片的 PWRENx#引脚开启电源时输出为低电平,部分型号 CH634 芯片的 PWRENx#引脚开启电源时输出为高电平(不适用上图),可通过 PWREN POL 引脚进行配置或通过 EEPROM 进行参数配置。

5.1.4 整体过流检测和整体电源控制

图 5-2 整体过流检测和整体电源控制



U5 为 USB 限流电源开关芯片，例如 CH217 芯片或类似功能的芯片。默认配置下可以省掉 R11。C14 的容量可以根据需要选择。VBUS-ALL 同时连接下行端口 1-4 的 VBUS 电源引脚。U5 的限流设置值需考

虑 4 个下行端口及是否自供电。

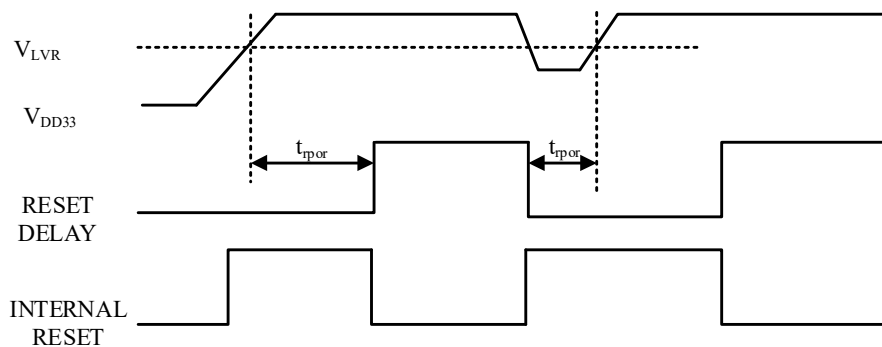
5.2 复位

芯片内嵌有上电复位模块，一般情况下，无需外部提供复位信号。同时也提供了外部复位输入引脚 RESET#，该引脚内置有上拉电阻。

5.2.1 上电复位

当电源上电时，芯片内部 POR 上电复位模块会产生上电复位时序，并延时 t_{rpor} 约 14ms 以等待电源稳定。在运行过程中，当电源电压低于 V_{LVR} 时，芯片内部 LVR 低压复位模块会产生低压复位直到电压回升，并延时以等待电源稳定。下图为上电复位过程以及低压复位过程。

图 5-3 上电期间复位



5.2.2 外部复位

外部复位输入引脚 RESET#已内置上拉电阻，如果外部需要对芯片进行复位，那么可以将该引脚驱动为低电平，复位的低电平脉宽需要大于 300ns。

5.3 总线供电与自供电

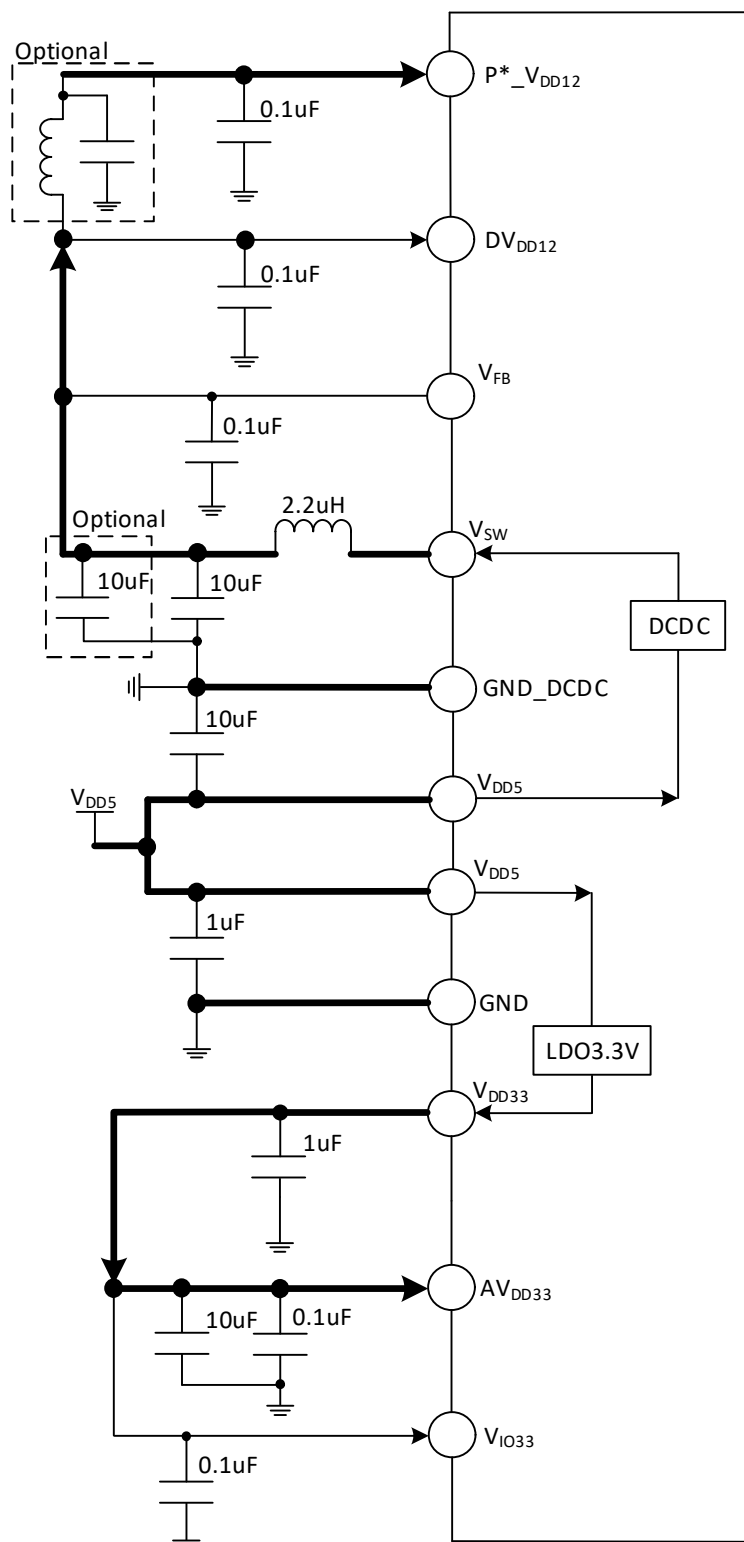
CH634 支持 USB 总线供电模式和自供电模式。总线供电来自 USB 上行端口，供电能力为 500mA 或 900mA、1.5A 等多种标准，USB 线材内阻损耗和 HUB 自身消耗会降低对下行端口的供电能力，下行端口电压可能偏低。自供电通常来自外部电源端口，取决于外部电源供电能力。

由于自供电与总线供电的电压难以完全相等，所以 HUB 需要避免两者直接短接而产生大电流。另外，当 USB 上行端口断电后，HUB 也要避免自供电的外部电源向 USB 总线及 USB 主机倒灌电流。

5.3.1 单一 5V 供电方案

有 VDD5 引脚的 CH634 支持单一 5V 供电方案，使用内置的 LD0 和 DC-DC。额定 5V 从 VDD5 输入，提供给 LD0 调压器和 DC-DC 降压器，LD0 调压器产生 3.3V 到 VDD33 再连接到 AVDD33 和 VI033，DC-DC 降压器产生 1.2V 连接到 VDD12 和 P*_VDD12 及 VFB，建议 1.2V 电源经 LC 滤波后再提供给 P*_VDD12。3.3V 电源的对地电容累计不小于 10uF，1.2V 电源的对地电容累计不小于 10uF，建议双 10uF 电容并联，5V 电源的对地电容不小于 10uF。5V 供电支持较宽的电压范围，可低至 4V，建议 5V 电源加上 5.5V 过压保护器件。

图 5-4 单一 5V 供电方案示意图

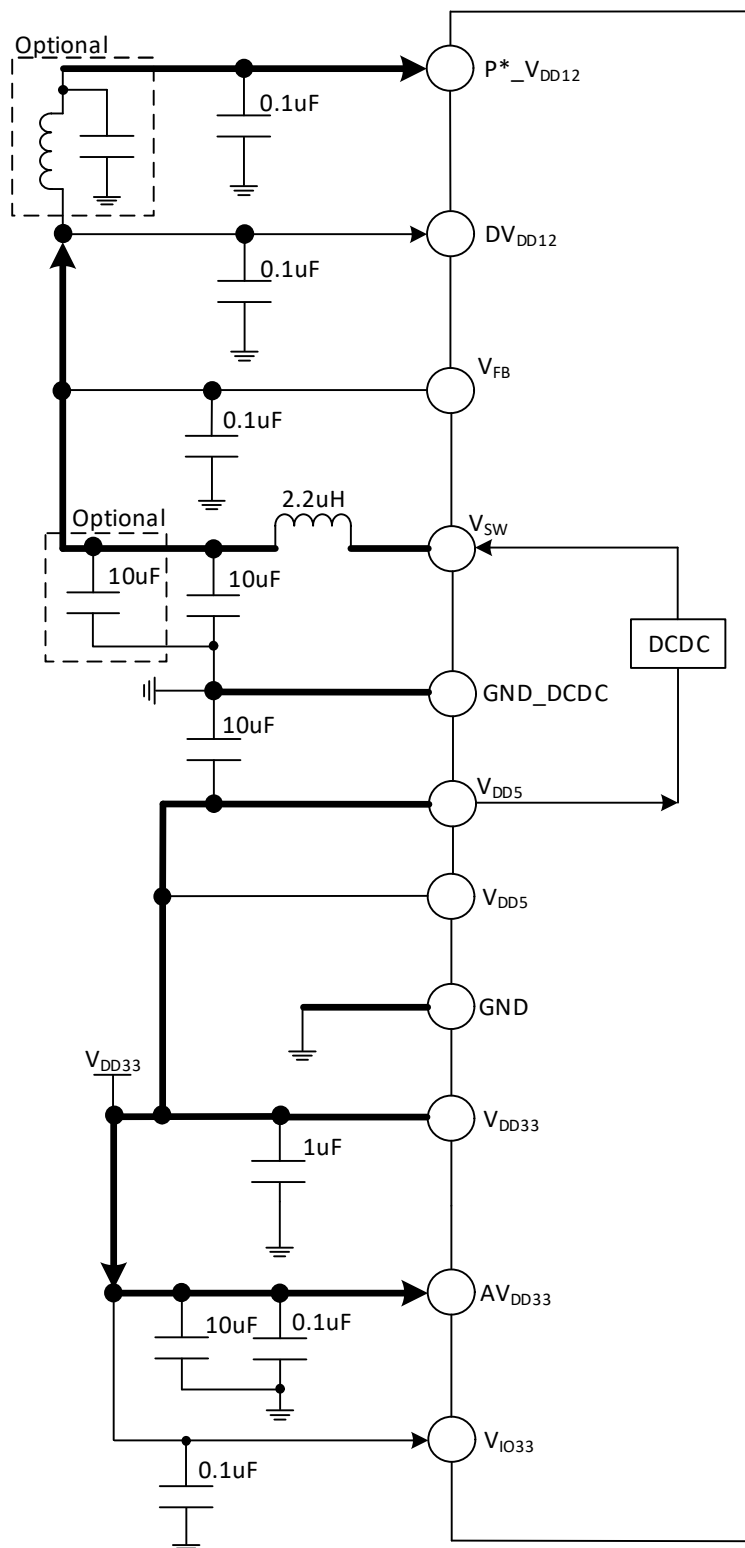


注: 图中加粗的线表示电流较大, 设计 PCB 时需要保证足够的线宽和过孔数量。

5.3.2 单一 3.3V 供电方案

有 VDD5 引脚的 CH634 支持单一 3.3V 供电方案，使用内置的 DC-DC。额定 3.3V 连接到 AVDD33 和 VI033 及 VDD33，同时，额定 3.3V 从 VDD5 输入，提供给 DC-DC 降压器，DC-DC 降压器产生 1.2V 连接到 VDD12 和 P*_VDD12 及 VFB，建议 1.2V 电源经 LC 滤波后再提供给 P*_VDD12。3.3V 电源的对地电容累计不小于 10uF，1.2V 电源的对地电容累计不小于 10uF，建议双 10uF 电容并联。

图 5-5 单一 3.3V 供电方案示意图

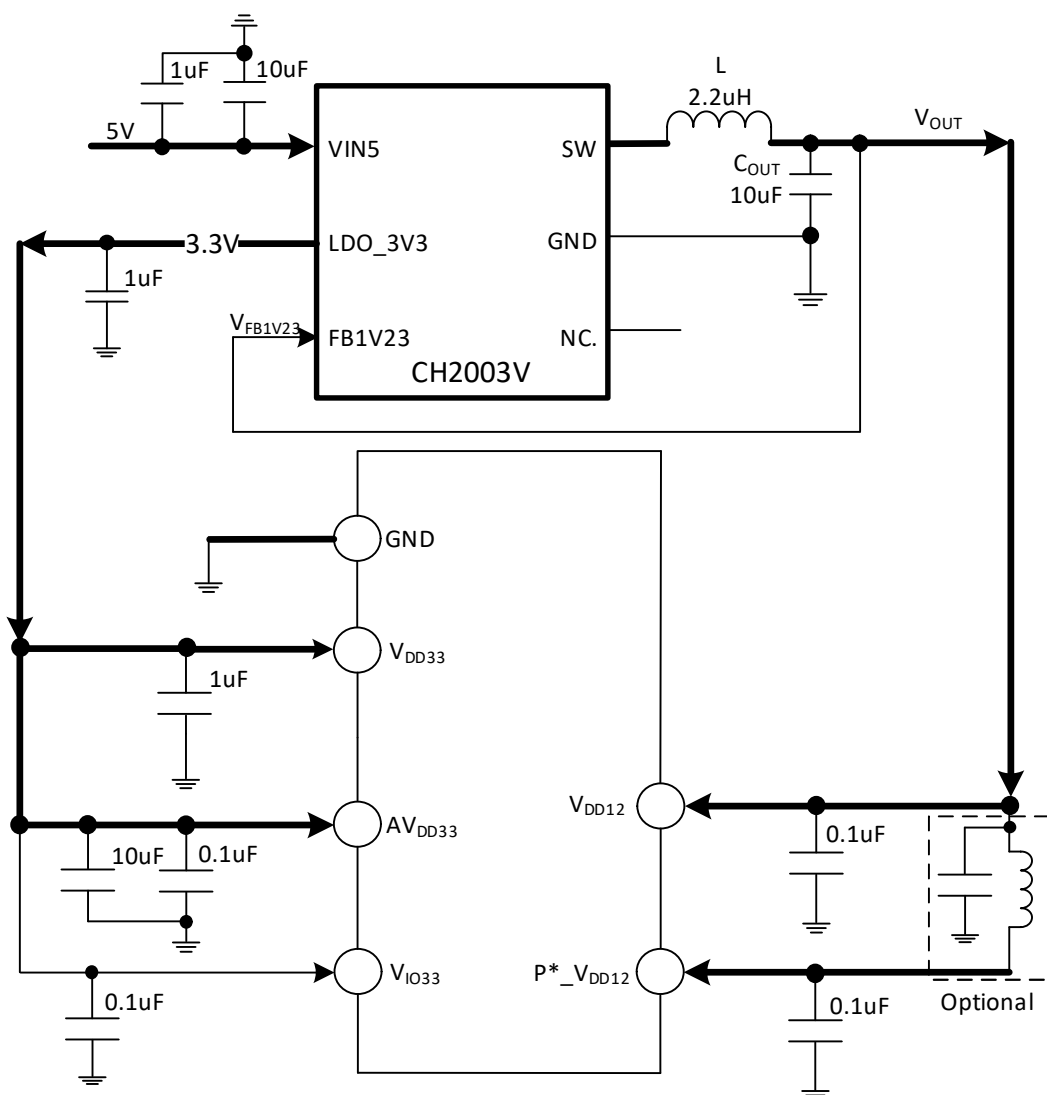


注：图中加粗的线表示电流较大，设计 PCB 时需要保证足够的线宽和过孔数量。

5.3.3 3.3V+1.2V 双供电方案

没有 VDD5 引脚的 CH634 仅支持 3.3V+1.2V 双供电方案，其示意图如下图所示。额定 3.3V 连接到 AVDD33 和 VI033，同时，额定 1.2V（建议 1.23V，参考 6.2 节）连接到 VDD12 和 P*_VDD12。3.3V 电源的对地电容累计不小于 10uF，1.2V 电源的对地电容累计不小于 10uF。

图 5-6 3.3V+1.2V 供电方案示意图 (没有 VDD5 引脚)



注: 图中加粗的线表示电流较大, 设计 PCB 时需要保证足够的线宽和过孔数量。

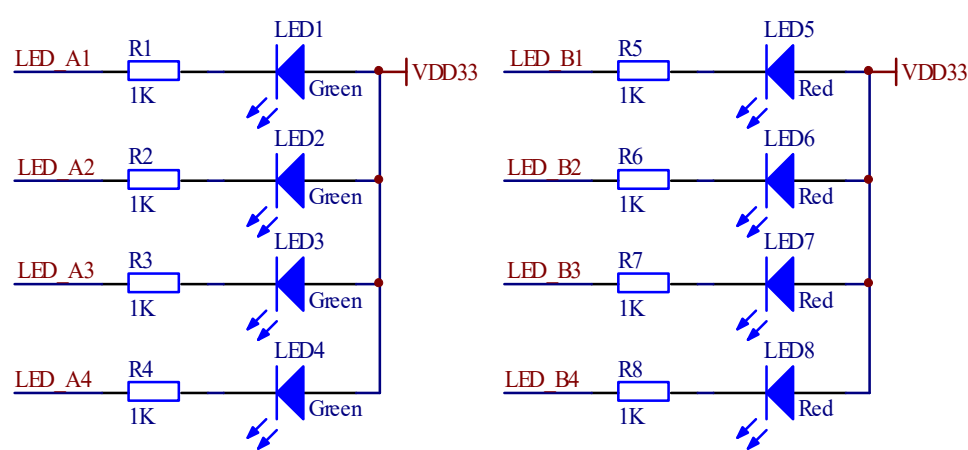
有 VDD5 引脚的 CH634 如需改用外部 3.3V+1.2V 双供电,可以参考单一 3.3V 供电方案去掉 VSW 引脚的电感,再外供额定 1.2V (建议 1.23V)。因为内置的 LDO 和 DC-DC 均未关闭,所以静态电流略大,如需关闭内置 LDO 和 DC-DC,可联系技术人员,针对具体型号去除相关电源连接。

5.4 LED 指示灯

CH634 芯片部分型号提供了下行端口状态 LED 指示灯控制引脚，端口对应的绿灯亮起表明端口状态正常，绿灯熄灭表明端口无设备或挂起 Suspend，端口对应的红灯亮起表明端口异常。

图 5-7 为 CH634W7G 芯片的 8 灯模式应用示意图, 其中 LED1-4 分别为端口 1-4 的正常状态指示灯(绿灯), 点亮表明端口有设备插入且端口正常, 熄灭表明端口无设备或挂起 Suspend。LED5-8 分别为端口 1-4 的异常状态指示灯(红灯), 点亮表明端口异常, 比如过流。

图 5-7 CH634W7G 芯片的 8 灯模式应用示意图



5.5 I/O 功能配置

CH634 芯片的部分功能可以通过 4 种方式进行配置：内置 EEPROM、外置 EEPROM、外置 SPI 接口 FLASH 和配置引脚。外部 EEPROM 和外置 SPI 接口 FLASH 的参数配置功能优先级高于内部 EEPROM 的参数配置功能，内部 EEPROM 的参数配置功能优先级高于引脚配置功能。配置引脚一般为复用引脚，在复位期间作为配置引脚，复位完成之后，再切换到对应的功能引脚。不同型号的具体配置引脚见对应的引脚说明列表。

CH634X 芯片具有 3 种 C 口工作模式，可通过 PDHUB#、SMBDAT 和 EXCH#引脚进行配置选择。

表 5-3 CH634X 芯片 C 口工作模式配置

C 口工作模式	PDHUB#电平	SMBDAT 电平	EXCH#电平	功能描述
模式 0	复位期间 无下拉	复位期间 无下拉	-	通用 HUB 模式，上行口为 A 型接口，下行口为 2 个 Type-C 接口+2 个 A 型接口，Type-C 接口支持正反插自适应，开启 SMBus 接口。
模式 1	复位期间 无下拉	低电平	低电平	通用 HUB 模式，上行口为 Type-C 接口，下行口为 1 个 Type-C 接口+3 个 A 型接口，Type-C 接口支持正反插自适应。关闭 SMBus 接口，开启上下行端口交换，配置 45#引脚为 EXCH#功能。
模式 2	低电平	-	-	PD-HUB 模式，上行口为单面 Type-C 接口，支持 Type-C/PD 快充功能，用于 PDHUB，下行口为 1 个 Type-C 接口+3 个 A 型接口，Type-C 接口支持正反插自适应。配置 45#和 49#引脚分别为 SCL 功能和 SDA 功能，用于连接 CH211 芯片。

CH634M 芯片具有 3 种工作模式，可通过 PDHUB#、SMBDAT 和 EXCH#引脚进行配置选择。

表 5-4 CH634M 芯片工作模式配置

工作模式	PDHUB#电平	SMBDAT 电平	EXCH#电平	功能描述
模式 0	复位期间 无下拉	复位期间 无下拉	-	通用 HUB 模式，上行口为 A 型接口，下行口为 4 个 A 型接口，开启 SMBus 接口。
模式 1	复位期间 无下拉	低电平	低电平	通用 HUB 模式，上行口为 A 型接口，下行口为 4 个 A 型接口，关闭 SMBus 接口，开启上下行端口交换，配置 16#引脚为 EXCH#功能。
模式 2	低电平	-	-	PD-HUB 模式，上行口为单面 Type-C 接口，

				支持 Type-C/PD 快充功能，用于 PDHUB，下行口为 4 个 A 型接口。配置 16#和 17#引脚分别为 SCL 功能和 SDA 功能，用于连接 CH211 芯片。
--	--	--	--	--

CH634W8G 芯片也具有 3 种 C 口工作模式，可通过 LED_B4/FUN_CFG1 和 LED_B3/FUN_CFG0 引脚进行配置选择。

表 5-5 CH634W8G 芯片 C 口工作模式配置

C 口工作模式	LED_B4/ FUN_CFG1 电平	LED_B3/ FUN_CFG0 电平	功能描述
模式 0	高电平	高电平	上行口为 A 型接口，下行口为 2 个 Type-C 接口+2 个 A 型接口，Type-C 接口支持正反插自适应。
模式 1	高电平	低电平	上行口为 Type-C 接口，下行口为 1 个 Type-C 接口+3 个 A 型接口，Type-C 接口支持正反插自适应。
模式 2	低电平	高电平	上行口为单面 Type-C 接口，支持 Type-C/PD 快充功能，用于 PDHUB，下行口为 1 个 Type-C 接口+3 个 A 型接口，Type-C 接口支持正反插自适应。

5.6 参数配置接口

CH634 部分型号提供两线 I2C 接口 (SCL 和 SDA) 与外部 EEPROM 存储芯片通信，EEPROM 芯片地址为 0。CH634 部分型号提供四线 SPI 接口 (SCS、SCK、MOSI 和 MISO) 与外部 SPI 接口的 FLASH 存储芯片通信。EEPROM 或 FLASH 中存储有自定义的厂商 ID、产品 ID、下行端口个数、下行端口的设备不可移除特性、USB 字符串描述符和功能配置等信息。

图 5-8 外部 EEPROM 连接示意图

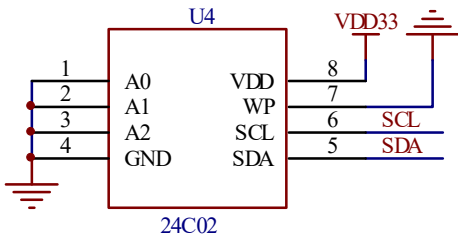
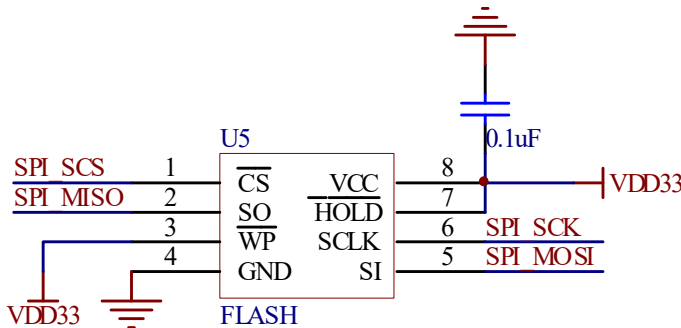


图 5-9 外部 FLASH 连接示意图



CH634 内置信息存储器，针对行业特殊需求可以代替外部 EEPROM 或 FLASH 批量定制厂商或产品信息及配置，例如设置下行端口个数，设置下行端口的设备不可移除特性等。

5.7 SMBus 配置接口

CH634 部分型号提供两线 SMBus 从机接口与外部主控芯片通信,SMBus 接口包含 SMBCLK 和 SMBDAT 两个引脚,通信地址为 0x16,支持块读和块写操作,每块最多为 32 个字节。外部主控可以通过 SMBus 接口对芯片内置的 EEPROM 进行读写操作。图 5-10 为块读示意图,图 5-11 为块写示意图。

图 5-10 块读示意图

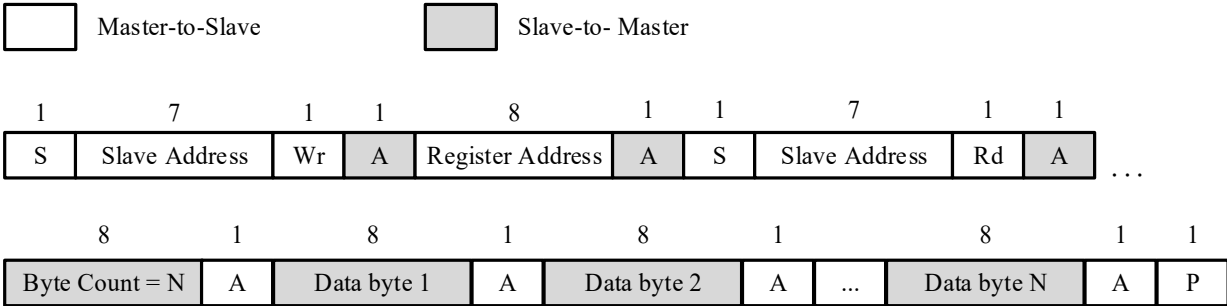
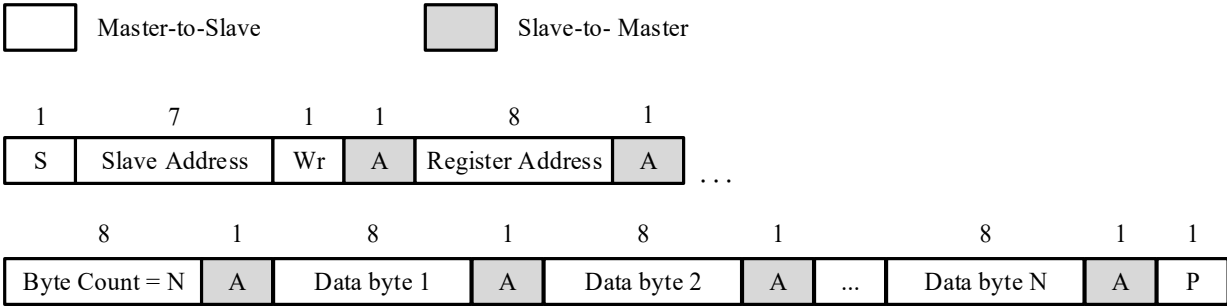


图 5-11 块写示意图



5.8 EEPROM 配置

CH634 支持从外部 EEPROM/FLASH 或内部 EEPROM 中加载厂商识别码 VID、产品识别码 PID、USB 字符串描述符和功能配置等配置信息,如果 EEPROM 中的信息无效,则自动装载默认配置信息。下表 5-6 为内置/外置 EEPROM/FLASH 具体配置信息描述。保留字节或保留位,在写入操作时需要按照原先读取的值写入。

表 5-6 内置/外置 EEPROM/FLASH 配置信息

偏移地址	参数简称	参数说明	默认值
00h	VID_L	厂商识别码 VID 的低字节。	86h
01h	VID_H	厂商识别码 VID 的高字节。	1Ah
02h	PID_L	产品识别码 PID 的低字节,默认为 A0h。 注: USB2.0 的 PID 为 A0h, USB3.0 的 PID 为 A1h。	A0h
03h	PID_H	产品识别码 PID 的高字节。	80h
04h	bcdDevice_L	bcdDevice 低字节,用于指示芯片封装型号; 固定,不可修改。	跟随 型号
05h	bcdDevice_H	bcdDevice 高字节,用于指示芯片版本; 固定,不可修改。	跟随 型号
06h	Fun_Cfg1	功能性配置字节 1。 Bit7: 供电模式选择; 0: 总线供电模式; 1: 自供电模式(默认); Bit6: 保留;	跟随 型号

		Bit5: 高速模式禁止控制; 0: 高速模式使能(默认); 1: 高速模式禁止; Bit4: STT 和 MTT 模式选择; 0: STT 模式; 1: MTT 模式(默认); Bit3: 保留; Bit2-1: 端口过流功能控制; 00: 整体过流控制; 01: 独立过流控制; 1x: 不支持过流控制; Bit0: 端口电源控制; 0: 整体电源控制; 1: 独立电源控制。	
07h	Fun_Cfg2	功能性配置字节 2。 Bit7: 保留; Bit6: 保留; Bit5: 保留; Bit4: 保留; Bit3: HUB 是否是 Compound Device; 0: 不是; 1: 是; Bit2-0: 保留。	20h
08h	Fun_Cfg3	功能性配置字节 3。 Bit7-4: 保留, 写入时需要写入原读取的值; Bit3: 端口重映射功能控制; 0: 禁止(默认); 1: 使能。 Bit2-1: 保留; Bit0: 字符串描述符使能控制; 0: 禁止(默认); 1: 使能。	00h
09h	Dev_Removable	下行端口设备是否可移除控制。 Bit7-5: 保留; Bit4-1: 下行端口 4-1 的设备是否可移除; 0: 可移除(默认); 1: 不可移除; Bit0: 保留, 必须为 0。	跟随 型号
0Ah	Port_Dis_Sp	自供电模式下端口禁止。 Bit7-5: 保留; Bit4-1: 下行端口 4-1 是否禁止; 0: 使能(默认); 1: 禁止; Bit0: 保留, 必须为 0。	00h
0Bh	Port_Dis_Bp	总线供电模式下端口禁止。 Bit7-5: 保留; Bit4-1: 下行端口 4-1 是否禁止; 0: 使能(默认); 1: 禁止; Bit0: 保留, 必须为 0。	00h

0Ch	MaxPwr_Sp	自供电模式下最大工作电流，单位为 2mA。	01h
0Dh	MaxPwr_Bp	总线供电模式下最大工作电流，单位为 2mA。	32h
0Eh	HubCurrent_Sp	自供电模式下 HUB 要求的最大电流。	01h
0Fh	HubCurrent_Bp	总线供电模式下 HUB 要求的最大电流。	32h
10h	Pwr_OnTime	下行端口上电到电源有效的延迟时间。	32h
11h	LanguageID_H	语言 ID 高字节。	00h
12h	LanguageID_L	语言 ID 低字节。	00h
13h	Vendor_StrLen	厂商字符串描述符长度。	00h
14h	Product_StrLen	产品字符串描述符长度。	00h
15h	SN_StrLen	序列号字符串描述符长度。	00h
16h-53h	Vendor String	厂商字符串描述符； Unicode 码格式的厂商字符串描述符。	00h
54h-91h	Product String	产品字符串描述符； Unicode 码格式的产品字符串描述符。	00h
92h-CFh	Serial Number String	序列号字符串描述符； Unicode 码格式的序列号字符串描述符。	00h
D0h	PortNum	下行端口个数，有效范围：1-4。	跟随型号
D1h	bcdUSB_L	USB 版本低字节。 bcdUSB_L=0x00，USB2. 00； bcdUSB_L=0x01，USB2. 01； bcdUSB_L=0x10，USB2. 10。	10h
D2h	Fun_Cfg4	功能性配置字节 4。 Bit7-2：保留，写入时需要写入原读取的值； Bit1：强制下行端口为全速模式； 0：高速模式（默认）； 1：全速模式； Bit0：指示灯功能使能配置； 0：禁止（默认）； 1：使能。	00h
D3h	Fun_Cfg5	功能性配置字节 5。 Bit7：LED 指示灯极性配置； 0：低电平有效（默认）； 1：高电平有效； Bit6：端口过流检测极性配置； 0：低电平有效（默认）； 1：高电平有效； Bit5：端口电源控制极性配置； 0：低电平有效（部分型号默认）； 1：高电平有效（部分型号默认）； Bit4：下行端口 BC 充电配置； 0：禁止（默认）； 1：使能； Bit3：LPM 配置是否使能； 0：禁止； 1：使能（默认）； Bit2：上行口交换功能是否使能； 0：禁止（默认）； 1：使能； Bit1-0：保留。	跟随型号

D4-E3h	BOS_UUID	BOS 描述符中的 UUID 字段, 占 16 个字节。	00h
E4h	PortUp_Status	上行端口实时状态 Bit7: 保留; Bit6: 上行端口 U3 连接状态; 0: 未连接; 1: 已连接或挂起; Bit5-4: 上行端口 U3 连接速度; 00: 低速; 01: 全速; 10: 高速; 11: 超高速; Bit3: 保留; Bit2: 上行端口 U2 连接状态; 0: 未连接; 1: 已连接或挂起; Bit1-0: 上行端口 U2 连接速度; 00: 低速; 01: 全速; 10: 高速; 11: 超高速。	00h
E5h	Port12_Status	下行 1#和 2#端口实时状态 Bit7: 保留; Bit6: 1#下行端口 U3 或 U2 设备连接状态; Bit5-4: 1#下行端口 U3 或 U2 设备连接速度; Bit3: 保留; Bit2: 2#下行端口 U3 或 U2 设备连接状态; Bit1-0: 2#下行端口 U3 或 U2 设备连接速度。	00h
E6h	Port34_Status	下行 3#和 4#端口实时状态 Bit7: 保留; Bit6: 3#下行端口 U3 或 U2 设备连接状态; Bit5-4: 3#下行端口 U3 或 U2 设备连接速度; Bit3: 保留; Bit2: 4#下行端口 U3 或 U2 设备连接状态; Bit1-0: 4#下行端口 U3 或 U2 设备连接速度。	00h
E7-FDh	Reserved	保留。	00h
FEh	PortSelect_Ctl	CH634X 芯片特殊应用时的 4 个上行口切换选择控制字节; 如果使能 CH634X 芯片的 4 个上行口的特殊功能, 则可以通过该控制字节切换选择使能对应的上行口, 达到 4 个 USB 主机分时共享 1 个 HUB 芯片的效果, 且节省一个 U3 模拟开关芯片。CH634X 的 4 个下行口中 P2 口为 U2 功能, 其它 3 个口为 U2+U3 功能。 该字节默认为 00h, 写入特定值进行特殊控制。 Bit7-5: 101: CH634X 芯片已使能 4 个上行口切换选择功能; 其它值: CH634X 芯片未使能 4 个上行口切换选择功能; Bit4: 0: 本次控制无效, 不执行任何操作; 1: 本次控制有效, 执行控制动作; Bit3-2: 保留; Bit1-0: 00: 上行端口切换选择使能第 1 个端口; 01: 上行端口切换选择使能第 2 个端口; 10: 上行端口切换选择使能第 3 个端口;	00h

		11: 上行端口切换选择使能第 4 个端口; 注: 该控制字节仅针对 CH634X 芯片有效。	
FFh	Switch_Ctl	上行口交换功能控制字节; 该字节默认为 00h, 写入特定值进行特殊控制。 Bit7: 0: 控制字节无效, 不执行任何操作; 1: 控制字节有效, 执行控制动作; Bit6: 0: 取消交换(恢复不交换状态); 1: 控制交换(原上行口交换为 1#下行端口, 原 1#下行端口交换为上行口); Bit5: 0: 只执行控制动作不保存; 1: 执行控制动作且掉电保存; Bit4: 0: 使能原下行口(1#下行端口)U3 功能; 1: 禁用原下行口(1#下行端口)U3 功能; Bit3: 0: 使能原下行口(1#下行端口)U2 功能; 1: 禁用原下行口(1#下行端口)U2 功能; Bit2: 保留; Bit1: 0: 交换后的新下行口(原上行口)U3 功能正常; 1: 交换后的新下行口(原上行口)U3 功能禁用; Bit0: 0: 交换后的新下行口(原上行口)U2 功能正常; 1: 交换后的新下行口(原上行口)U2 功能禁用; 例如: (1)、写入 C0h 表示控制交换, 交换后的新下行口(原上行口)U3 功能正常、U2 功能正常; (2)、写入 E1h 表示控制交换, 交换后的新下行口(原上行口)U3 功能正常、U2 功能禁用; (3)、写入 80h 表示取消交换, 恢复为不交换状态; (4)、写入 98h 表示取消交换, 且禁用原下行口(1#下行端口)U3 和 U2 功能。	00h

6、参数

6.1 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

名称	参数说明	最小值	最大值	单位
T_A	工作时的环境温度	-40	85	°C
T_J	结温度范围	-40	100	°C
T_S	储存时的环境温度	-55	150	°C
V_{DD5}	LDO 调压器和 DC-DC 降压器的输入电源电压 (V_{DD5})	-0.4	5.5	V
$*V_{DD33}$	单一 3.3V 供电方案下的输入电源电压 (V_{DD33}/AV_{DD33})	-0.4	4.0	V
V_{I033}	I/O 电源电压 (V_{I033})	-0.4	4.0	V
$*V_{DD12}$	USB 模块电源电压 ($P*_V_{DD12}$) / 内核电源电压 (DV_{DD12})	-0.4	1.5	V
V_{FB}	DCDC 电压反馈端	-0.4	1.5	V
V_{USB2}	USB2.0 物理信号引脚上的电压	-0.4	$V_{DD33}+0.4$	V
V_{USB3}	USB3.0 物理信号引脚上的电压	-0.3	$V_{DD12}+0.3$	V
V_{IN}	FT（耐受 5V）引脚上的输入电压	-0.4	5.5	V
	其他引脚上的输入电压	-0.4	$V_{I033}+0.4$	V
V_{ESDUSB}	USB 信号引脚的 ESD 静电放电电压 (HBM)	5K		V
V_{ESDI0}	I/O 引脚的 ESD 静电放电电压 (HBM)	5K		V
θ_{JA}	封装热阻	QFN32	63	°C/W
		QFN48	40	°C/W
		QFN56	23	°C/W
		QFN64	18	°C/W
		QFN64X9	13	°C/W
		QFN68	16	°C/W
		QFN76	13	°C/W
		QFN88	10	°C/W

6.2 电气参数（测试条件： $T_A = 25^{\circ}\text{C}$, $*V_{DD33} = V_{I033} = 3.3\text{V}$, $*V_{DD12} = 1.23\text{V}$ ）

名称	参数说明	最小值	典型值	最大值	单位
V_{DD5}	LDO 调压器和 DCDC 降压器的输入电源电压	4.0	5.0	5.3	V
$*V_{DD33}$	单一 3.3V 供电方案下的输入电源电压	3.15	3.3	3.45	V
	单一 5V 供电方案下的 LDO 调压器输出电压	3.15	3.3	3.45	V
$*V_{DD12}$	USB 模块电源电压 ($P*_V_{DD12}$) / 内核电源电压 (DV_{DD12})	1.18	1.23 ⁽¹⁾	1.28	V
V_{I033}	I/O 引脚供电电压	3.0	3.3	3.6	V
V_{IL}	低电平输入电压	标准 I/O 引脚	0	0.8	V
		FT I/O 引脚	0	0.8	V
V_{IH}	高电平输入电压	标准 I/O 引脚	2.0	V_{I033}	V
		FT I/O 引脚	2.0	5.0	V
V_{OL}	低电平输出电压	灌电流 5mA	0.4	0.6	V
V_{OH}	高电平输出电压	源电流 5mA	$V_{I033}-0.6$	$V_{I033}-0.4$	V
R_{PU}	内部上拉等效电阻		70		K Ω
R_{PD}	内部下拉等效电阻		70		K Ω
V_{LVR}	上电或掉电复位的电压阈值	2.55	2.75	3.0	V
t_{rpor}	上电复位延时		14		ms
	其他复位延时		10		ms

注：1. $*V_{DD12}$ 电流较大，考虑 PCB 走线压降损失，建议额定 1.2V 再加 10~50mV。

6.3 典型工作电流（测试条件：CH634X, $T_A = 25^\circ\text{C}$ ）

下行口连接设备个数		单一 5V 供电方案 ⁽¹⁾	3.3V+1.2V 双供电方案 ⁽¹⁾		单位
		5V 电源	3.3V 电源	1.2V ⁽²⁾ 电源	
USB3.0	睡眠状态	0.91 ⁽³⁾	0.74	0.62	mA
	挂起状态	1.74	1.32	0.90	mA
	1	91.1	13.3	266	mA
	2	117	14.1	351	mA
	3	146	14.7	438	mA
	4	176	15.4	525	mA
USB2.0	睡眠状态	0.91 ⁽³⁾	0.74	0.62	mA
	挂起状态	1.13	0.92	0.63	mA
	1	30.2	24.7	18.4	mA
	2	35.9	30.5	18.6	mA
	3	41.9	36.0	18.7	mA
	4	47.1	41.3	18.9	mA

注：1. 单一 5V 供电方案只从 5V 消耗电流；而 3.3V+1.2V 双供电方案分别从 3.3V 和 1.2V 消耗电流。

2. 基于 1.23V 电源实测，参考 6.2 节。

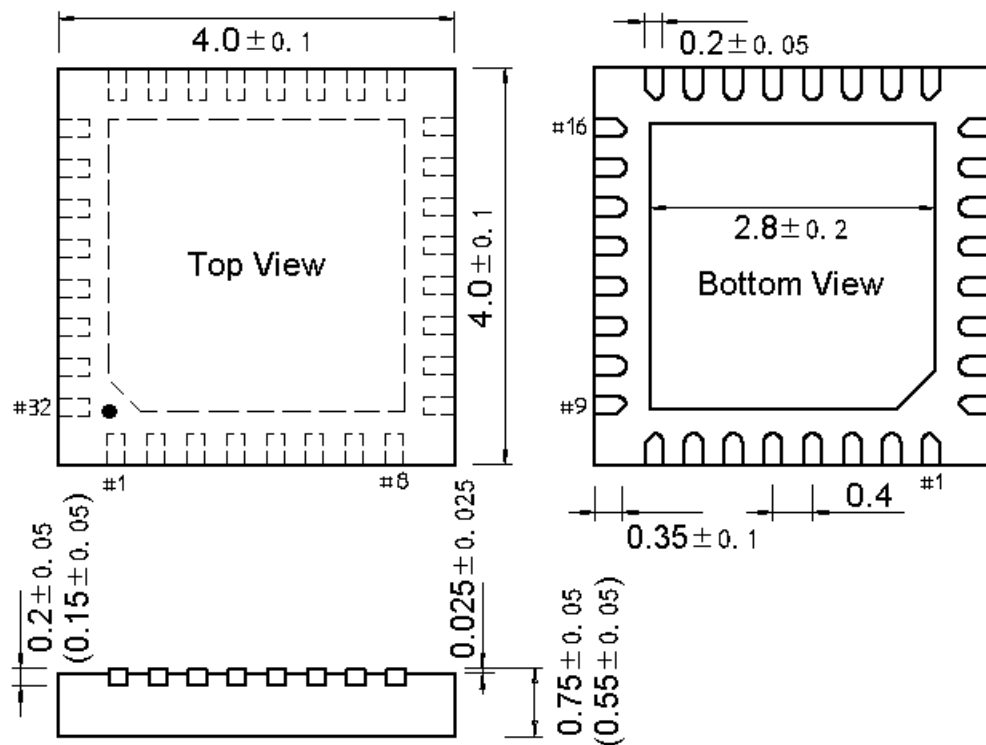
3. 对于其它带 VBUS_DET 引脚的 CH634 芯片，其睡眠状态的电流比上述表格中的更低。

7、封装信息

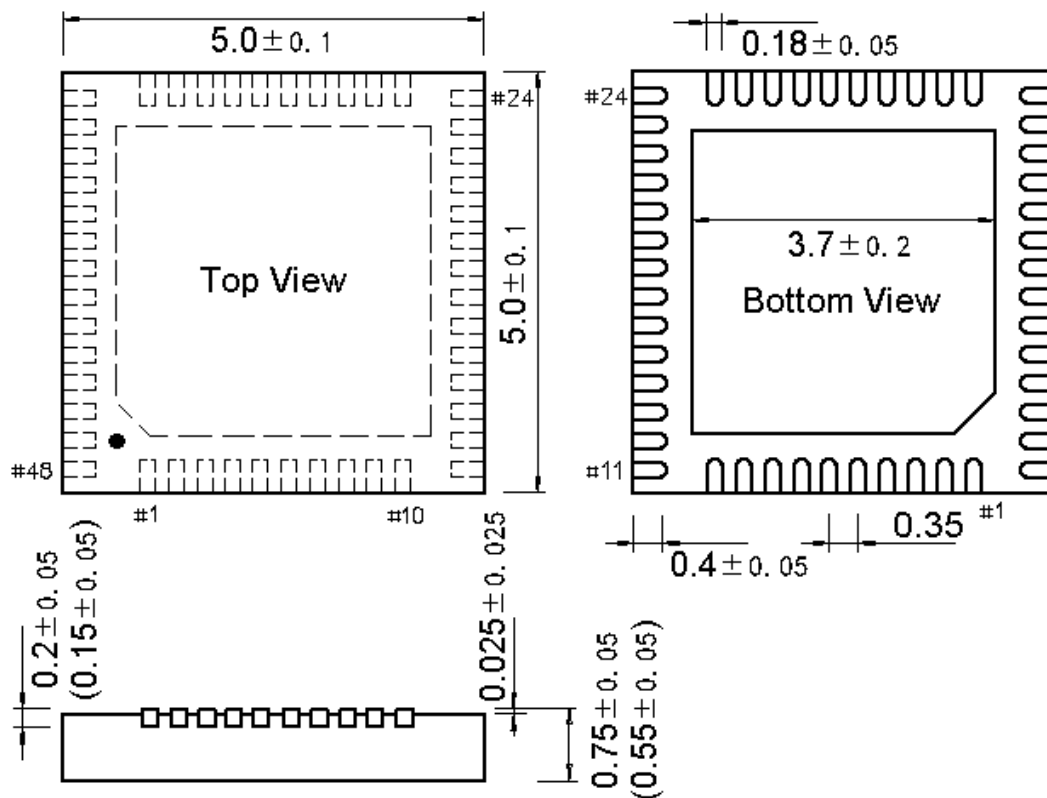
说明：尺寸标注的单位是 mm（毫米）。

引脚中心间距是标称值，没有误差，除此之外的尺寸误差不大于 $\pm 0.2\text{mm}$ 。

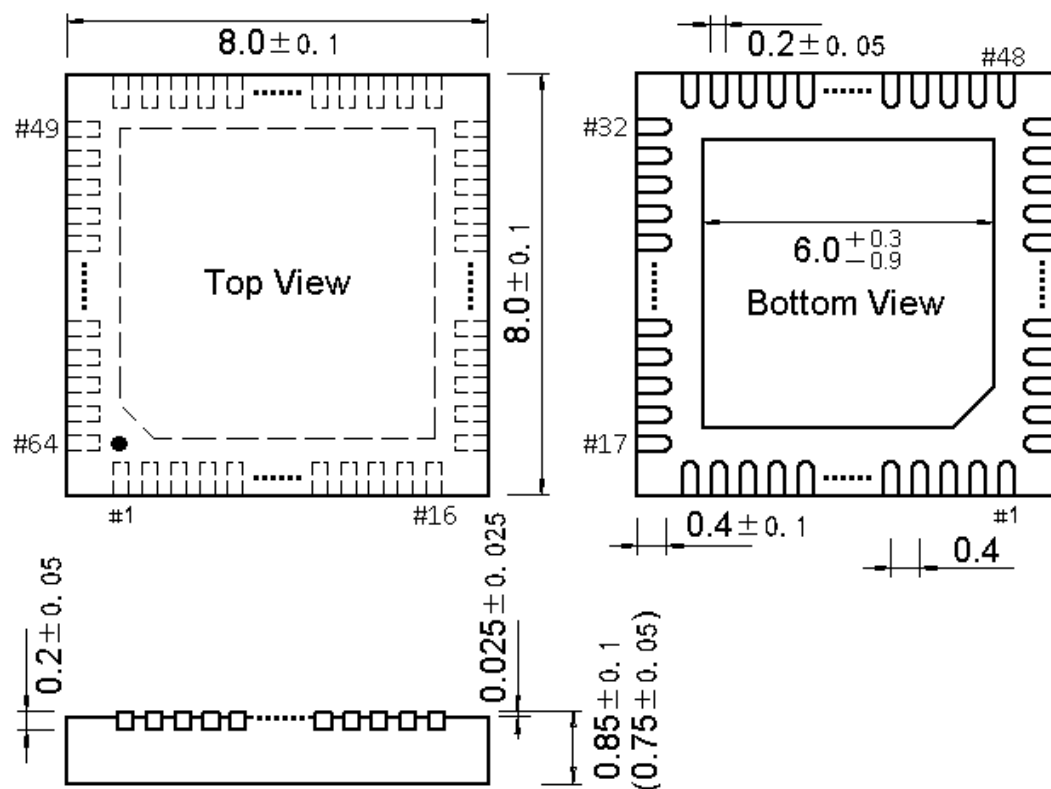
7.1 QFN32



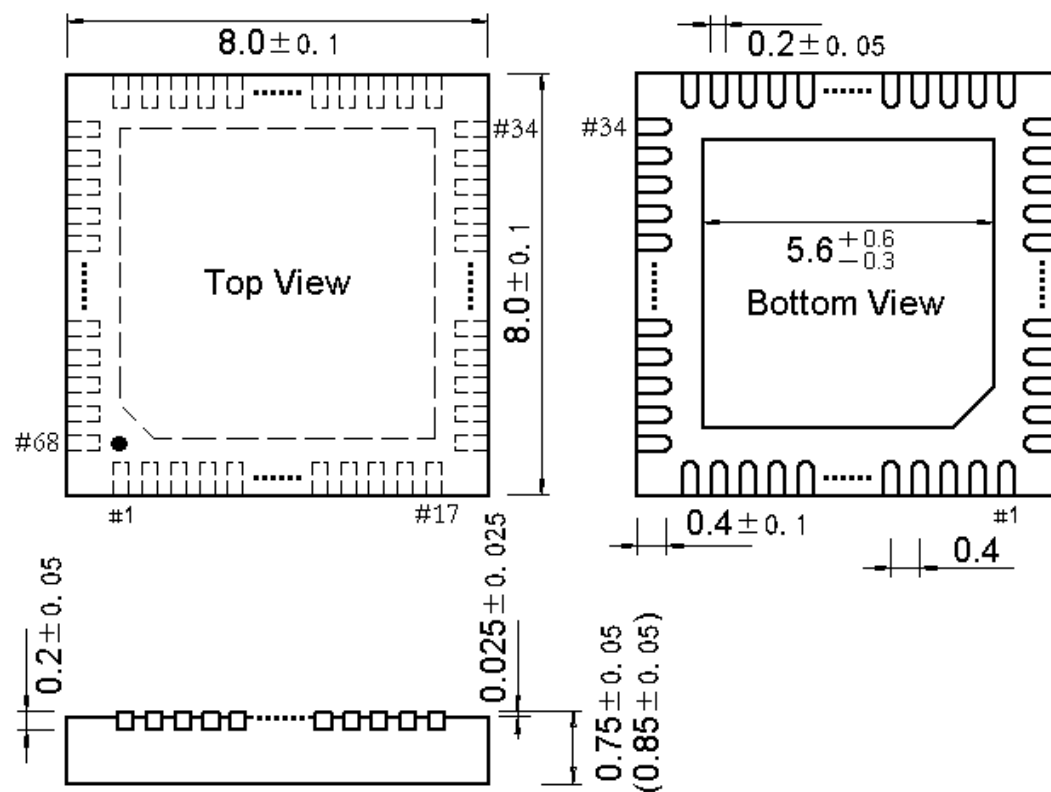
7.2 QFN48



7.3 QFN64



7.4 QFN68



上图 8-1 为 CH634X 芯片工作在模式 0 的参考电路图。P1-P4 为 HUB 的 4 个下行 USB 口，其中 P1 和 P2 为 Type-C 接口，兼容 USB-C 线缆和连接规范，原生支持 Type-C 正反插自适应，P3 和 P4 为 A 型接口，P5 为 HUB 的上行 USB 口，一般连接 PC 或其它 HUB 主机，P6 为外部纯供电 Type-C 接口。

U3 是低压降理想二极管 CH213，它具有简单的过流和短路保护功能，且保护响应更快，可以替代保险电阻 Fuse。主要用于避免 P6 外部电源向上行端口 P5 的 VDD5 倒灌，尤其是上行端口例如计算机关机而 P6 外部仍然供电时的情况。理论上 U3 可以换成肖特基二极管，但需要选择自身压降较低的器件，否则会降低下行端口 VBUS 的输出电压，在 300mA 负载电流时，肖特基二极管的压降约 0.3V，理想二极管的压降约 0.05V。由于 P6 自身及外部电源通常没有负载，所以一般不考虑 P5 向 P6 的倒灌。

CH634X 芯片默认工作在独立电源配电控制和独立过流检测模式，可通过 OVCUR3#/GANG_EN#引脚和 OVCUR4#/GANG_EN#引脚配置成整体电源配电控制和整体过流检测。U4-U7 是支持过流保护的 USB 配电开关芯片 CH217。图中 R17、R19、R22 和 R25 根据电源供电能力设置限流门限，USB 限流电源开关芯片的 FLAG#引脚可以产生过流或过温报警信号通知 HUB 控制器及计算机，CH634X 的 OVCUR#引脚已内置上拉电阻。

CH634X 芯片的 P1 和 P2 端口也可以作为 A 型接口使用，如果 USB3.0 信号线使用 PxC_SS_RXA、PxC_SS_RXB、PxC_SS_TXA 和 PxC_SS_TXB，则 Px_CC2 引脚需要通过 5.1K 电阻接地；如果 USB3.0 信号线使用 Px_SS_RXA、Px_SS_RXB、Px_SS_TXA 和 Px_SS_TXB，则 Px_CC1 引脚需要通过 5.1K 电阻接地。

对于板载应用，CH634 每个下行端口的 USB3.0 和 USB2.0 都支持拆开分别连接 USB3.0 板载设备和 USB2.0/1.0 设备，4 口 HUB 最多同时支持 8 个 USB 设备。

设计 PCB 时需考虑实际工作电流承载能力，VDD5、VBUS_OUT*、5V 和 P6 及各端口 GND 走线路径的 PCB 尽可能宽，如有过孔则建议多个并联。

在下行端口 USB 设备带电热插拔的瞬间，动态负载可能使 VBUS 和 5V 电压瞬时跌落，进而可能产生 LVR 低压复位，从而出现整个 HUB 断开再连接的现象。改进方法：①在规范允许范围内加大 5V 电源的电解电容（加大图示 C14 容量），缓解跌落；②加大 HUB 芯片电源输入端的电容（加大图示 C37 容量，例如 22uF）；③增强 5V 供电能力或改为自供电，另外，提升 USB 线材质量也会改善供电能力。

建议 5V 加过压保护器件，USB 信号已内置基本 ESD 保护，可根据需要另加保护器件。

8.2 Type-C/PD HUB 100W 快充应用

下图 8-2 为 CH634W6G 工作于 PDHUB 模式的参考电路图。PD 协议由 CH634W6G 实现，原生支持 USB PD2.0/3.0 协议，可在 Type-C 接口 USB HUB 通讯的同时进行最大 100W 功率（20V*5A）的充电。CH211 是内置了高压开关和升压模块的 Type-C/PD 高压接口芯片，配合 CH634W6G 提供高压驱动，支持低成本的 N 型 MOSFET 功率开关管。

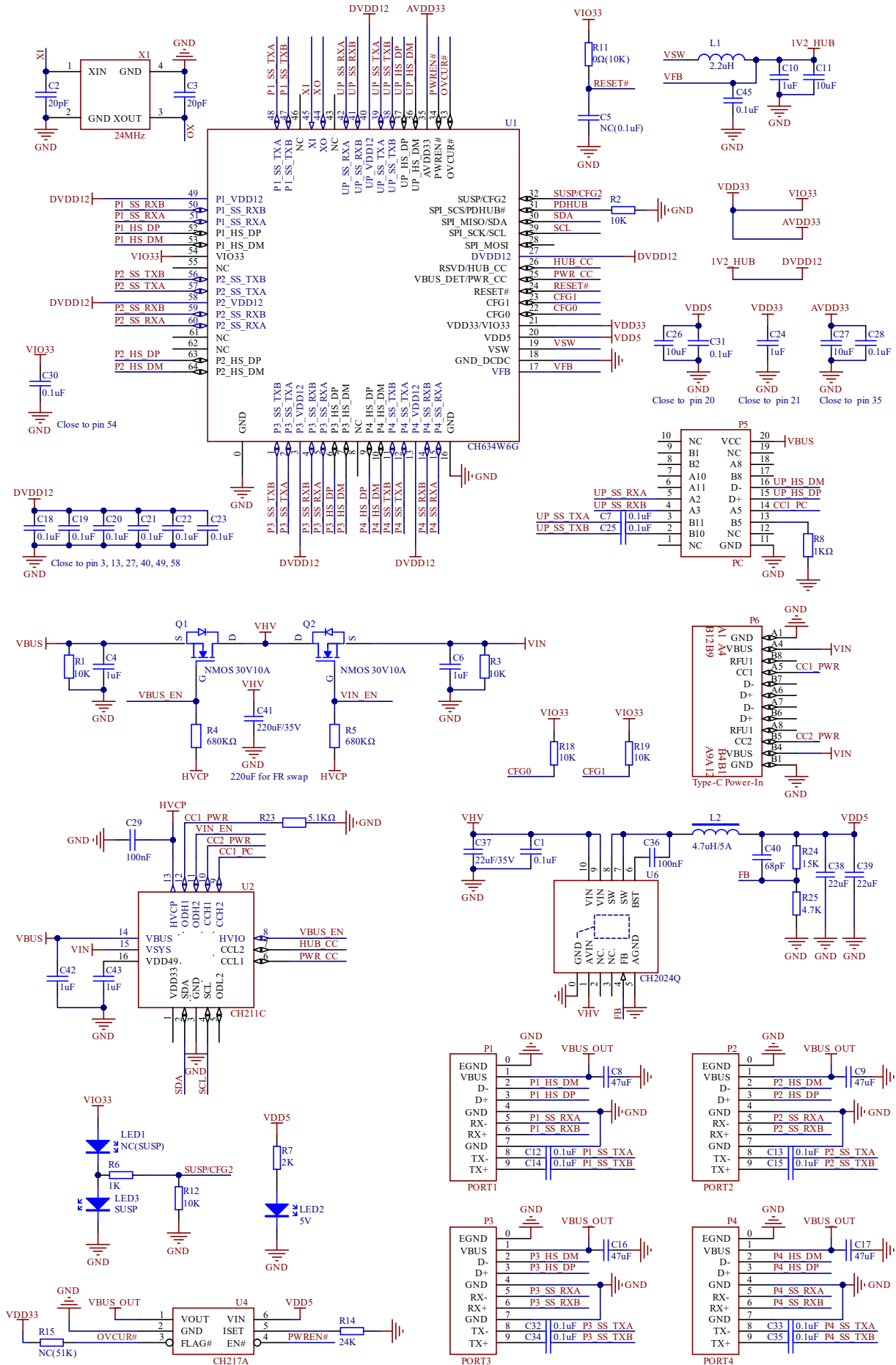
P1-P4 为 HUB 的 4 个下行 USB 口，P5 为 HUB 的上行 USB 口，一般连接 PC 或其它 HUB 主机，P6 为纯供电 Type-C 接口，仅用于连接外部电源适配器。P5 端口是单面 Type-C 接口，支持 Type-C 电源角色 DRP 切换。如果 P6 接入外部电源适配器，那么 P5 端口将工作于 SRC/DFP 模式，该 PDHUB 将外部电源传输给 PC 充电，同时提供给 DC-DC 芯片（CH2024Q）产生 5V，用于 USB 的 VBUS 电源。如果仅连接 PC、P6 端口无电源，那么 P5 端口工作于 SINK/UFP 模式，该 PDHUB 从 PC 申请电源提供给 DC-DC。

CH2024Q 将 VHV 最高 20V 电压降压到 5V，DC-DC 控制器需支持满占空比输出，持续输出电流不小于 4 个下行端口的实际需求，建议不低于 3A。MOSFET 内阻建议不超过 16mΩ，以减少持续 5A 充电电流时的发热。如果仅需支持 5V*3A，那么可以省掉 DC-DC（CH2024Q）并可以降低 MOSFET 的耐压。

图中 R12 用于禁止 BC 充电。如果去掉 R12 则使能 BC 充电，LED1 代替 LED3。

如需支持 28V 电压 140W 功率或者其它特定电压/功率的快充、或者双向快充、或者为下行 Type-C 端口提供 PD 高功率快充，请联系我司。

图 8-2 CH634W6G 芯片参考电路图



8.3 动态切换 4 个上行口的 3 口 HUB 应用

全自研的 CH634X 芯片内部包含青稞处理器和灵活的高速互连架构，技术上最多可以支持 5 个上行口动态切换，最多可以同时支持 3 个下行口，可节省多选一的 USB3.0 模拟开关芯片，并提升 USB 信号质量，相当于简版 CH637 芯片。例如，CH634X 可以用于连接 4 台 PC 动态 4 选 1 的 3 口 HUB 方案，类似应用可联系我司。