

概述

CH32V205 是基于青稞 RISC-V 内核设计的工业级通用微控制器。CH32V205 内置 USB 2.0 高速 PHY 收发器（480Mbps）和 PD PHY，支持 PDUSB，包括 USB Host 主机和 USB Device 设备功能、USB PD 及 Type-C 快充功能，提供了可编程协议 I/O 控制器 PI0C、静态存储器控制器 FSMC、QSPI 接口、CAN 接口、8 组 USART 串口、2 组 I2C、2 组 SPI、多组定时器、2 组 OPA 运放、2 组 CMP 电压比较器、4Msps 高速 12 位 ADC、16 路 Touchkey 等丰富外设资源。

产品特性

● 内核 Core:

- 青稞 RISC-V3B 内核，RV32ICBM-X 指令集
- 快速可编程中断控制器+硬件中断堆栈
- 2 级硬件中断堆栈
- 冲突处理机制
- 系统主频支持最高 192MHz

● 存储器:

- 32KB 易失数据存储区 SRAM
- 256KB 程序存储区 CodeFlash
- 3328B 系统引导程序存储区 BootLoader
- 256B 系统非易失配置信息存储区
- 256B 用户自定义信息存储区

● 电源管理和低功耗:

- 系统供电 V_{DD} 电压范围: 1.8~3.6V
- 独立供电 V_{IO} 电压范围: 1.45~3.6V
- 低功耗模式: 睡眠、停止、待机
- V_{BAT} 电源独立为 RTC 和后备寄存器供电

● 系统时钟和复位:

- 内置出厂调校的 8MHz 的 RC 振荡器
- 内置约 40KHz 的 RC 振荡器
- 内置 PLL，可选 CPU 时钟达 192MHz
- 外部支持 3~25MHz 高速振荡器
- 外部支持 32.768KHz 低速振荡器
- 上电/下电复位、可编程电压监测器

● 2 组 16 路通用 DMA 控制器:

- 16 个通道，支持环形缓冲区管理

● 可编程协议 I/O 控制器 PI0C:

- 可编程，支持多种单线接口、两线接口

● 2 组模拟电压比较器 CMP:

- 各 2 路输入通道，可选内部参考电压
- 输出到 I/O 或者内部直接触发 TIM

● 2 组运放 OPA/PGA/电压比较器:

- 多路输入通道，可选多档增益

- 多路输出通道，可选 ADC 引脚

● 高速 12 位模数转换 ADC:

- 模拟输入范围: $V_{SSA} \sim V_{DDA}$
- 16 路外部信号通道+3 路内部信号通道
- 片上温度传感器

● 16 路 TouchKey 通道检测

● 实时时钟 RTC: 32 位独立定时器

● 多组定时器:

- 1 个 16 位高级定时器，提供死区控制和紧急刹车，提供用于电机控制的 PWM 互补输出
- 2 个 16 位通用定时器
- 1 个 32 位通用定时器
- 2 个看门狗定时器: 独立和窗口型
- 系统时基定时器: 32 位计数器

● 8 组 USART 串口: 支持 LIN 和 ISO7816

● 2 组 I2C 接口: 支持 SMBus/PMBus

● 2 组 SPI 接口

● QuadSPI 接口

● FSMC 静态存储器接口

● CAN 接口 (2.0B 主动)

● USB 2.0 全速控制器及 PHY:

- 支持 USB 主机或 USB 设备，支持单线 USB

● USB 2.0 高速控制器及 PHY:

- 支持 480Mbps 高速 USB 主机或 USB 设备
- 支持 USART 串口或 I2C 引脚映射

● USB PD 和 Type-C 控制器及 PHY:

- 支持 DRP、Sink 和 Source 应用，支持 PDUSB
- 支持 PD3.2 和 EPR，支持 100W 或 240W 快充

● 快速 GPIO 端口:

- 80 个 I/O 口，支持 16 个外部中断

● 安全特性: 芯片唯一 ID

● 调试模式: 单线 (默认) / 双线调试接口

● 封装形式: LQFP

资源差异		CH32V205			CH32V203
		CCT6	RCT6	VCT6	CCT6
芯片引脚数		48	64	100	48
闪存（字节）		256K	256K	256K	256K
SRAM（字节）		32K	32K	32K	32K
GPIO 端口数		41	51	80	37
定时器	高级 TIM1（16 位）	1	1	1	1
	通用 TIM2/3（16 位）	2	2	2	2
	通用 TIM4（32 位）	1	1	1	1
	看门狗	2（WWDG+IWDG）			
	系统时基（32 位）	√			√
RTC		√			√
ADC		16+3	16+3	16+3	10+3
TKEY		16 路	16 路	16 路	10 路
OPA		2	2	2	2
CMP		2	2	2	2
USART		8	8	8	8
SPI		2	2	2	2
I2C		2	2	2	2
CAN		1	1	1	1
QSPI		1	1	1	1
FSMC		—	—	1	—
PIOC		1	1	1	—
PDUSB	USBFS	1	1	1	1
	USBHS	1	1	1	—
	USB PD Type-C	1	1	1	—
CPU 主频		40MHz@零等待；Max：192MHz@非零等待			
额定电压		3.3V			
工作温度		工业级：-40℃~85℃			
封装形式		LQFP48	LQFP64	LQFP100	LQFP48

注：对于批号第 5 位为 0 的产品，未提供 CAN、USBPD 功能。

第 1 章 规格信息

1.1 系统架构

微控制器基于 RISC-V 指令集设计，其架构中将青稞微处理器内核、仲裁单元、DMA 模块、SRAM 存储等部件通过多组总线实现交互。集成通用 DMA 控制器以减轻 CPU 负担、提高访问效率，应用多级时钟管理机制降低了外设的运行功耗，同时兼有数据保护机制，时钟自动切换保护等措施增加了系统稳定性。下图是系列芯片内部总体架构框图。

图 1-1-1 CH32V205 系统框图

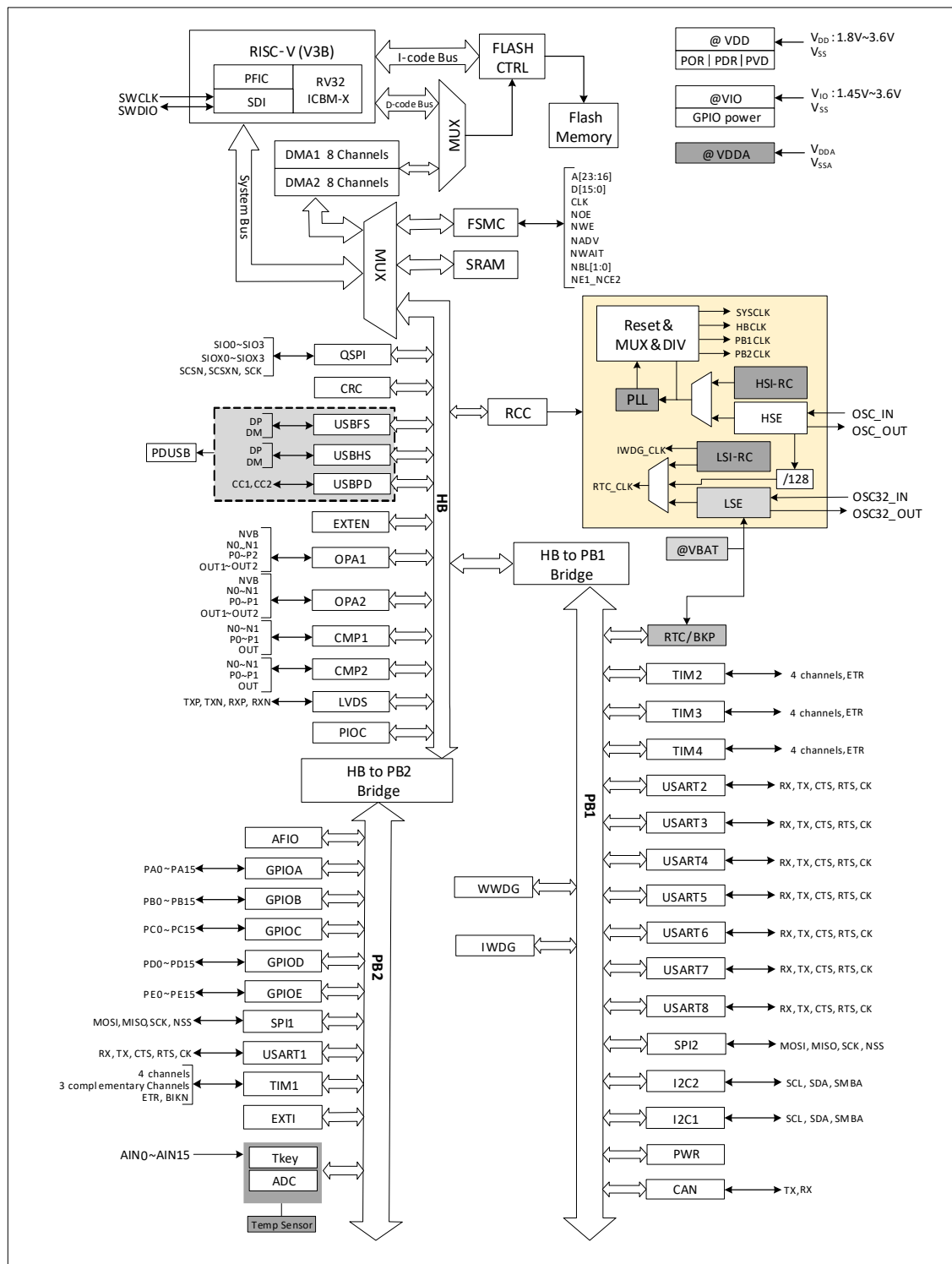
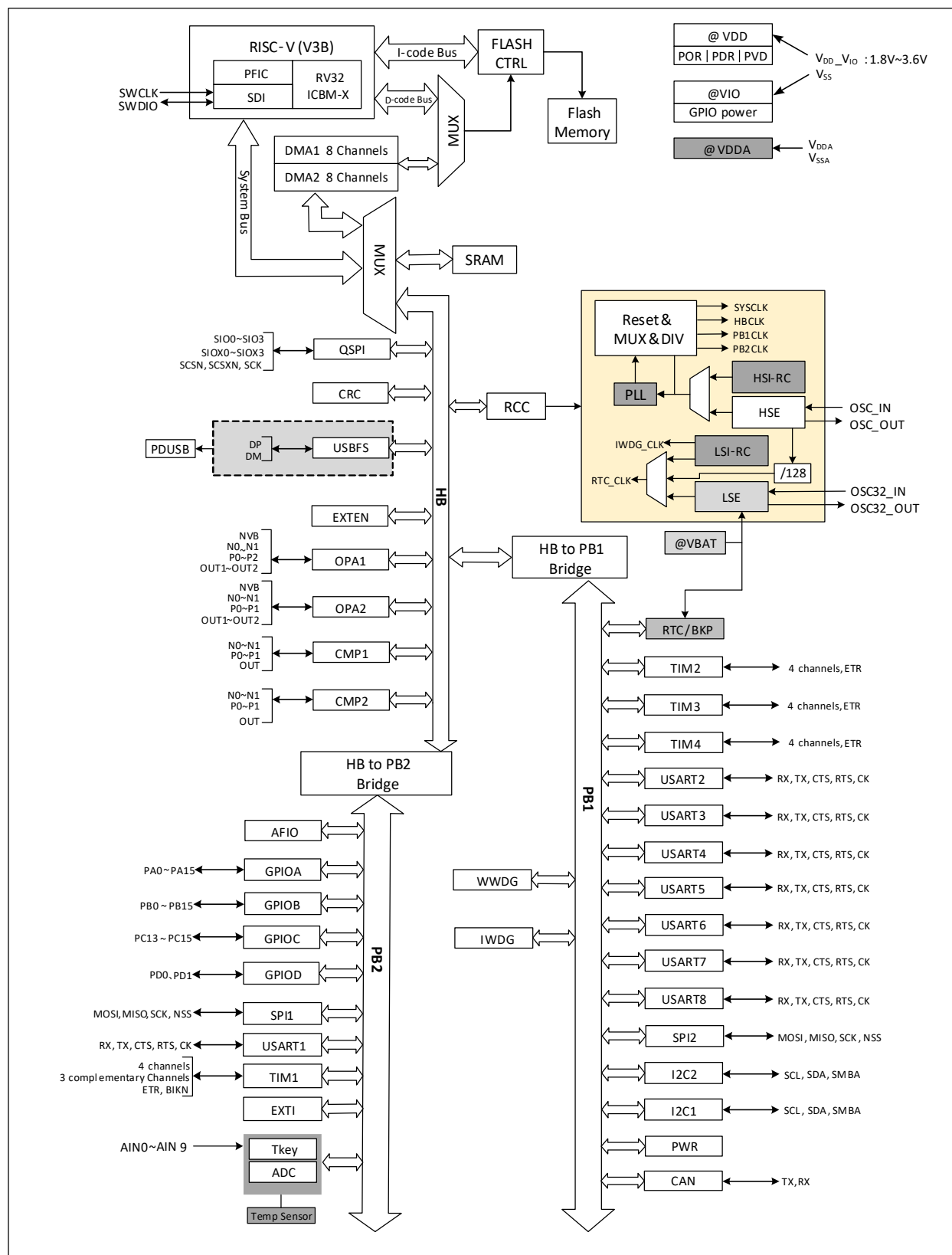
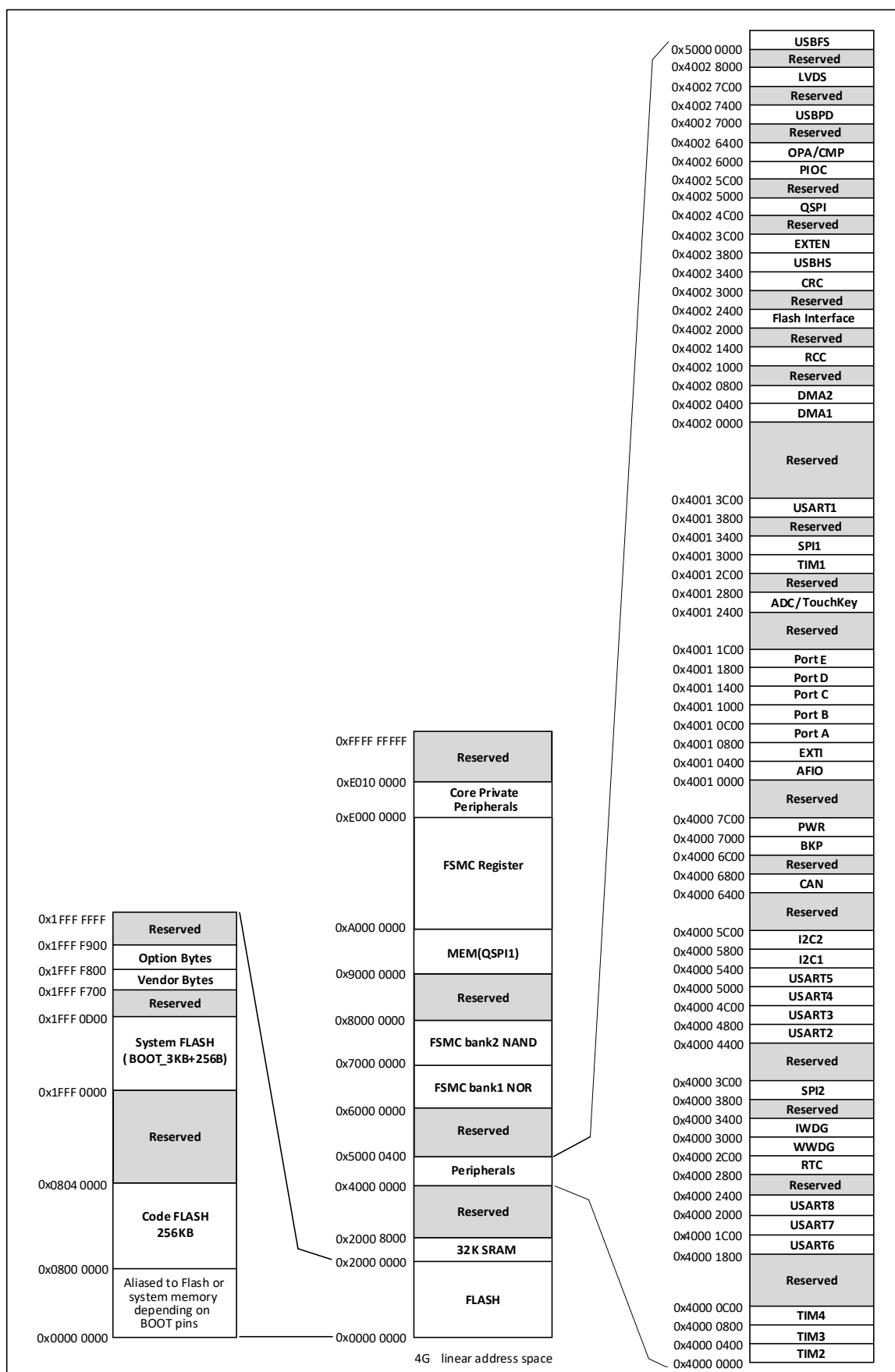


图 1-1-2 CH32V203 系统框图



1.2 存储器映射表

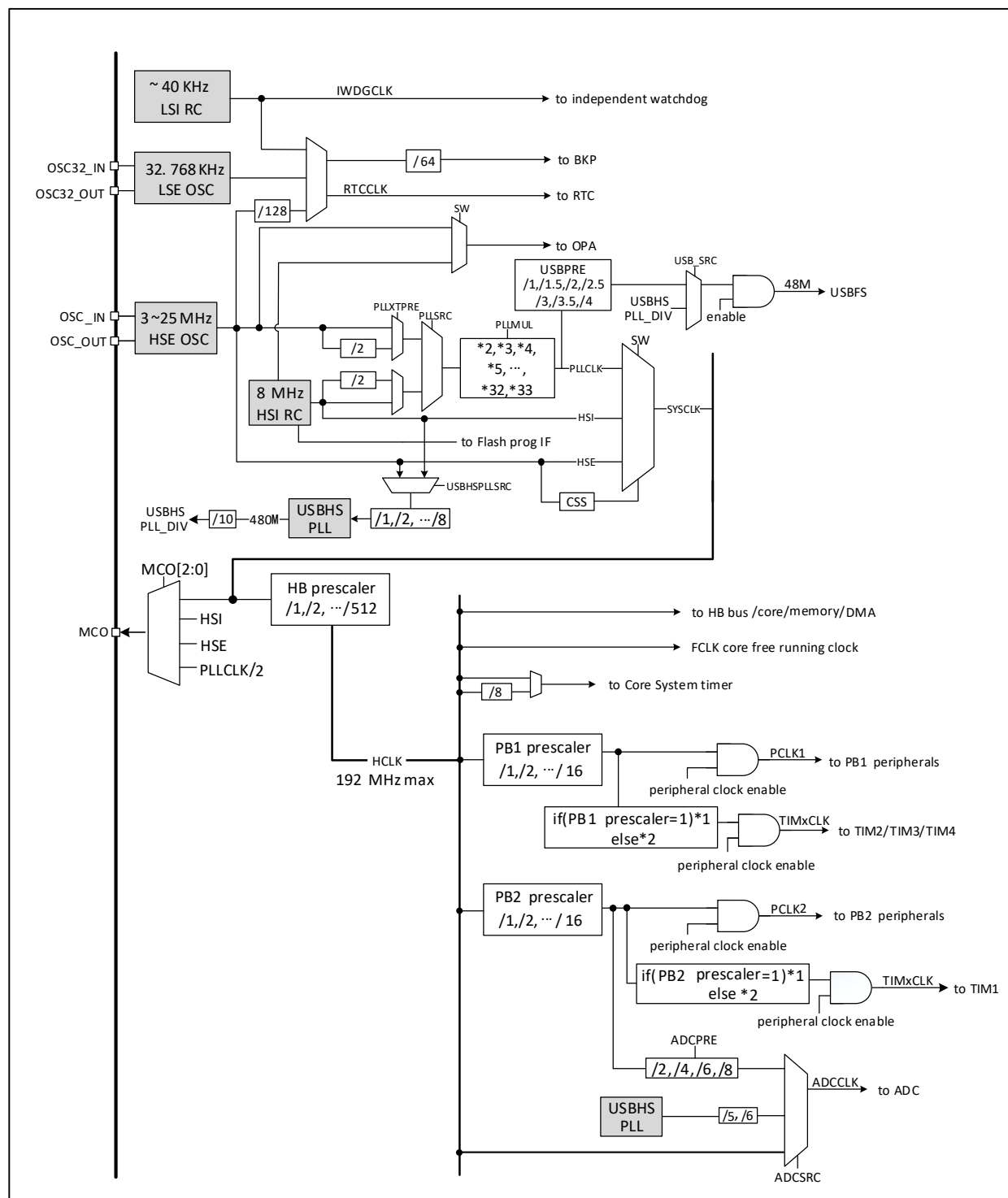
图 1-2 存储器地址映射



1.3 时钟树

系统中引入 4 组时钟源：内部高频 RC 振荡器 (HSI)、内部低频 RC 振荡器 (LSI)、外接高频振荡器 (HSE)、外接低频振荡器 (LSE)。其中，低频时钟源为 RTC 和独立看门狗提供了时钟基准。高频时钟源直接或者间接通过 PLL 倍频后输出为系统总线时钟 (SYSCLK)，系统时钟再由各预分频器提供了 HB 域、PB1 域、PB2 域外设控制时钟及采样或接口输出时钟，部分模块工作需要由 PLL 时钟直接提供。

图 1-3 时钟树框图



1.4 功能概述

1.4.1 青稞 RISC-V3B 处理器

RISC-V3B 支持 RISC-V 指令集 ICBM-X 子集。处理器内部以模块化管理，包含快速可编程中断控制器（PFIC）、扩展指令支持等单元。对外多组总线与外部单元模块相连，实现外部功能模块和内核的交互。

青稞处理器以其极简指令集、多种工作模式、模块化定制扩展等特点可以灵活应用不同场景微控制器设计，例如小面积低功耗嵌入式场景、高性能应用操作系统场景等。

- 支持机器和用户特权模式
- 快速可编程中断控制器（PFIC）
- 多级硬件中断堆栈
- 单/双调试接口
- 高效跳转、冲突检测机制
- 自定义扩展指令

1.4.2 可编程协议 I/O 控制器（PIOC）

可编程协议 I/O 控制器基于单时钟周期的专用精简指令集 RISC 内核，运行于系统主频，具有 2K 指令的程序 ROM 和 49 个 SFR 寄存器及 PWM 定时/计数器，支持 2 个 I/O 引脚的协议控制。

- RISC 内核，优化的单周期位操作指令集，全静态指令集
- 复用了 4K 字节的系统 SRAM 作为 2K 字容量的程序 ROM，支持程序暂停和动态加载
- 提供 33 字节的双向和单向各 1 个寄存器，提供 6 级独立堆栈
- 支持 2 个通用双向 I/O 协议控制，支持输入电平变化检测
- 通过动态加载不同的协议程序，可以支持多种协议规格的单线接口和两线接口
- 支持单线 ARGB 芯片 1024 级串联

1.4.3 片上存储器及自举模式

内置 32K 字节 SRAM 区，用于存放数据，掉电后数据丢失。其中 4K（0x20000000-0x20000FFF）可用于 PIOC。

内置 256K 字节程序闪存存储区（Code FLASH），即用户区，用于用户的应用程序和常量数据存储。区域具体大小对应芯片型号。

内置 3328 字节系统存储区（System FLASH），即 BOOT 区，用于系统引导程序存储，内置自举加载程序。

内置 256 字节系统非易失配置信息存储区，用于厂商配置字存储，出厂前固化，用户不可修改。

内置 256 字节用户自定义信息存储区，用于用户选择字存储。

在启动时，通过自举引脚（BOOT0 和 BOOT1）可以选择三种自举模式中的一种：

- 从程序闪存存储器自举
- 从系统存储器自举
- 从内部 SRAM 自举

自举加载程序存放于系统存储区，可以通过 USART2 和 USB 接口对程序闪存存储区的内容重新编程。

1.4.4 供电方案

（1）CH32V205

- $V_{DD} = 1.8 \sim 3.6V$ ：为部分 I/O 引脚和系统电压调节器 LDO 供电，包括内置的 USB 2.0，建议各外接 0.1uF 的高频电容，整个 V_{DD} 电源建议再并联一个 4.7uF 电容。当用于 USB 2.0 等通讯接口时， V_{DD} 范围建议为 3.15~3.45V。

- $V_{IO} = 1.45 \sim 3.6V$ ：为部分常规 I/O 引脚供电，决定了引脚输出高压幅值，建议各外接 0.1uF

的高频电容，整个 V_{I0} 电源建议再并联一个 4.7 μ F 电容。正常工作时， V_{I0} 电压不能高于 V_{DD} 电压， V_{I0} 电压也不能高于 V_{DDA} 电压。

- $V_{DDA} = 1.8 \sim 3.6V$ ：为高频 RC 振荡器、ADC、TKEY、OPA、CMP、温度传感器及 PLL 的模拟部分供电，建议外接 0.1 μ F 容量的高频电容。正常工作时， V_{DDA} 电压等于 V_{DD} 电压；使用 OPA 时， V_{DDA} 与 V_{I0} 建议为相同电压；不使用 OPA 时， V_{DDA} 可以高于 V_{I0} 电压；使用 ADC 时， V_{DDA} 建议不低于 2.4V；使用 TKEY 时， V_{I0} 电压不能高于 V_{DDA} 电压，且 V_{DDA} 建议不低于 2.4V。

- $V_{BAT} = 1.8 \sim 3.6V$ ：可选的备用电源，当关闭 V_{DD} 时，内部电源切换器将 V_{BAT} 切换用于单独为 RTC、外部低频振荡器供电。

- $V_{REF+} = 1.8 \sim 3.6V$ ：用于 ADC 的参考电压，建议外接 0.1 μ F 容量的高频电容。 V_{REF+} 不得高于 V_{DDA} 电压。

以上同名电源引脚必须短接，电压关系： $V_{DD} = V_{DDA} \geq V_{I0}$ ；并且 $V_{DDA} \geq V_{REF+}$ 。

(2) CH32V203

- $V_{DD_V_{I0}} = 1.8 \sim 3.6V$ ：为 I/O 引脚和系统电压调节器 LDO 供电，包括内置的 USBFS，决定了引脚输出高压幅值，建议各外接 0.1 μ F 的高频电容，整个 $V_{DD_V_{I0}}$ 电源建议再并联一个 4.7 μ F 电容。当用于 USBFS 等通讯接口时， $V_{DD_V_{I0}}$ 范围建议为 3.15~3.45V。

- $V_{DDA} = 1.8 \sim 3.6V$ ：为高频 RC 振荡器、ADC、TKEY、OPA、CMP、温度传感器及 PLL 的模拟部分供电，建议外接 0.1 μ F 容量的高频电容。使用 ADC 时， V_{DDA} 建议不低于 2.4V。

- $V_{BAT} = 1.8 \sim 3.6V$ ：可选的备用电源，当关闭 $V_{DD_V_{I0}}$ 时，内部电源切换器将 V_{BAT} 切换用于单独为 RTC、外部低频振荡器供电。

以上同名电源引脚必须短接，电压关系： $V_{DD_V_{I0}} = V_{DDA}$ 。

1.4.5 供电监控器

芯片内部集成了上电复位 (POR) / 掉电复位 (PDR) 电路，该电路始终处于工作状态，保证系统在供电不低于 1.8V 时工作；当 V_{DD} 低于设定的阈值 ($V_{POR/PDR}$) 时，置器件于复位状态，而不必使用外部复位电路。

另外系统设有一个可编程的电压监测器 (PVD)，需要通过软件开启，用于比较 V_{DD} 供电与设定的阈值 V_{PVD} 的电压大小。打开 PVD 相应边沿中断，可在 V_{DD} 下降到 PVD 阈值或上升到 PVD 阈值时，收到中断通知。关于 $V_{POR/PDR}$ 和 V_{PVD} 的值参考第 3 章。

1.4.6 系统电压调节器 LDO

复位后，调节器自动开启，根据应用方式有三个操作模式：

- 开启模式：正常的运行操作，提供稳定的内核电源；
- 低功耗模式：当 CPU 进入停止模式后，可选择调节器低功耗运行；
- 关断模式：当 CPU 进入待机模式后自动切换调节器到此模式，调压器输出为高阻状态，内核电路的供电切断，调压器处于零消耗状态。

该调压器在复位后始终处于开启模式，在待机模式下被关闭处于关断模式，此时是高阻输出。

1.4.7 低功耗模式

系统支持三种低功耗模式，可以针对低功耗、短启动时间和多种唤醒事件等条件下选择达到最佳的平衡。

● 睡眠模式 (SLEEP)

在睡眠模式下，只有 CPU 时钟停止，但所有外设时钟供电正常，外设处于工作状态。此模式是最浅低功耗模式，但可以达到最快唤醒。

退出条件：任意中断或唤醒事件。

● 停止模式 (STOP)

在停止模式下, FLASH 进入低功耗模式或者断电状态, PLL、HSI 的 RC 振荡器和 HSE 晶体振荡器被关闭。在保持 SRAM 和寄存器内容不丢失的情况下, 停止模式可以达到最低的电能消耗。

停止模式分为四种情况: 停止模式 1、停止模式 2、停止模式 3 和停止模式 4, 详细信息请参考《CH32V205RM》手册的低功耗模式相关章节。

退出条件: 任意外部事件 (EXTI 信号)、NRST 上的外部复位信号、IWDG 复位, 其中 EXTI 信号包括 80 个外部 I/O 口之一、PVD 的输出, RTC 闹钟, USB 的唤醒信号, USB PD 唤醒信号, CMP 唤醒信号等。

- 待机模式 (STANDBY)

此模式下, 系统主 LDO 关闭, 由低功耗 LDO 给唤醒电路供电, 其他数字电路全部断电, 且 FLASH 处于断电状态。从待机模式唤醒系统会产生复位, 同时 SBF (PWR_CSR) 会置位。唤醒后, 查询 SBF 状态可知唤醒前的低功耗模式, SBF 由 CSBF (PWR_CR) 位清除。在待机模式下, 32KB 的 SRAM 的内容可以保持 (取决于睡前的规划配置), 后备寄存器内容保留。

退出条件: EXTI0~EXTI17 任一外部事件 (不包括中断)、WKUP 引脚的上升沿、NRST 上的外部复位信号、IWDG 复位, 其中 EXTI 信号包括 80 个外部 I/O 口之一, RTC 闹钟等。

1.4.8 CRC (循环冗余校验) 计算单元

CRC (循环冗余校验) 计算单元使用一个固定的多项式发生器, 从一个 32 位的数据字产生一个 CRC 码。在众多的应用中, 基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC 60335-1 标准的范围内, 提供了一种检测闪存存储器错误的手段, CRC 计算单元可以用于实时地计算软件的签名, 并与在链接和生成该软件时产生的签名对比。

1.4.9 快速可编程中断控制器 (PFIC)

芯片内置快速可编程中断控制器 (PFIC), 最多支持 256 个中断向量, 以最小的中断延迟提供了灵活的中断管理功能。当前芯片管理了 7 个内核私有中断和 67 个外设中断管理, 其他中断源保留。PFIC 的寄存器均可以在用户和机器特权模式下访问。

- 提供一个不可屏蔽中断 NMI
- 支持硬件中断堆栈 (HPE), 无需指令开销
- 提供 4 路免表中断 (VTF), 更快进入中断服务程序
- 向量表支持地址或指令模式
- 支持 2 级中断嵌套
- 支持中断尾部链接功能

1.4.10 外部中断/事件控制器 (EXTI)

外部中断/事件控制器总共包含 23 个边沿检测器, 用于产生中断/事件请求。每个中断线都可以独立地配置其触发事件 (上升沿或下降沿或双边沿), 并能够单独地被屏蔽; 挂起寄存器维持所有中断请求状态。多达 80 个通用 I/O 口都可选择连接到 16 个外部中断线。

1.4.11 通用 DMA 控制器

芯片内置 2 组通用 DMA 控制器, 总共管理 16 个通道, 其中 DMA1 包含 8 个通道, DMA2 包含 8 个通道。能灵活处理存储器到存储器、外设到存储器和存储器到外设间的高速数据传输, 支持环形缓冲区方式。每个通道都有专门的硬件 DMA 请求逻辑, 支持一个或多个外设对存储器的访问请求, 可配置访问优先权、传输长度、传输的源地址和目标地址等。

DMA 用于主要的外设包括: 通用/高级定时器 TIMx、ADC、USART、I2C、SPI、QSPI。

USB 和 USB PD 等专业接口另有专用的独立 DMA 通道。

注: DMA1、DMA2 和 CPU 经过仲裁器仲裁之后对系统 SRAM 进行访问。

1.4.12 时钟和启动

系统时钟源 HSI 默认开启，在没有配置时钟或者复位后，内部 8MHz 的 RC 振荡器作为默认的 CPU 时钟，随后可以另外选择外部 3~25MHz 时钟或 PLL 时钟。当打开时钟安全模式后，如果 HSE 用作系统时钟（直接或间接），此时检测到外部时钟失效，系统时钟将自动切换到内部 RC 振荡器，同时 HSE 和 PLL 自动关闭；对于关闭时钟的低功耗模式，唤醒后系统也将自动地切换到内部的 RC 振荡器。如果使能了时钟中断，软件可以接收到相应的中断。

多个预分频器用于配置 HB 的频率，PB (PB2) 和 PB (PB1) 区域提供各外设时钟，最高频率支持 192MHz，实测 160MHz 时综合性能更优，参考图 1-3 的时钟树框图。

1.4.13 RTC（实时时钟）和后备寄存器

RTC 和后备寄存器在系统内部处于后备供电区域，在 V_{DD} 有效时由 V_{DD} 供电，在 V_{DD} 无效时内部自动切换到由 V_{BAT} 引脚供电。

RTC 实时时钟是一组 32 位可编程计数器，时基支持 20 位预分频，用于较长时间段的测量。时钟基准来源高速的外部时钟 128 分频（HSE/128）、外部晶体低频振荡器（LSE）或内部低功耗 RC 振荡器（LSI）。其中 LSE 也存在后备供电区域，所以，当选择 LSE 做 RTC 时基下，系统复位或从待机模式唤醒后，RTC 的设置和时间能够保持不变。

后备寄存器包含 10 个 16 位寄存器，可以用来存储 20 字节的用户应用数据。此数据在待机唤醒后，或系统复位或电源复位时，都能继续保持。在侵入检测功能开启下，一旦侵入检测信号有效，将被清除后备寄存器中所有内容。

1.4.14 ADC（模拟/数字转换器）和触摸按键电容检测（TouchKey）

芯片内置 12 位的模拟/数字转换器（ADC），提供多达 16 个外部通道和 3 个内部通道采样，提供可编程的通道采样时间，可以实现单次、连续、扫描或间断转换。提供模拟看门狗功能允许非常精准地监控一路或多路选中的通道，用于监测通道信号电压，提供可配置的模拟看门狗复位功能，可在监测到电压超出阈值时复位系统。支持外部事件触发转换，触发源包括片上定时器的内部信号和外部引脚。支持使用 DMA 操作。

ADC 内部通道为 ADC_IN16~ADC_IN18。温度传感器在内部被连接到 IN16 输入通道上，用于将传感器的输出转换到数字数值；内部参考电压被连接到 IN17 输入通道上； $V_{DDA}/2$ 被连接到 IN18 输入通道上。

触摸按键电容检测单元，提供了多达 16 个检测通道，复用 ADC 模块的外部通道。检测结果通过 ADC 模块转换输出结果，通过用户软件识别触摸按键状态。

1.4.15 定时器及看门狗

● 高级定时器（TIM1）

高级定时器是一个 16 位的自动装载递加/递减计数器，具有 16 位可编程的预分频器。除了完整的通用定时器功能外，可以被看成是分配到 6 个通道的三相 PWM 发生器，具有带死区插入的互补 PWM 输出功能，允许在指定数目的计数器周期之后更新定时器进行重复计数周期，刹车功能等。高级定时器的很多功能都与通用定时器相同，内部结构也相同，因此高级定时器可以通过定时器链接功能与其他 TIM 定时器协同操作，提供同步或事件链接功能。

● 通用定时器（TIM2/3/4）

通用定时器是 2 个 16 位（TIM2、TIM3）和 1 个 32 位（TIM4）的自动装载递加/递减计数器，具有一个可编程的 16 位预分频器以及 4 个独立的通道，每个通道都支持输入捕获、输出比较、PWM 生成和单脉冲模式输出。还能通过定时器链接功能与高级定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。任意通用

定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。这些定时器还能够处理增量编码器的信号，也能处理 1 至 3 个霍尔传感器的数字输出。

- 独立看门狗（IWDG）

独立看门狗是一个自由运行的 12 位递减计数器，支持 7 种分频系数。由一个内部独立的约 40KHz 的 RC 振荡器（LSI）提供时钟；因为 LSI 独立于主时钟，所以可运行于停止模式。IWDG 在主程序之外，可以完全独立工作，因此，用于在发生时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

- 窗口看门狗（WWDG）

窗口看门狗是一个 7 位的递减计数器，并可以设置成自由运行。可以被用于在发生时复位整个系统。其由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

- 系统时基定时器（SysTick）

青稞微处理器内核自带了一个 32 位可选递增或递减的计数器，用于产生 SYSTICK 异常（异常号：12），可专用于实时操作系统，为系统提供“心跳”节律，也可当成一个标准的 32 位计数器。具有自动重加载功能及可编程的时钟源。

1.4.16 通用同步/异步收发器（USART）

芯片内置 8 组通用同步/异步收发器（USART1/2/3/4/5/6/7/8）。支持全双工异步串口通信、同步单向通信以及半双工单线通信，也支持 LIN（局部互连网），兼容 ISO7816 的智能卡协议和 IrDA SIR ENDEC 传输编解码规范，以及调制解调器（CTS/RTS 硬件流控）操作，还支持多处理器通信。其采用分数波特率发生器系统，并支持 DMA 操作连续通讯。

1.4.17 串行外设接口（SPI）

芯片内置 2 个串行外设 SPI 接口（SPI1/2），支持主或从操作，动态切换。支持多主模式，全双工或半双工同步传输，支持基本的 SD 卡和 MMC 模式。可编程的时钟极性和相位，数据位宽提供 8 或 16 位选择，可靠通信的硬件 CRC 产生/校验，支持 DMA 操作连续通讯。

1.4.18 QSPI 接口

芯片内置 1 组专用的 QSPI 通信接口（QuadSPI），连接单、双或四（条数据线）SPI 的 FLASH 存储介质。主要特性为：

- 三种功能模式：间接模式、状态轮询模式和内存映射模式
- 双闪存模式，通过并行访问两个 FLASH
- 集成 FIFO，用于发送和接收
- 支持 SDR 模式
- 针对间接模式和内存映射模式，完全可编程帧格式
- 针对间接模式和内存映射模式，完全可编程操作码
- 在达到 FIFO 阈值和传输完成时生成 DMA 触发信号
- 在达到 FIFO 阈值、超时、操作完成以及发生访问错误时产生中断

1.4.19 I2C 总线

芯片内置 2 个 I2C 总线接口，能够工作于多主机模式或从模式，完成所有 I2C 总线特定的时序、协议、仲裁等。支持标准和快速两种通讯速度，同时与 SMBus2.0 兼容。

I2C 接口提供 7 位或 10 位寻址，并且在 7 位从模式时支持双从地址寻址。内置了硬件 CRC 发生器

/校验器。可以使用 DMA 操作并支持 SMBus 总线 2.0 版/PMBus 总线。

1.4.20 控制器区域网络 (CAN)

芯片内置 1 组 CAN 接口，兼容规范 2.0A 和 2.0B(主动)，波特率高达 1Mbps/s，支持时间触发通信功能。可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。具有 3 个发送邮箱和 2 个 3 级深度接收 FIFO。

1.4.21 通用串行总线 USB 2.0 全速主机/设备控制器 (USBFS)

USB 2.0 全速主机控制器和设备控制器 (USBFS)，遵循 USB 2.0 Fullspeed 标准。提供 8 个可配置的 USB 设备端点及一组主机端点。支持控制/批量/同步/中断传输，双缓冲区机制，USB 总线挂起/恢复操作，并提供待机/唤醒功能。

1.4.22 通用串行总线 USB 2.0 高速主机/设备控制器 (USBHS)

USB 2.0 高速控制器具有主机控制器和设备控制器双重角色，内置 480Mbps 的 USB-PHY 物理层收发器。当作为主机控制器时，它可支持低速、全速和高速的 USB 设备。当作为设备控制器时，可以灵活设置为低速、全速或高速模式以适应各种应用。主要特性包括：

- 支持 USB 2.1、支持 USB 2.0、USB 1.1、USB 1.0 协议规范
- 支持 USB Host 主机功能和 USB Device 设备功能
- 支持控制传输、批量传输、中断传输、实时/同步传输
- 提供总线复位、挂起、唤醒和恢复功能
- 主机支持高速 USB HUB
- 非 0 端点均支持支持最大 1024 字节数据包，内置 FIFO，支持中断和 DMA
- 支持 USART 串口或 I2C 引脚映射

1.4.23 USB PD 及 Type-C 控制器 (USB PD)

内置 USB Power Delivery 控制器和 PD 物理层收发器 PHY，支持 USB Type-C 主从检测，自动 BMC 编解码和 CRC，CC 引脚支持硬件边沿控制。

支持 USB PD2.0 和 PD3.0 以及 PD3.2 电力传送，支持 SPR 和 EPR，支持 100W 或 240W 快充，支持 PD 受电端 Sink 和 PD 供电端 Source 以及 DRP 应用。支持 PDUSB，支持 UFP 和 DFP 以及 DRD 应用。

1.4.24 可配置的静态存储器控制器 (FSMC)

FSMC 接口主要提供了同步或异步存储器接口，支持 SRAM、PSRAM、NOR 及 NAND 等器件。内部 HB 传输信号被转换成合适的外部通讯协议，允许 8/16/32 位数据的连续访问。并灵活可配置采样延迟时间以满足不同器件时序。

此外，FSMC 也可用于多数图形 LCD 控制器接口，支持 Intel 8080 和 Motorola 6800 的模式，方便构建简易的图形应用环境，或用于专用加速控制器的高性能方案。

1.4.25 通用输入输出接口 (GPIO)

芯片内置 5 组 GPIO 端口 (PA0~PA15、PB0~PB15、PC0~PC15、PD0~PD15、PE0~PE15)，共 80 个 GPIO 引脚。每个引脚都可以由软件配置成输出(推挽或开漏)、输入(带或不带上拉和下拉)或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能的端口，所有 GPIO 引脚都有较大电流驱动能力。提供锁定机制冻结 I/O 配置，以避免意外的写入 I/O 寄存器。

系统中大部分 I/O 引脚电源由 V_{IO} 提供，通过改变 V_{IO} 供电将改变 I/O 引脚输出电平高值来适配外部通讯接口电平。PA11、PA12、PB6、PB7、PE2~PE5 由 V_{DD} 供电，PC13~PC15 由 V_{DD} 或 V_{BAT} 供电，具体引脚请参考引脚描述。

1.4.26 运放/比较器 (OPA)

芯片内置 2 组运放 (OPA1/2)，可用作电压比较器，支持可编程增益运放 (PGA) 放大倍数选择；其输入可通过更改配置对多个通道进行选择，支持多通道自动轮询；其输出通过更改配置可对 2 个通道进行选择，内部可关联到 ADC 和 CMP 输入通道，支持将外部模拟小信号放大后送入 ADC 进行转换。

1.4.27 电压比较器 (CMP)

芯片内置 2 组轨到轨通用电压比较器，支持可选迟滞特性和数字滤波。电压比较结果由 GPIO 输出或者内部直接接入 TIM1 的 CH4、TIM2 的 CH3~CH4、TIM3 的 CH4、TIM4 的 CH3~CH4 的输入通道实现触发。

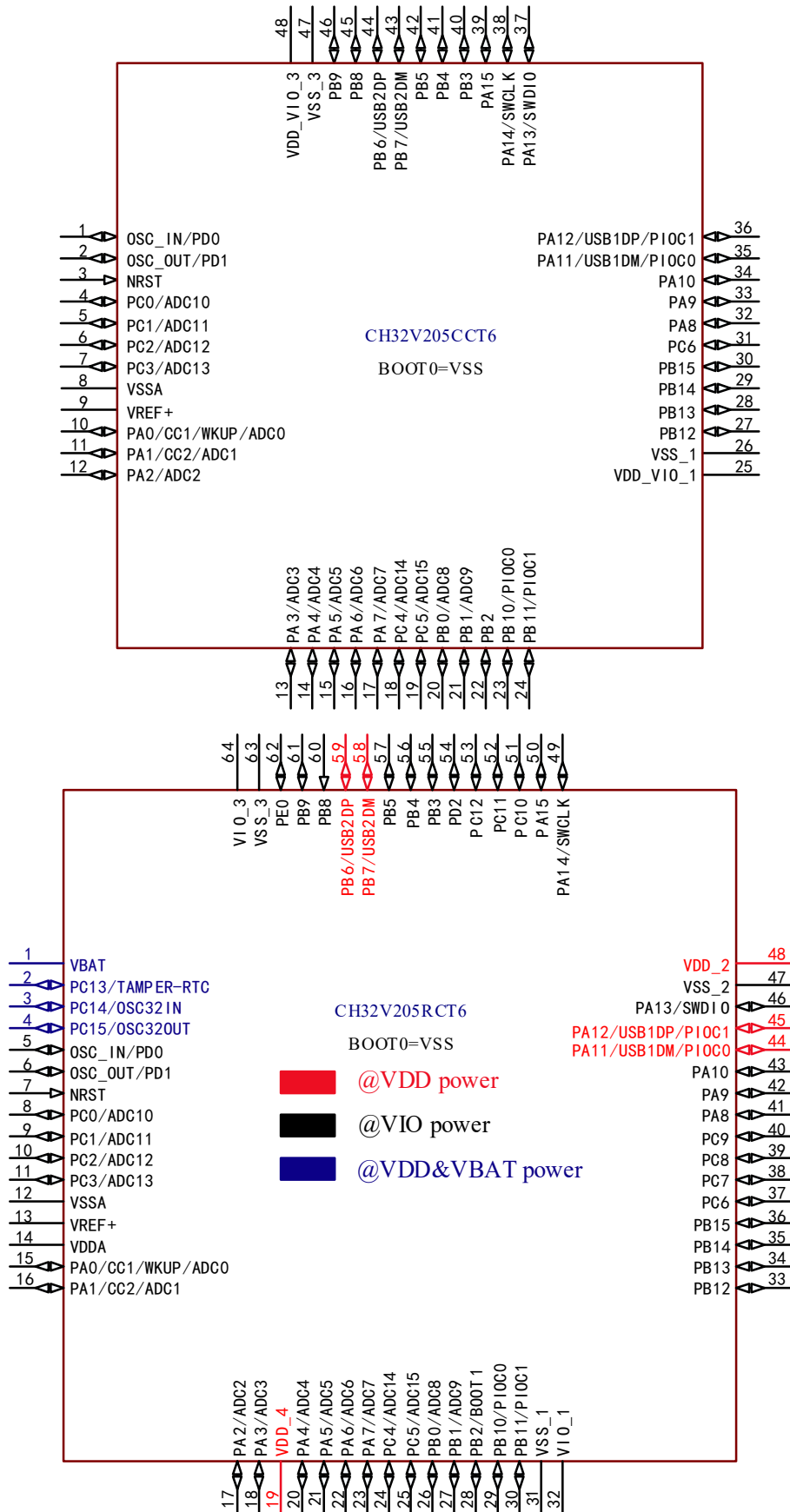
1.4.28 调试接口 (Serial Debug Interface, SDI)

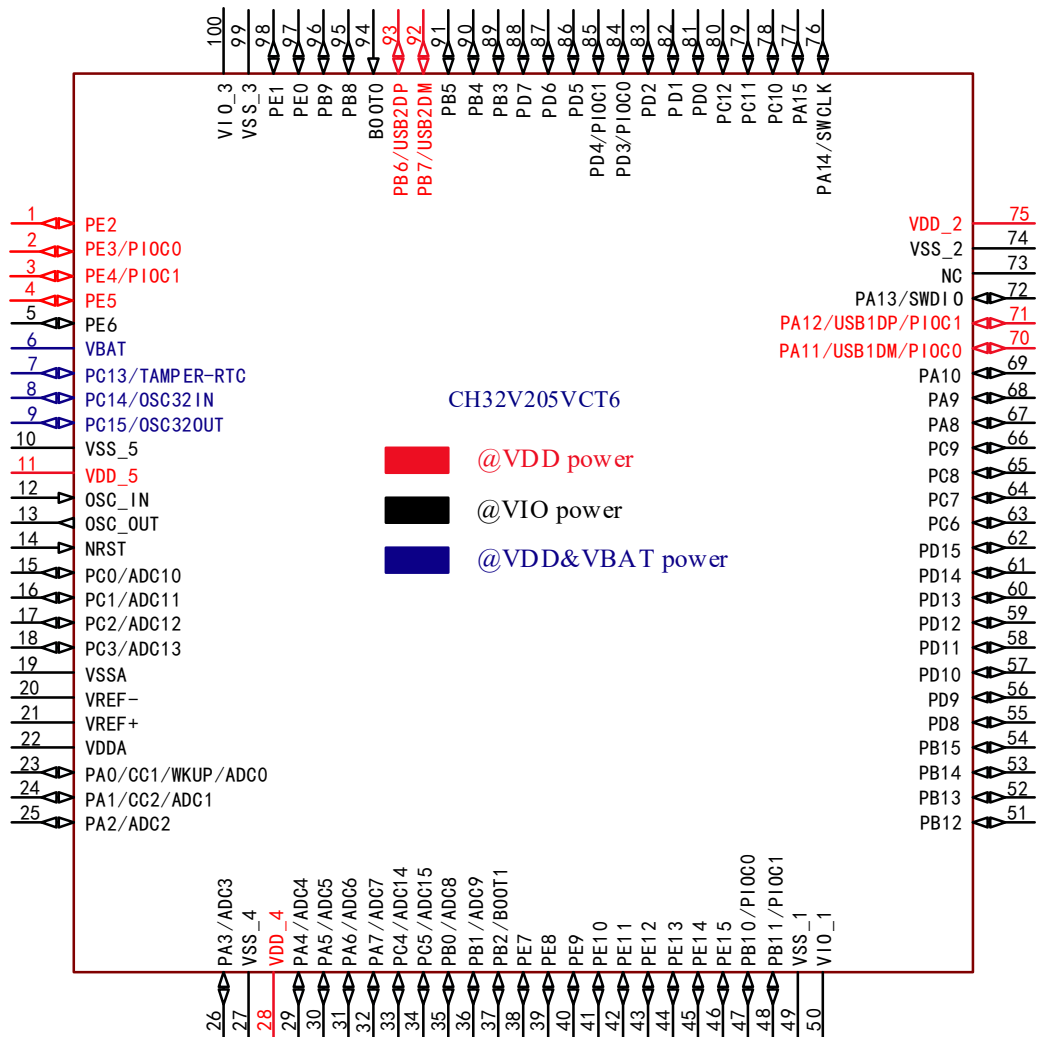
内核自带一个串行单线调试接口 (1-wire SDI Serial Debug Interface) 和一个串行 2 线调试接口 (2-wire SDI Serial Debug Interface)。系统支持单双线两种调试模式；其中，单线调试为默认调试模式，对应 SWIO 引脚 (Single Wire Input Output)，而双线调试对应 SWDIO 和 SWCLK 引脚，应用于下载时可以提高速度。系统上电或复位后默认调试接口引脚功能开启，主程序运行后可以根据需要关闭 SDI。

第 2 章 引脚信息

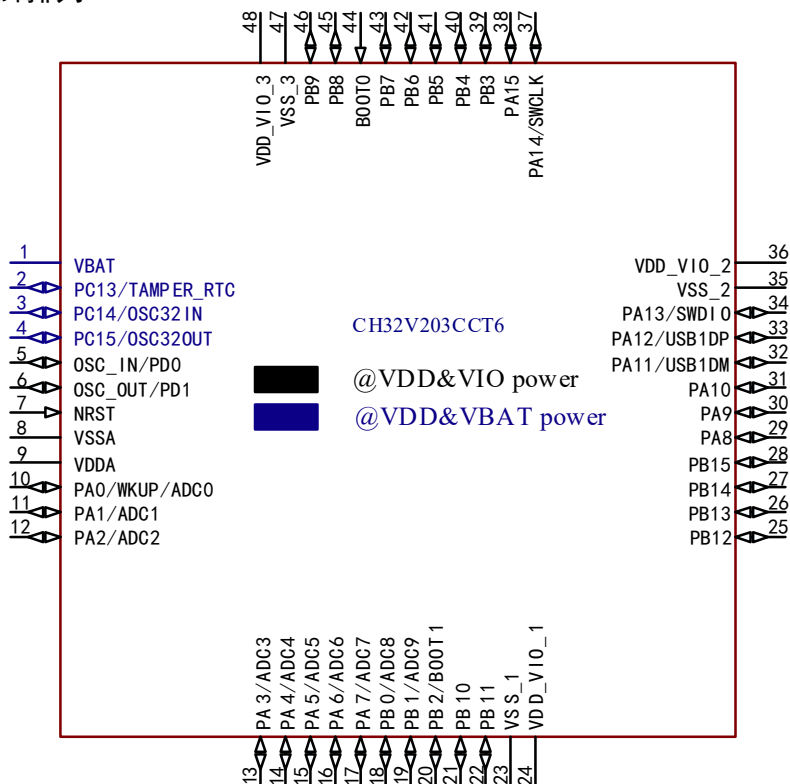
2.1 引脚排列

2.1.1 CH32V205 引脚排列





2.1.2 CH32V203 引脚排列



注：引脚图中复用功能为缩写。

示例：ADC：(ADC0:ADC_IN0)

USB2DP:USBHS_DP

USB2DN:USBHS_DN

2.2 引脚描述

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

表 2-1-1 CH32V205 引脚定义

引脚编号			引脚名称	引脚类型 ⁽¹⁾	I/O 电平	主功能 (复位后)	默认复用功能 ⁽²⁾	重映射功能
V205CCT6	V205RCT6	V205VCT6						
—	—	1	PE2	I/O	—	PE2	FSMC_ADDR23 (AF7)	
—	—	2	PE3	I/O	—	PE3	PIOC_I00 (AF4) / FSMC_ADDR19 (AF7)	
—	—	3	PE4	I/O	—	PE4	PIOC_I01 (AF4) / FSMC_ADDR20 (AF7)	
—	—	4	PE5	I/O	—	PE5	FSMC_ADDR21 (AF7)	
—	—	5	PE6	I/O	—	PE6	QSPI_SIO2 (AF5) / FSMC_ADDR22 (AF7)	
—	1	6	V _{BAT}	P	—	V _{BAT}		
—	2	7	PC13- TAMPER-RTC ⁽³⁾	I/O	—	PC13 ⁽⁴⁾	TAMPER/RTC/TIM1_CH4 (AF0) / I2C2_SCL (AF7)	
—	3	8	PC14- OSC32_IN ⁽³⁾	I/O/A	—	PC14 ⁽⁴⁾	OSC32_IN/I2C2_SDA (AF7)	
—	4	9	PC15- OSC32_OUT ⁽³⁾	I/O/A	—	PC15 ⁽⁴⁾	OSC32_OUT/I2C2_SMBA (AF7)	
—	—	10	V _{SS_5}	P	—	V _{SS_5}		
—	—	11	V _{DD_5}	P	—	V _{DD_5}		
3	7	14	NRST	I	—	NRST		
4	8	15	PC0	I/O/A	—	PC0	ADC_IN10/USART6_TX (AF2)	
5	9	16	PC1	I/O/A	—	PC1	ADC_IN11/USART6_RX (AF2)	
6	10	17	PC2	I/O/A	—	PC2	ADC_IN12/USART7_TX (AF2) / USART6_CTS (AF4)	
7	11	18	PC3	I/O/A	—	PC3	ADC_IN13/TIM1_CH1N (AF0) / USART7_RX (AF2) / USART6_RTS (AF4)	
8	12	19	V _{SSA}	P	—	V _{SSA}		
—	—	20	V _{REF-}	P	—	V _{REF-}		
9	13	21	V _{REF+}	P	—	V _{REF+}		
—	14	22	V _{DDA}	P	—	V _{DDA}		
10	15	23	PA0-WKUP	I/O/A	FT	PA0	WKUP/ADC_IN0 / TIM1_ETR (AF0) / TIM2_CH1_ETR (AF1) / USART2_CTS (AF2) /	

引脚编号			引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能 ⁽²⁾	重映射功能
V205GCT6	V205RCT6	V205VCT6						
							QSPI_SIO2 (AF5) / CC1 (AF7)	
11	16	24	PA1	I/O/A	FT	PA1	ADC_IN1/TIM2_CH2 (AF1) / USART2_RTS (AF2) / QSPI_SIO3 (AF5) / CC2 (AF7)	
12	17	25	PA2	I/O/A	—	PA2	ADC_IN2/OPA2_OUT2/ CMP1_CHPO/TIM2_CH3 (AF1) / USART2_TX (AF2) / QSPI_SIO0 (AF5)	
13	18	26	PA3	I/O/A	—	PA3	ADC_IN3/OPA1_OUT2/ TIM2_CH4 (AF1) / USART2_RX (AF2) / QSPI_SIO1 (AF5)	
—	—	27	V _{SS_4}	P	—	V _{SS_4}		
—	19	28	V _{DD_4}	P	—	V _{DD_4}		
14	20	29	PA4	I/O/A	—	PA4	ADC_IN4/OPA2_OUT1/ USART2_CK (AF2) / SPI1_NSS (AF5)	
15	21	30	PA5	I/O/A	—	PA5	ADC_IN5/OPA2_CHN1/ USART1_CTS (AF2) / USART1_CK (AF3) / USART7_CK (AF4) / SPI1_SCK (AF5)	
16	22	31	PA6	I/O/A	—	PA6	ADC_IN6/OPA1_CHN1/ TIM1_BK (AF0) / TIM3_CH1 (AF1) / USART1_TX (AF2) / USART7_TX (AF3) / USART7_CTS (AF4) / SPI1_MISO (AF5)	
17	23	32	PA7	I/O/A	—	PA7	ADC_IN7/OPA2_CHP1/ TIM1_CH1N (AF0) / TIM3_CH2 (AF1) / USART1_RX (AF2) / USART7_RX (AF3) / USART7_RTS (AF4) / SPI1_MOSI (AF5)	
18	24	33	PC4	I/O/A	—	PC4	ADC_IN14/TIM1_CH2N (AF0) / USART1_CTS (AF2) / USART8_TX (AF3)	
19	25	34	PC5	I/O/A	—	PC5	ADC_IN15/TIM1_CH3N (AF0) / USART1_RTS (AF2) /	

引脚编号			引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能 ⁽²⁾	重映射功能
V205GCT6	V205RCT6	V205VCT6						
							USART8_RX (AF3)	
20	26	35	PB0	I/O/A	-	PB0	ADC_IN8/OPA1_CHP1/ TIM1_CH2N (AF0) / TIM3_CH3 (AF1) / USART4_TX (AF2) / QSPI_SCSN (AF5) USART8_CTS (AF3) /	
21	27	36	PB1	I/O/A	-	PB1	ADC_IN9/USART8_RTS (AF3) / OPA1_OUT1/TIM1_CH3N (AF0) / TIM3_CH4 (AF1) / USART4_RX (AF2) / CMP1_CHN0/QSPI_SCSXN (AF5)	
-	28	37	BOOT1	I	-	BOOT1		
22			PB2	I/O/A	-	PB2	CMP1_CHP1/USART5_TX (AF3) / QSPI_SCK (AF5)	
-	-	38	PE7	I/O	-	PE7	TIM1_ETR (AF0) / QSPI_SIOX0 (AF5) / FSMC_D4 (AF7)	
-	-	39	PE8	I/O	-	PE8	TIM1_CH1N (AF0) / USART5_TX (AF2) / QSPI_SIOX1 (AF5) / FSMC_D5 (AF7)	
-	-	40	PE9	I/O	-	PE9	TIM1_CH1 (AF0) / USART5_RX (AF2) / QSPI_SIOX2 (AF5) / FSMC_D6 (AF7)	
-	-	41	PE10	I/O	-	PE10	TIM1_CH2N (AF0) / USART6_TX (AF2) / QSPI_SIOX3 (AF5) / FSMC_D7 (AF7)	
-	-	42	PE11	I/O	FT	PE11	TIM1_CH2 (AF0) / USART6_RX (AF2) / FSMC_D8 (AF7)	
-	-	43	PE12	I/O	FT	PE12	TIM1_CH3N (AF0) / USART7_TX (AF2) / FSMC_D9 (AF7)	
-	-	44	PE13	I/O	FT	PE13	TIM1_CH3 (AF0) / USART7_RX (AF2) / FSMC_D10 (AF7)	
-	-	45	PE14	I/O	FT	PE14	TIM1_CH4 (AF0) /	

引脚编号			引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能 ⁽²⁾	重映射功能
V205GCT6	V205RCT6	V205VCT6						
							USART8_TX (AF2) / FSMC_D11 (AF7)	
–	–	46	PE15	I/O	FT	PE15	TIM1_BK (AF0) / USART8_RX (AF2) / FSMC_D12 (AF7)	
23	29	47	PB10	I/O/A	–	PB10	OPA2_CHN0/TIM2_CH3 (AF1) / USART3_TX (AF2) / PIOC_I00 (AF4) / QSPI_SIOX2 (AF5) / I2C2_SCL (AF7)	
24	30	48	PB11	I/O/A	–	PB11	OPA1_CHN0/CMP2_CHN1 / TIM2_CH4 (AF1) / USART3_RX (AF2) / PIOC_I01 (AF4) / I2C2_SDA (AF7) / QSPI_SIOX3 (AF5)	
26	31	49	V _{SS_1}	P	–	V _{SS_1}		
–	32	50	V _{I0_1}	P	–	V _{I0_1}		
25	–	–	V _{DD_VI0_1}	P	–	V _{DD_VI0_1}		
27	33	51	PB12	I/O/A	–	PB12	OPA1_CHP2/TIM1_BK (AF0) / CMP1_OUT (AF1) / USART3_CK (AF2) / USART4_CTS (AF3) / SPI2_NSS (AF5) / I2C2_SMBA (AF7)	
28	34	52	PB13	I/O/A	–	PB13	OPA1_CHNVB / TIM1_CH1N (AF0) / USART3_CTS (AF2) / SPI2_SCK (AF5)	
29	35	53	PB14	I/O/A	–	PB14	OPA2_CHP0/TIM1_CH2N (AF0) / USART3_RTS (AF2) / SPI2_MISO (AF5)	
30	36	54	PB15	I/O/A	–	PB15	OPA2_CHNVB / TIM1_CH3N (AF0) / USART1_TX (AF2) / USART4_RTS (AF3) / USART6_CK (AF4) / SPI2_MOSI (AF5)	
–	–	55	PD8	I/O	FT	PD8	USART3_TX (AF2) / FSMC_D13 (AF7)	
–	–	56	PD9	I/O	FT	PD9	USART3_RX (AF2) /	

引脚编号			引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能 ⁽²⁾	重映射功能
V205GCT6	V205RCT6	V205VCT6						
							FSMC_D14 (AF7)	
-	-	57	PD10	I/O	FT	PD10	USART3_CK (AF2) / FSMC_D15 (AF7)	
-	-	58	PD11	I/O	-	PD11	USART3_CTS (AF2) / QSPI_SIO0 (AF5) / FSMC_ADDR16 (AF7)	
-	-	59	PD12	I/O	-	PD12	TIM4_CH1 (AF1) / USART3_RTS (AF2) / QSPI_SIO1 (AF5) / FSMC_ADDR17 (AF7)	
-	-	60	PD13	I/O	-	PD13	TIM4_CH2 (AF1) / QSPI_SIO3 (AF5) / FSMC_ADDR18 (AF7)	
-	-	61	PD14	I/O	FT	PD14	TIM4_CH3 (AF1) / FSMC_D0 (AF7)	
-	-	62	PD15	I/O	FT	PD15	TIM4_CH4 (AF1) / FSMC_D1 (AF7)	
31	37	63	PC6	I/O	FT	PC6	TIM1_CH1 (AF0) / TIM3_CH1 (AF1) / USART7_TX (AF4)	
-	38	64	PC7	I/O	FT	PC7	TIM1_CH2 (AF0) / TIM3_CH2 (AF1) / USART7_RX (AF4)	
-	39	65	PC8	I/O	FT	PC8	TIM1_CH3 (AF0) / TIM3_CH3 (AF1) / USART5_CK (AF4)	
-	40	66	PC9	I/O	-	PC9	TIM1_CH4 (AF0) / TIM3_CH4 (AF1) / USART8_TX (AF4) / QSPI_SIO0 (AF5)	
32	41	67	PA8	I/O/A	-	PA8	CMP2_CHP1/TIM1_CH1 (AF0) / USART1_CK (AF2) / USART1_RX (AF3) /MC0 (AF6)	
33	42	68	PA9	I/O/A	-	PA9	CMP2_CHNO/TIM1_CH2 (AF0) / USART1_TX (AF2) / USART1_RTS (AF3)	
34	43	69	PA10	I/O	FT	PA10	TIM1_CH3 (AF0) / USART1_RX (AF2) / USART1_CK (AF3)	
35	44	70	PA11	I/O	FT	PA11	USBFS_DM/TIM1_CH4 (AF0) /	

引脚编号			引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能 ⁽²⁾	重映射功能
V205GCT6	V205RCT6	V205VCT6						
							USART1_CTS (AF2) / USART1_TX (AF3) / PIOC_I00 (AF4) /CAN_RX (AF6)	
36	45	71	PA12	I/O	FT	PA12	USBFS_DP/TIM1_ETR (AF0) / CMP2_OUT (AF1) / USART1_RTS (AF2) / USART6_TX (AF3) / PIOC_I01 (AF4) / QSPI_SCK (AF5) /CAN_TX (AF6)	
37	46	72	PA13	I/O	FT	PA13	SWDIO/TIM1_CH1N (AF0) / TIM2_CH3 (AF1) / USART3_TX (AF2) / I2C1_SDA (AF7)	
—	—	73	NC.	—	—	—		
—	47	74	V _{SS_2}	P	—	V _{SS_2}		
—	48	75	V _{DD_2}	P	—	V _{DD_2}		
38	49	76	PA14	I/O	FT	PA14	SWCLK/TIM1_CH2N (AF0) / TIM2_CH4 (AF1) / USART8_TX (AF2) / USART3_RX (AF3) / USART4_TX (AF4) / I2C1_SCL (AF7)	
39	50	77	PA15	I/O	—	PA15	TIM1_CH3N (AF0) / TIM2_CH1_ETR (AF1) / USART8_RX (AF2) / USART8_CK (AF3) / USART4_RX (AF4) / SPI1_NSS (AF5)	
—	51	78	PC10	I/O	—	PC10	TIM1_CH1 (AF0) / USART3_TX (AF2) / USART4_TX (AF3) / QSPI_SIO1 (AF5)	
—	52	79	PC11	I/O	—	PC11	TIM1_CH2 (AF0) / USART3_RX (AF2) / USART4_RX (AF3) / QSPI_SCSXN (AF5)	
—	53	80	PC12	I/O	FT	PC12	TIM1_CH3 (AF0) / USART3_CK (AF2) / USART5_TX (AF3) / USART8_RX (AF4)	
1	5	12	OSC_IN	I/A	—	OSC_IN		PDO ⁽⁶⁾

引脚编号			引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能 ⁽²⁾	重映射功能
V205GCT6	V205RCT6	V205VCT6						
		81	PD0 ⁽⁶⁾⁽⁷⁾	I/O	FT	PD0	USART4_CK (AF3) / CAN_RX (AF6) / FSMC_D2 (AF7)	
2	6	13	OSC_OUT	0/A	—	OSC_OUT		PD1 ⁽⁶⁾
		82	PD1 ⁽⁶⁾	I/O	FT	PD1	USART8_CK (AF3) / CAN_TX (AF6) / FSMC_D3 (AF7)	
—	54	83	PD2	I/O	FT	PD2	TIM3_ETR (AF1) / USART5_RX (AF3) / USART4_CK (AF4) / FSMC_NADV (AF7)	
—	—	84	PD3	I/O	FT	PD3	USART2_CTS (AF2) / USART6_CK (AF3) / PIOC_I00 (AF4) / FSMC_CLK (AF7)	
—	—	85	PD4	I/O	FT	PD4	USART2_RTS (AF2) / USART7_CK (AF3) / PIOC_I01 (AF4) / FSMC_NOE (AF7)	
—	—	86	PD5	I/O	FT	PD5	USART2_TX (AF2) / FSMC_NWE (AF7)	
—	—	87	PD6	I/O	FT	PD6	USART2_RX (AF2) / FSMC_NWAIT (AF7)	
—	—	88	PD7	I/O	FT	PD7	USART2_CK (AF2) / FSMC_NE1_NCE2 (AF7)	
40	55	89	PB3	I/O/A	—	PB3	CMP1_CHN1/TIM2_CH2 (AF1) / USART5_RX (AF3) / SPI1_SCK (AF5)	
41	56	90	PB4	I/O	—	PB4	TIM3_CH1 (AF1) / USART5_TX (AF2) / USART5_CTS (AF3) / SPI1_MISO (AF5) / USART1_RTS (AF4)	
42	57	91	PB5	I/O/A	—	PB5	OPA1_CHP0/TIM3_CH2 (AF1) / USART5_RX (AF2) / USART5_RTS (AF3) / USART1_CTS (AF4) / I2C1_SMBA (AF7) / SPI1_MOSI (AF5)	
44	59	93	PB6	I/O	—	PB6	USBHS_DP/TIM1_CH1 (AF0) / TIM4_CH1 (AF1) /	

引脚编号			引脚名称	引脚类型 ⁽¹⁾	I/O电平	主功能(复位后)	默认复用功能 ⁽²⁾	重映射功能
V205GCT6	V205RCT6	V205VCT6						
							USART1_TX (AF2) / QSPI_SCSN (AF5) / I2C1_SCL (AF7)	
43	58	92	PB7	I/O	—	PB7	USBHS_DM/TIM1_CH2 (AF0) / TIM4_CH2 (AF1) / USART1_RX (AF2) / FSMC_NADV (AF6) / I2C1_SDA (AF7)	
—	—	94	BOOT0 ⁽⁵⁾	I	—	BOOT0		
45	60	95	PB8	I/O/A	—	PB8	CMP2_CHPO/TIM1_CH3 (AF0) / TIM4_CH3 (AF1) / USART6_TX (AF2) / USART4_RTS (AF3) / CAN_RX (AF6) / USART6_RTS (AF4) / I2C1_SCL (AF7) / QSPI_SIOX0 (AF5)	
46	61	96	PB9	I/O	—	PB9	TIM1_BK (AF0) / TIM4_CH4 (AF1) / USART6_RX (AF2) / USART4_CTS (AF3) / USART6_CTS (AF4) / CAN_TX (AF6) / QSPI_SIOX1 (AF5) / I2C1_SDA (AF7)	
—	62	97	PE0	I/O	FT	PE0	TIM4_ETR (AF1) / USART4_TX (AF2) / USART5_CK (AF3) / FSMC_NBL0 (AF7)	
—	—	98	PE1	I/O	FT	PE1	USART4_RX (AF2) / FSMC_NBL1 (AF7)	
47	63	99	V _{SS_3}	P	—	V _{SS_3}		
—	64	100	V _{I0_3}	P	—	V _{I0_3}		
48	—	—	V _{DD_VI0_3}	P	—	V _{DD_VI0_3}		

注 1：表格缩写解释：

I = TTL/CMOS 电平斯密特输入；O = CMOS 电平三态输出；

A = 模拟信号输入或输出；P = 电源；FT = 耐受5V；

注2：I/O引脚通过一个复用器连接到板载外设/模块，该复用器一次仅允许一个外设的复用功能(AF)连接到I/O引脚。该复用器采用多达8路复用功能输入(AF0到AF7)，可通过GPIOx_AFLR和GPIOx_AFHR寄存器对这些输入进行配置：复位后，复用器选择为复用功能0，即(AF0)。更多详细信息请参考《CH32V205RM》手册的复用功能I/O章节。

注3: V_{DD} 和 V_{BAT} 均可连接内部模拟开关为备份区域以及PC13、PC14和PC15引脚供电, 这个模拟开关只能够通过有限的电流(3mA)。当由 V_{DD} 供电时: PC14和PC15可用于GPIO或LSE引脚、PC13可作为通用I/O口、TAMPER引脚、RTC校准时钟、RTC闹钟或秒输出; PC13、PC14和PC15作为GPIO输出脚时只能工作在2MHz以下, 最大驱动负载为30pF, 并且不能作为电流源(如驱动LED)。而当由 V_{BAT} 供电时: PC14和PC15只能用于LSE引脚、PC13可作为TAMPER引脚、RTC闹钟或秒输出。

注4: 这些引脚在备份区域第一次上电时处于主功能状态下, 之后即使复位, 这些引脚的状态由备份区域寄存器控制(这些寄存器不会被主复位系统所复位)。关于如何控制这些I/O口的具体信息, 请参考《CH32V205RM》手册的后备域控制寄存器和BKP寄存器的相关章节。

注5: B00T0引脚未引出的芯片, 已在内部下拉到 V_{SS} 。

注6: 对于CH32V205CCT6芯片, 引脚1和引脚2在芯片复位后默认配置为OSC_IN和OSC_OUT功能脚, 软件可以重新设置这两个引脚为PD0和PD1功能; 对于CH32V205RCT6芯片, 引脚5和引脚6在芯片复位后默认配置为OSC_IN和OSC_OUT功能脚, 软件可以重新设置这两个引脚为PD0和PD1功能。但对于CH32V205VCT6芯片, 由于PD0和PD1为固有的功能引脚, 因此没有必要再由软件进行重映射设置。更多详细信息请参考《CH32V205RM》手册的复用功能I/O章节。

注7: 对于CH32V205CCT6、CH32V205RCT6芯片, PD0的CAN_RX复用功能不可用。

表 2-1-2 CH32V203 引脚定义

引脚 编号	引脚 名称	引脚 类型 (1)	I/O 电平	主功能 (复位后)	默认复用功能 ⁽²⁾	重映射功能
V203CCT6						
1	V_{BAT}	P	—	V_{BAT}		
2	PC13- TAMPER-RTC ⁽³⁾	I/O	—	PC13 ⁽⁴⁾	TAMPER/RTC/TIM1_CH4 (AF0) / I2C2_SCL (AF7)	
3	PC14- OSC32_IN ⁽³⁾	I/O/A	—	PC14 ⁽⁴⁾	OSC32_IN/I2C2_SDA (AF7)	
4	PC15- OSC32_OUT ⁽³⁾	I/O/A		PC15 ⁽⁴⁾	OSC32_OUT/I2C2_SMBA (AF7)	
5	OSC_IN	I/O/A	—	OSC_IN		PD0 ⁽⁶⁾
	PD0 ⁽⁶⁾	I/O	FT	PD0	USART4_CK (AF3) / CAN_RX (AF6) /	
6	OSC_OUT	I/O/A	—	OSC_OUT		PD1 ⁽⁶⁾
	PD1 ⁽⁶⁾	I/O	FT	PD1	USART8_CK (AF3) / CAN_TX (AF6) /	
7	NRST	I	—	NRST		
8	V_{SSA}	P	—	V_{SSA}		
9	V_{DDA}	P	—	V_{DDA}		
10	PA0-WKUP	I/O/A	FT	PA0	WKUP/ADC_IN0 / TIM1_ETR (AF0) / TIM2_CH1_ETR (AF1) / USART2_CTS (AF2) / QSPI_SIO2 (AF5)	
11	PA1	I/O/A	FT	PA1	ADC_IN1/TIM2_CH2 (AF1) /	

引脚 编号	引脚 名称	引脚 类型 ⁽¹⁾	I/O 电平	主功能 (复位后)	默认复用功能 ⁽²⁾	重映射功能
V203CCT6						
					USART2_RTS (AF2) / QSPI_SIO3 (AF5)	
12	PA2	I/O/A	—	PA2	ADC_IN2/OPA2_OUT2/ CMP1_CHPO/TIM2_CH3 (AF1) / USART2_TX (AF2) / QSPI_SIO0 (AF5)	
13	PA3	I/O/A	—	PA3	ADC_IN3/OPA1_OUT2/ TIM2_CH4 (AF1) / USART2_RX (AF2) / QSPI_SIO1 (AF5)	
14	PA4	I/O/A	—	PA4	ADC_IN4/OPA2_OUT1/ USART2_CK (AF2) / SPI1_NSS (AF5)	
15	PA5	I/O/A	—	PA5	ADC_IN5/OPA2_CHN1/ USART1_CTS (AF2) / USART1_CK (AF3) / USART7_CK (AF4) / SPI1_SCK (AF5)	
16	PA6	I/O/A	—	PA6	ADC_IN6/OPA1_CHN1/ TIM1_BK (AF0) / TIM3_CH1 (AF1) / USART1_TX (AF2) / USART7_TX (AF3) / USART7_CTS (AF4) / SPI1_MISO (AF5)	
17	PA7	I/O/A	—	PA7	ADC_IN7/OPA2_CHP1/ TIM1_CH1N (AF0) / TIM3_CH2 (AF1) / USART1_RX (AF2) / USART7_RX (AF3) / USART7_RTS (AF4) / SPI1_MOSI (AF5)	
18	PB0	I/O/A	—	PB0	ADC_IN8/OPA1_CHP1/ TIM1_CH2N (AF0) / TIM3_CH3 (AF1) / USART4_TX (AF2) / QSPI_SCSN (AF5) USART8_CTS (AF3) /	

引脚 编号	引脚 名称	引脚 类型 (1)	I/O 电平	主功能 (复位后)	默认复用功能 ⁽²⁾	重映射功能
V203CCT6						
19	PB1	I/O/A	—	PB1	ADC_IN9/USART8_RTS (AF3) / OPA1_OUT1/TIM1_CH3N (AF0) / TIM3_CH4 (AF1) / USART4_RX (AF2) / CMP1_CHN0/QSPI_SCSXN (AF5)	
20	PB2	I/O/A	—	PB2	CMP1_CHP1/USART5_TX (AF3) / QSPI_SCK (AF5)	
	BOOT1	I	—	BOOT1		
21	PB10	I/O/A	—	PB10	OPA2_CHN0/TIM2_CH3 (AF1) / USART3_TX (AF2) / QSPI_SIOX2 (AF5) / I2C2_SCL (AF7)	
22	PB11	I/O/A	—	PB11	OPA1_CHN0/CMP2_CHN1 / TIM2_CH4 (AF1) / USART3_RX (AF2) / I2C2_SDA (AF7) / QSPI_SIOX3 (AF5)	
23	V _{SS_1}	P	—	V _{SS_1}		
24	V _{DD_VIO_1}	P	—	V _{DD_VIO_1}		
25	PB12	I/O/A	—	PB12	OPA1_CHP2/TIM1_BK (AF0) / CMP1_OUT (AF1) / USART3_CK (AF2) / USART4_CTS (AF3) / SPI2_NSS (AF5) / I2C2_SMBA (AF7)	
26	PB13	I/O/A	—	PB13	OPA1_CHNVB / TIM1_CH1N (AF0) / USART3_CTS (AF2) / SPI2_SCK (AF5)	
27	PB14	I/O/A	—	PB14	OPA2_CHP0/TIM1_CH2N (AF0) / USART3_RTS (AF2) / SPI2_MISO (AF5)	
28	PB15	I/O/A	—	PB15	OPA2_CHNVB / TIM1_CH3N (AF0) / USART1_TX (AF2) / USART4_RTS (AF3) / USART6_CK (AF4) / SPI2_MOSI (AF5)	
29	PA8	I/O/A	—	PA8	CMP2_CHP1/TIM1_CH1 (AF0) /	

引脚 编号	引脚 名称	引脚 类型 ⁽¹⁾	I/O 电平	主功能 (复位后)	默认复用功能 ⁽²⁾	重映射功能
V203CCT6						
					USART1_CK (AF2) / USART1_RX (AF3) / MCO (AF6)	
30	PA9	I/O/A	—	PA9	CMP2_CHN0/TIM1_CH2 (AF0) / USART1_TX (AF2) / USART1_RTS (AF3)	
31	PA10	I/O	FT	PA10	TIM1_CH3 (AF0) / USART1_RX (AF2) / USART1_CK (AF3)	
32	PA11	I/O	FT	PA11	USBFS_DM/TIM1_CH4 (AF0) / USART1_CTS (AF2) / USART1_TX (AF3) / CAN_RX (AF6)	
33	PA12	I/O	FT	PA12	USBFS_DP/TIM1_ETR (AF0) / CMP2_OUT (AF1) / USART1_RTS (AF2) / USART6_TX (AF3) / QSPI_SCK (AF5) / CAN_TX (AF6)	
34	PA13	I/O	FT	PA13	SWDIO/TIM1_CH1N (AF0) / TIM2_CH3 (AF1) / USART3_TX (AF2) / I2C1_SDA (AF7)	
35	V _{SS_2}	P	—	V _{SS_2}		
36	V _{DD_VIO_2}	P	—	V _{DD_VIO_2}		
37	PA14	I/O	FT	PA14	SWCLK/TIM1_CH2N (AF0) / TIM2_CH4 (AF1) / USART8_TX (AF2) / USART3_RX (AF3) / USART4_TX (AF4) / I2C1_SCL (AF7)	
38	PA15	I/O	—	PA15	TIM1_CH3N (AF0) / TIM2_CH1_ETR (AF1) / USART8_RX (AF2) / USART8_CK (AF3) / USART4_RX (AF4) / SPI1_NSS (AF5)	
39	PB3	I/O/A	—	PB3	CMP1_CHN1/TIM2_CH2 (AF1) / USART5_RX (AF3) / SPI1_SCK (AF5)	

引脚 编号	引脚 名称	引脚 类型 ⁽¹⁾	I/O 电平	主功能 (复位后)	默认复用功能 ⁽²⁾	重映射功能
V203CCT6						
40	PB4	I/O	—	PB4	TIM3_CH1 (AF1) / USART5_TX (AF2) / USART5_CTS (AF3) / SPI1_MISO (AF5) / USART1_RTS (AF4)	
41	PB5	I/O/A	—	PB5	OPA1_CHPO/TIM3_CH2 (AF1) / USART5_RX (AF2) / USART5_RTS (AF3) / USART1_CTS (AF4) / I2C1_SMBA (AF7) / SPI1_MOSI (AF5)	
42	PB6	I/O	—	PB6	TIM1_CH1 (AF0) / TIM4_CH1 (AF1) / USART1_TX (AF2) / QSPI_SCSN (AF5) / I2C1_SCL (AF7)	
43	PB7	I/O	—	PB7	TIM1_CH2 (AF0) / TIM4_CH2 (AF1) / USART1_RX (AF2) / I2C1_SDA (AF7)	
44	BOOT0 ⁽⁵⁾	I	—	BOOT0		
45	PB8	I/O/A	—	PB8	CMP2_CHPO/TIM1_CH3 (AF0) / TIM4_CH3 (AF1) / USART6_TX (AF2) / USART4_RTS (AF3) / CAN_RX (AF6) / USART6_RTS (AF4) / I2C1_SCL (AF7) / QSPI_SIOX0 (AF5)	
46	PB9	I/O	—	PB9	TIM1_BK (AF0) / TIM4_CH4 (AF1) / USART6_RX (AF2) / USART4_CTS (AF3) / USART6_CTS (AF4) / CAN_TX (AF6) / QSPI_SIOX1 (AF5) / I2C1_SDA (AF7)	
47	V _{SS_3}	P	—	V _{SS_3}		
48	V _{DD_VIO_3}	P	—	V _{DD_VIO_3}		

注 1：表格缩写解释：

I = TTL/CMOS 电平斯密特输入；O = CMOS 电平三态输出；

A = 模拟信号输入或输出；P = 电源；FT = 耐受5V；

注2：I/O引脚通过一个复用器连接到板载外设/模块，该复用器一次仅允许一个外设的复用功能(AF)连接到I/O引脚。该复用器采用多达8路复用功能输入(AF0到AF7)，可通过GPIOx_AFLR和GPIOx_AFHR寄存器对这些输入进行配置：复位后，复用器选择为复用功能0，即(AF0)。更多详细信息请参考《CH32V205RM》手册的复用功能I/O章节。

注3：V_{DD}和V_{BAT}均可连接内部模拟开关为备份区域以及PC13、PC14和PC15引脚供电，这个模拟开关只能够通过有限的电流(3mA)。当由V_{DD}供电时：PC14和PC15可用于GPIO或LSE引脚、PC13可作为通用I/O口、TAMPER引脚、RTC校准时钟、RTC闹钟或秒输出；PC13、PC14和PC15作为GPIO输出脚时只能工作在2MHz以下，最大驱动负载为30pF，并且不能作为电流源(如驱动LED)。而当由V_{BAT}供电时：PC14和PC15只能用于LSE引脚、PC13可作为TAMPER引脚、RTC闹钟或秒输出。

注4：这些引脚在备份区域第一次上电时处于主功能状态下，之后即使复位，这些引脚的状态由备份区域寄存器控制(这些寄存器不会被主复位系统所复位)。关于如何控制这些I/O口的具体信息，请参考《CH32V205RM》手册的后备域控制寄存器和BKP寄存器的相关章节。

注5：BOOT0引脚未引出的芯片，已在内部下拉到V_{SS}。

注6：对于CH32V203CCT6芯片，引脚5和引脚6在芯片复位后默认配置为OSC_IN和OSC_OUT功能脚，软件可以重新设置这两个引脚为PD0和PD1功能；更多详细信息请参考《CH32V205RM》手册的复用功能I/O章节。

2.3 引脚复用功能

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

注：引脚配置为复用输入时，同一外设的可选引脚存在优先级（下述各表格中同一行的可选引脚按优先级由高到低排列）。当选择低优先级引脚作为某外设的复用输入时，同一外设的高优先级引脚不得同时配置为该外设的复用功能。例：PA8 (AF0)、PB6 (AF0) 同为 TIM1_CH1 功能可选引脚，PA8 引脚优先级较高。如使用 PB6 引脚作为 TIM1_CH1，PA8 引脚应避免配置为 AF0。

表 2-2-1 ADC 引脚功能

ADC 功能	默认引脚
ADC_IN0	PA0
ADC_IN1	PA1
ADC_IN2	PA2
ADC_IN3	PA3
ADC_IN4	PA4
ADC_IN5	PA5
ADC_IN6	PA6
ADC_IN7	PA7
ADC_IN8	PB0
ADC_IN9	PB1
ADC_IN10	PC0
ADC_IN11	PC1
ADC_IN12	PC2
ADC_IN13	PC3
ADC_IN14	PC4
ADC_IN15	PC5

表 2-2-2 TIM 引脚功能

TIM1 功能	可选引脚
TIM1_ETR	PA12 (AF0)、PE7 (AF0)、PA0 (AF0)
TIM1_CH1	PA8 (AF0)、PC10 (AF0)、PE9 (AF0)、PB6 (AF0)、PC6 (AF0)
TIM1_CH2	PA9 (AF0)、PC11 (AF0)、PE11 (AF0)、PB7 (AF0)、PC7 (AF0)
TIM1_CH3	PA10 (AF0)、PC12 (AF0)、PE13 (AF0)、PB8 (AF0)、PC8 (AF0)
TIM1_CH4	PA11 (AF0)、PE14 (AF0)、PC9 (AF0)、PC13 (AF0)
TIM1_CH1N	PA7 (AF0)、PA13 (AF0)、PB13 (AF0)、PC3 (AF0)、PE8 (AF0)
TIM1_CH2N	PA14 (AF0)、PB0 (AF0)、PB14 (AF0)、PC4 (AF0)、PE10 (AF0)
TIM1_CH3N	PA15 (AF0)、PB1 (AF0)、PB15 (AF0)、PC5 (AF0)、PE12 (AF0)
TIM1_BK	PA6 (AF0)、PB12 (AF0)、PE15 (AF0)、PB9 (AF0)
TIM2 功能	可选引脚

TIM2_CH1_ETR	PA0 (AF1)、PA15 (AF1)
TIM2_CH2	PA1 (AF1)、PB3 (AF1)
TIM2_CH3	PA2 (AF1)、PA13 (AF1)、PB10 (AF1)
TIM2_CH4	PA3 (AF1)、PA14 (AF1)、PB11 (AF1)
TIM3 功能	可选引脚
TIM3_ETR	PD2 (AF1)
TIM3_CH1	PA6 (AF1)、PB4 (AF1)、PC6 (AF1)
TIM3_CH2	PA7 (AF1)、PB5 (AF1)、PC7 (AF1)
TIM3_CH3	PB0 (AF1)、PC8 (AF1)
TIM3_CH4	PB1 (AF1)、PC9 (AF1)
TIM4 功能	可选引脚
TIM4_ETR	PE0 (AF1)
TIM4_CH1	PB6 (AF1)、PD12 (AF1)
TIM4_CH2	PB7 (AF1)、PD13 (AF1)
TIM4_CH3	PB8 (AF1)、PD14 (AF1)
TIM4_CH4	PB9 (AF1)、PD15 (AF1)

表 2-2-3 I2C 引脚功能

I2C1 功能	可选引脚
I2C1_SCL	PB6 (AF7)、PB8 (AF7)、PA14 (AF7)
I2C1_SDA	PB7 (AF7)、PB9 (AF7)、PA13 (AF7)
I2C1_SMBA	PB5 (AF7)
I2C2 功能	可选引脚
I2C2_SCL	PB10 (AF7)、PC13 (AF7)
I2C2_SDA	PB11 (AF7)、PC14 (AF7)
I2C2_SMBA	PB12 (AF7)、PC15 (AF7)

表 2-2-4 SPI 引脚功能

SPI1 功能	可选引脚
SPI1_NSS	PA4 (AF5)、PA15 (AF5)
SPI1_SCK	PA5 (AF5)、PB3 (AF5)
SPI1_MOSI	PA7 (AF5)、PB5 (AF5)
SPI1_MISO	PA6 (AF5)、PB4 (AF5)
SPI2 功能	可选引脚
SPI2_NSS	PB12 (AF5)
SPI2_SCK	PB13 (AF5)
SPI2_MOSI	PB15 (AF5)
SPI2_MISO	PB14 (AF5)

表 2-2-5 USART 引脚功能

USART1 功能	可选引脚
USART1_CK	PA5 (AF3)、PA8 (AF2)、PA10 (AF3)
USART1_RX	PA7 (AF2)、PA8 (AF3)、PA10 (AF2)、PB7 (AF2)
USART1_TX	PA6 (AF2)、PA9 (AF2)、PB6 (AF2)、PB15 (AF2)、PA11 (AF3)
USART1_RTS	PA9 (AF3)、PA12 (AF2)、PB4 (AF4)、PC5 (AF2)
USART1_CTS	PA5 (AF2)、PA11 (AF2)、PB5 (AF4)、PC4 (AF2)
USART2 功能	可选引脚
USART2_CK	PA4 (AF2)、PD7 (AF2)
USART2_RX	PA3 (AF2)、PD6 (AF2)
USART2_TX	PA2 (AF2)、PD5 (AF2)
USART2_RTS	PA1 (AF2)、PD4 (AF2)
USART2_CTS	PA0 (AF2)、PD3 (AF2)
USART3 功能	可选引脚
USART3_CK	PB12 (AF2)、PC12 (AF2)、PD10 (AF2)
USART3_RX	PA14 (AF3)、PB11 (AF2)、PC11 (AF2)、PD9 (AF2)
USART3_TX	PA13 (AF2)、PB10 (AF2)、PC10 (AF2)、PD8 (AF2)
USART3_RTS	PB14 (AF2)、PD12 (AF2)
USART3_CTS	PB13 (AF2)、PD11 (AF2)
USART4 功能	可选引脚
USART4_CK	PD0 (AF3)、PD2 (AF4)
USART4_RX	PA15 (AF4)、PB1 (AF2)、PC11 (AF3)、PE1 (AF2)
USART4_TX	PA14 (AF4)、PB0 (AF2)、PC10 (AF3)、PE0 (AF2)
USART4_RTS	PB8 (AF3)、PB15 (AF3)
USART4_CTS	PB9 (AF3)、PB12 (AF3)
USART5 功能	可选引脚
USART5_CK	PC8 (AF4)、PE0 (AF3)
USART5_RX	PB5 (AF2)、PD2 (AF3)、PE9 (AF2)、PB3 (AF3)
USART5_TX	PB4 (AF2)、PC12 (AF3)、PE8 (AF2)、PB2 (AF3)
USART5_RTS	PB5 (AF3)
USART5_CTS	PB4 (AF3)
USART6 功能	可选引脚
USART6_CK	PB15 (AF4)、PD3 (AF3)
USART6_RX	PB9 (AF2)、PC1 (AF2)、PE11 (AF2)
USART6_TX	PB8 (AF2)、PC0 (AF2)、PE10 (AF2)、PA12 (AF3)
USART6_RTS	PB8 (AF4)、PC3 (AF4)
USART6_CTS	PB9 (AF4)、PC2 (AF4)

USART7 功能	可选引脚
USART7_CK	PA5 (AF4)、PD4 (AF3)
USART7_RX	PA7 (AF3)、PC3 (AF2)、PE13 (AF2)、PC7 (AF4)
USART7_TX	PA6 (AF3)、PC2 (AF2)、PE12 (AF2)、PC6 (AF4)
USART7_RTS	PA7 (AF4)
USART7_CTS	PA6 (AF4)
USART8 功能	可选引脚
USART8_CK	PA15 (AF3)、PD1 (AF3)
USART8_RX	PA15 (AF2)、PC5 (AF3)、PE15 (AF2)、PC12 (AF4)
USART8_TX	PA14 (AF2)、PC4 (AF3)、PE14 (AF2)、PC9 (AF4)
USART8_RTS	PB1 (AF3)
USART8_CTS	PB0 (AF3)

表 2-2-6 CAN 引脚功能

CAN 功能	可选引脚
CAN_RX	PA11 (AF6)、PB8 (AF6)、PD0 (AF6) ⁽¹⁾
CAN_TX	PA12 (AF6)、PB9 (AF6)、PD1 (AF6)

注：1. 对于CH32V205CCT6、CH32V205RCT6芯片，PD0的CAN_RX复用功能不可用。

表 2-2-7 调试引脚功能

调试引脚功能	默认引脚
SWCLK	PA14
SWDIO	PA13

表 2-2-8 FSMC 引脚功能

FSMC 功能	可选引脚
FSMC_D0	PD14 (AF7)
FSMC_D1	PD15 (AF7)
FSMC_D2	PD0 (AF7)
FSMC_D3	PD1 (AF7)
FSMC_D4	PE7 (AF7)
FSMC_D5	PE8 (AF7)
FSMC_D6	PE9 (AF7)
FSMC_D7	PE10 (AF7)
FSMC_D8	PE11 (AF7)
FSMC_D9	PE12 (AF7)
FSMC_D10	PE13 (AF7)
FSMC_D11	PE14 (AF7)

FSMC_D12	PE15 (AF7)
FSMC_D13	PD8 (AF7)
FSMC_D14	PD9 (AF7)
FSMC_D15	PD10 (AF7)
FSMC_ADDR16	PD11 (AF7)
FSMC_ADDR17	PD12 (AF7)
FSMC_ADDR18	PD13 (AF7)
FSMC_ADDR19	PE3 (AF7)
FSMC_ADDR20	PE4 (AF7)
FSMC_ADDR21	PE5 (AF7)
FSMC_ADDR22	PE6 (AF7)
FSMC_ADDR23	PE2 (AF7)
FSMC_NADV	PB7 (AF6) 、 PD2 (AF7)
FSMC_CLK	PD3 (AF7)
FSMC_NOE	PD4 (AF7)
FSMC_NWE	PD5 (AF7)
FSMC_NWAIT	PD6 (AF7)
FSMC_NE1_NCE2	PD7 (AF7)
FSMC_NBL0	PE0 (AF7)
FSMC_NBL1	PE1 (AF7)

表 2-2-9 USBPD 引脚功能

USBPD 功能	可选引脚
CC1	PA0 (AF7)
CC2	PA1 (AF7)

表 2-2-10 USBFS 引脚功能

USBFS 功能	默认引脚
USBFS_DP	PA12
USBFS_DM	PA11

表 2-2-11 USBHS 引脚功能

USBHS 功能	默认引脚
USBHS_DP	PB6
USBHS_DM	PB7

表 2-2-12 OPA 引脚功能

OPA1 功能	可选引脚
OPA1_OUT	PB1/OPA1_OUT1、PA3/OPA1_OUT2

OPA1_CHN	PB11/OPA1_CHN0、PA6/OPA1_CHN1
OPA1_CHP	PB5/OPA1_CHP0、PB0/OPA1_CHP1、PB12/OPA1_CHP2
OPA1_CHNVB	PB13
OPA2 功能	可选引脚
OPA2_OUT	PA4/OPA2_OUT1、PA2/OPA2_OUT2
OPA2_CHN	PB10/OPA2_CHN0、PA5/OPA2_CHN1
OPA2_CHP	PB14/OPA2_CHP0、PA7/OPA2_CHP1
OPA2_CHNVB	PB15

表 2-2-13 CMP 引脚功能

CMP1 功能	可选引脚
CMP1_CHP	PA2/CMP1_CHP0、PB2/CMP1_CHP1
CMP1_CHN	PB1/CMP1_CHN0、PB3/CMP1_CHN1
CMP1_OUT	PB12 (AF1)
CMP2 功能	可选引脚
CMP2_CHP	PB8/CMP2_CHP0、PA8/CMP2_CHP1
CMP2_CHN	PA9/CMP2_CHN0、PB11/CMP2_CHN1
CMP2_OUT	PA12 (AF1)

表 2-2-14 QSPI 引脚功能

QSPI 功能	可选引脚
QSPI_SCK	PA12 (AF5)、PB2 (AF5)
QSPI_SCSN	PB0 (AF5)、PB6 (AF5)
QSPI_SIO0	PA2 (AF5)、PC9 (AF5)、PD11 (AF5)
QSPI_SIO1	PA3 (AF5)、PC10 (AF5)、PD12 (AF5)
QSPI_SIO2	PA0 (AF5)、PE6 (AF5)
QSPI_SIO3	PA1 (AF5)、PD13 (AF5)
QSPI_SCSXN	PB1 (AF5)、PC11 (AF5)
QSPI_SIOX0	PB8 (AF5)、PE7 (AF5)
QSPI_SIOX1	PB9 (AF5)、PE8 (AF5)
QSPI_SIOX2	PB10 (AF5)、PE9 (AF5)
QSPI_SIOX3	PB11 (AF5)、PE10 (AF5)

表 2-2-15 MCO 引脚功能

MCO 功能	可选引脚
MCO	PA8 (AF6)

表 2-2-16 PIOC 引脚功能

PIOC 功能	可选引脚
---------	------

PIOC_I00	PA11 (AF4)、PB10 (AF4)、PD3 (AF4)、PE3 (AF4)
PIOC_I01	PA12 (AF4)、PB11 (AF4)、PD4 (AF4)、PE4 (AF4)

第 3 章 电气特性

3.1 测试条件

除非特殊说明和标注，所有电压都以 V_{SS} 为基准。

所有最小值和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

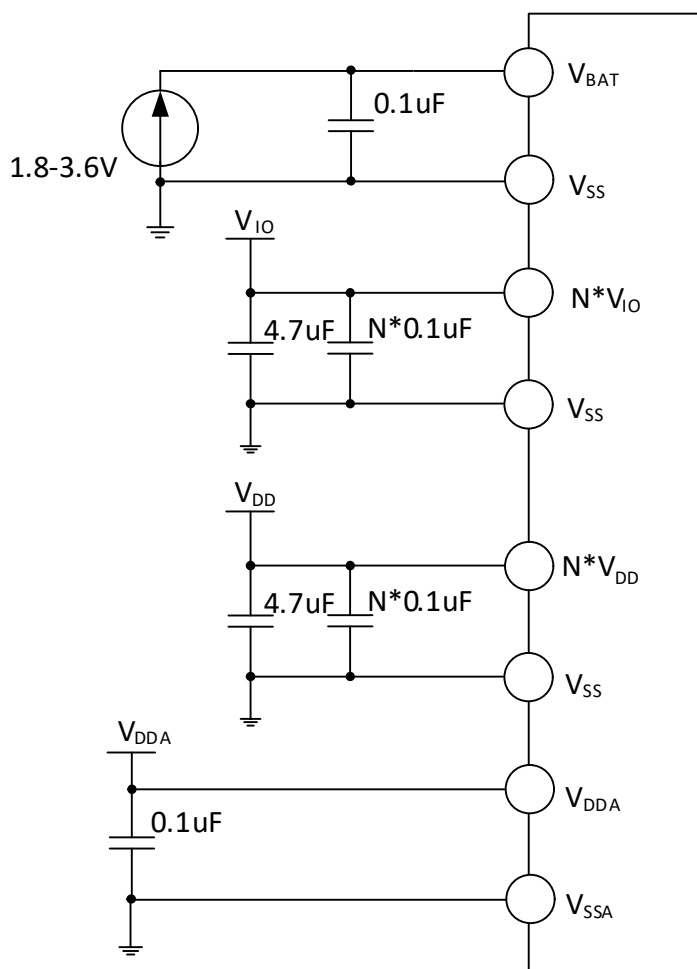
CH32V205 的典型数值是基于常温 25°C 和 $V_{DD} = V_{DDA} = V_{IO} = 3.3\text{V}$ 环境下用于设计指导。

CH32V203 的典型数值是基于常温 25°C 和 $V_{DD_V_{IO}} = V_{DDA} = 3.3\text{V}$ 环境下用于设计指导。

对于通过综合评估、设计模拟或工艺特性得到的数据，不会在生产线进行测试。在综合评估的基础上，最小和最大值是通过样本测试后统计得到。除非特殊说明为实测值，否则特性参数以综合评估或设计保证。

供电方案：

图 3-1-1 CH32V205 常规供电典型电路

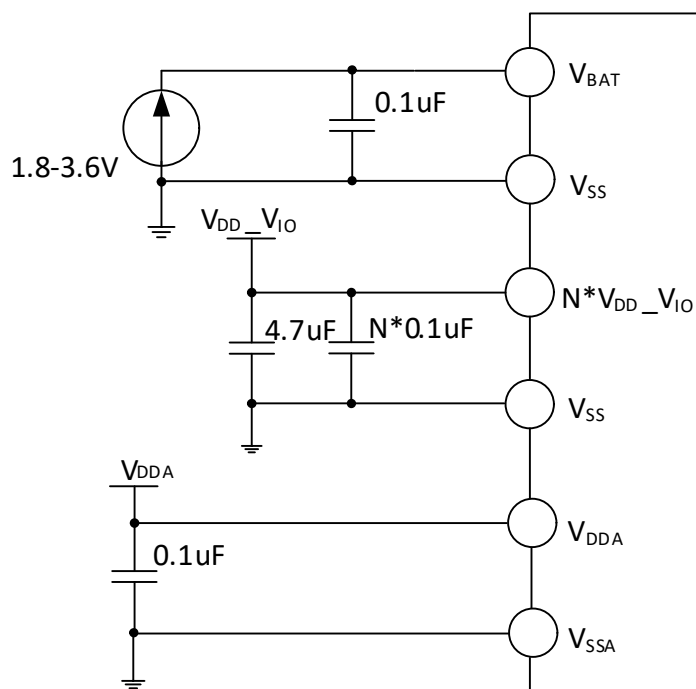


注： V_{DD} 、 V_{IO} 在部分芯片封装中可能有多个引脚，同名电源引脚必须短接。

V_{DD} 引脚各外接 $0.1\mu\text{F}$ 容量的退耦电容，整个 V_{DD} 电源建议再并联一个 $4.7\mu\text{F}$ 容量的退耦电容。

V_{IO} 引脚各外接 $0.1\mu\text{F}$ 容量的退耦电容，整个 V_{IO} 电源建议再并联一个 $4.7\mu\text{F}$ 容量的退耦电容。

图 3-1-2 CH32V203 常规供电典型电路



注： V_{DD_VIO} 在部分芯片封装中可能有多个引脚，同名电源引脚必须短接。

V_{DD_VIO} 引脚各外接 $0.1\mu\text{F}$ 容量的退耦电容，整个 V_{DD_VIO} 电源建议再并联一个 $4.7\mu\text{F}$ 容量的退耦电容。

3.2 绝对最大值

临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏。

表 3-1 绝对最大值参数表

符号	描述	最小值	最大值	单位
T_A	工作时的环境温度	-40	85	$^{\circ}\text{C}$
T_S	存储时的环境温度	-40	125	$^{\circ}\text{C}$
$V_{DD}-V_{SS}$	外部主供电电压（包含 V_{DDA} 、 V_{DD} 、 V_{BAT} 、 V_{REF+} 、 V_{IO} ）	-0.3	4.0	V
V_{IN}	FT（耐受 5V）引脚上的输入电压	$V_{SS}-0.3$	5.5	V
	其他引脚上的电压	$V_{SS}-0.3$	$V_{DD}+0.3$	V
$ \Delta V_{DD_x} $	主供电引脚各 V_{DD} 之间的电压差		20	mV
$ \Delta V_{SS_x} $	不同接地引脚之间的电压差		20	mV
$V_{ESD(HBM)}$	普通 I/O 引脚的 ESD 静电放电电压（HBM）	4K		V
	USB 引脚的 ESD 静电放电电压（HBM）	4K		V
I_{VDD}	经过 V_{DDA} 、 V_{DD} 、 V_{IO} 电源线的总电流（供应电流）		250	mA
I_{VSS}	经过 V_{SS} 地线的总电流（流出电流）		250	mA
I_{IO}	任意 I/O 和控制引脚上的灌电流		25	mA
	任意 I/O 和控制引脚上的源电流		-25	mA
$I_{INJ(PIN)}$	NRST 引脚注入电流		± 5	mA
	HSE 的 OSC_IN 引脚和 LSE 的 OSC_IN 引脚注入电流		± 5	mA
	其他引脚的注入电流		± 5	mA
$\Sigma I_{INJ(PIN)}$	所有 I/O 和控制引脚的总注入电流		± 25	mA

3.3 电气参数

3.3.1 工作条件

表 3-2 通用工作条件

符号	参数	条件	最小值	最大值	单位
V_{DD}	标准工作电压	未使用 USB	1.8	3.6	V
		使用 USB	3.15	3.45	
V_{DDA}	模拟部分工作电压 ($V_{DDA} = V_{DD}$)	未使用 ADC, V_{DDA} 不能低于 V_{IO}	1.8	3.6	V
		使用 ADC 或开启 TKEY 时, V_{DDA} 不能低于 V_{IO} , V_{REF+} 不能高于 V_{DDA}	2.4	3.6	V
		使用 OPA 时, 运放输出不能高于 V_{IO}	1.8	3.6	V
$V_{BAT}^{(1)}$	备份单元工作电压	不能大于 V_{DD}	1.8	3.6	V
V_{IO}	大部分 I/O 引脚输出电压	V_{IO} 不能高于 V_{DD}	1.45	3.6	V
$V_{REF+}^{(3)}$	ADC 模块的正参考电压	V_{REF+} 不能高于 V_{DDA}	1.8	3.6	V
T_A	环境温度		-40	85	°C
T_J	结温度范围		-40	105	°C

注：1. 电池到 V_{BAT} 连线要尽可能的短。

2. 电压关系： $V_{DD} = V_{DDA} \geq V_{IO}$ ；并且 $V_{DDA} \geq V_{REF+}$ 。

3. 参考电压 V_{REF+} 不能高于 V_{DDA} , V_{REF+} 低于 2.4V 时 ADC 性能变差。

表 3-3 上电和掉电条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率		0	∞	us/V
	V_{DD} 下降速率		50	∞	

3.3.2 内置复位和电源控制模块特性

表 3-4 复位及电压监测（PDR 选择高阈值档位）

符号	参数	条件	最小值	典型值	最大值	单位
$V_{PVD}^{(1)}$	可编程电压检测器的电平选择	PLS[2:0] = 000(上升沿)		1.73		V
		PLS[2:0] = 000(下降沿)		1.68		V
		PLS[2:0] = 001(上升沿)		1.91		V
		PLS[2:0] = 001(下降沿)		1.85		V
		PLS[2:0] = 010(上升沿)		2.11		V
		PLS[2:0] = 010(下降沿)		2.05		V
		PLS[2:0] = 011(上升沿)		2.32		V
		PLS[2:0] = 011(下降沿)		2.25		V
		PLS[2:0] = 100(上升沿)		2.51		V
		PLS[2:0] = 100(下降沿)		2.43		V
		PLS[2:0] = 101(上升沿)		2.68		V
		PLS[2:0] = 101(下降沿)		2.60		V
		PLS[2:0] = 110(上升沿)		2.89		V
		PLS[2:0] = 110(下降沿)		2.79		V
		PLS[2:0] = 111(上升沿)		3.07		V
		PLS[2:0] = 111(下降沿)		2.97		V

$V_{PVDhyst}^{(1)}$	PVD 迟滞		0.05	0.08	0.14	V
$V_{POR/PDR}^{(2)}$	上电/掉电复位阈值	上升沿	1.34	1.56	1.78	V
		下降沿	1.32	1.54	1.76	V
$V_{PDRhyst}^{(2)}$	PDR 迟滞			20		mV
$t_{RSTEMP0}$	复位持续时间		5	6.5	30	ms

注：1. 设计参数；
2. 常温测试值。

3.3.3 内置的参考电压

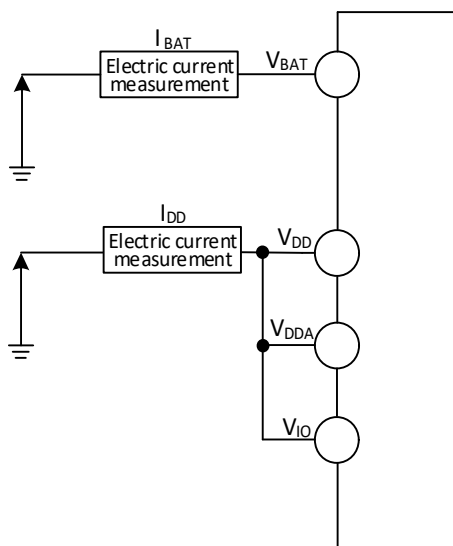
表 3-5 内置参考电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参考电压	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	1.19	1.22	1.25	V
$T_{S_vrefint}$	当读出内部参考电压时，ADC 的采样时间	建议慢速采样			20	us

3.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。电流消耗测量方法如下图：

图 3-2-1 CH32V205 电流消耗测量

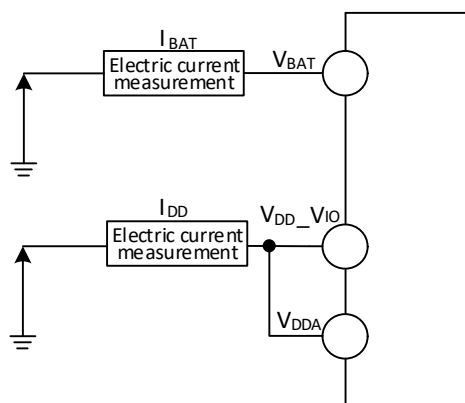


CH32V205 处于下列条件：

常温 $V_{DD} = V_{DDA} = V_{IO} = 3.3\text{V}$ 情况下，测试时：所有 I/O 引脚配置为下拉输入，运行于高速内部 RC 振荡器 HSI， $HSI = 8\text{M}$ ， $F_{PLCK1} = F_{HCLK}/2$ ， $F_{PLCK2} = F_{HCLK}$ ，使能或关闭所有外设时钟的功耗。

注：小封装型号未封装出的引脚或者已封装出来但未使用的引脚，建议配置为上拉输入或者下拉输入，否则可能影响电流指标，具体操作请参考 EVT 低功耗例程。

图 3-2-2 CH32V203 电流消耗测量



CH32V203 处于下列条件:

常温 $V_{DD_VIO} = V_{DDA} = 3.3V$ 情况下, 测试时: 所有 I/O 引脚配置为下拉输入, 运行于高速内部 RC 振荡器 HSI, $HSI = 8M$, $F_{PLCK1} = F_{HCLK}/2$, $F_{PLCK2} = F_{HCLK}$, 使能或关闭所有外设时钟的功耗。

表 3-6 数据处理代码从 FLASH 中运行, 设置 LDOTRIM[1:0]=10b (默认值)、LDO_EC=0

符号	参数	条件			典型值		单位
		HSILP	PLLON	F_{HCLK}	使能所有外设	关闭所有外设	
$I_{DD}^{(1)}$	运行模式下的 供应电流	0	1	192MHz	21.4	12.6	mA
		0	1	160MHz	19.8	11.1	
		0	1	96MHz	11.5	7.1	
		0	0	8MHz	2.1	1.7	
		1	0	1MHz	1.3	1.2	
	睡眠模式下的 供应电流 (此时 外设供电和 时钟保持)	0	1	192MHz	13.8	5.1	mA
		0	1	160MHz	13.4	4.6	
		0	1	96MHz	7.7	3.3	
		0	0	8MHz	1.9	1.5	
		1	0	1MHz	1.2	1.1	

注: 1. 以上均为实测参数。

表 3-7 数据处理代码从 SRAM 中运行, FLASH 进入低功耗模式⁽¹⁾, 设置 LDOTRIM[1:0]=01b、LDO_EC=0

符号	参数	条件			典型值		单位
		HSILP	PLLON	F_{HCLK}	使能所有外设	关闭所有外设	
$I_{DD}^{(2)}$	运行模式下的供 应电流	0	1	192MHz	20.3	11.3	mA
		0	1	160MHz	19.3	11.1	
		0	1	96MHz	10.6	6.4	
		0	0	8MHz	1.1	0.7	
		1	0	1MHz	0.2	0.2	
	睡眠模式下的供 应电流 (此时外 设供电和时钟保 持)	0	1	192MHz	11.5	3.8	mA
		0	1	160MHz	11.2	3.3	
		0	1	96MHz	6.3	2.2	
		0	0	8MHz	0.8	0.4	
		1	0	1MHz	0.2	0.2	

注: 1. 当 $FLASH_LP_REG=1$ 且 $FLASH_LP[11:10]=10b$ 时, FLASH 进入低功耗模式。

2. 以上均为实测参数。

表 3-8-1 数据处理代码从 FLASH 中运行，停止和待机模式下典型的电流消耗

符号	参数	条件								典型值	单位
		HSI, HSE LSI, LSE	RAMLV	R28KSTY	R4KSTY	LD0_EC	LPDS	PDDS	LDO		
$I_{DD}^{(1)}$	STOP 停止模式 1 下的供应电流 ⁽²⁾	均关闭	X	X	X	0	0	0	10	275	uA
	STOP 停止模式 2 下的供应电流 ⁽²⁾	均关闭	X	X	X	1	0	0	10	265	
	STOP 停止模式 3 下的供应电流	均关闭	0	X	X	X	1	0	X	117	
	STOP 停止模式 4 下的供应电流	均关闭	1	X	X	X	1	0	X	115	
	STANDBY 待机模式下的供应电流	只开启 LSI	0	1	1	X	X	1	X	24	uA
		均关闭	0	1	1	X	X	1	X	23.8	
		均关闭	1	1	1	X	X	1	X	14.3	
		只开启 LSI	1	0	1	X	X	1	X	7.2	
		均关闭	1	0	1	X	X	1	X	7.0	
		只开启 LSI	X	0	0	X	X	1	X	3.7	
		均关闭	X	0	0	X	X	1	X	3.5	
$I_{DD_VBAT}^{(1)}$	备份区域的供应电流（移除 V_{DD} 和 V_{DDA} ，只使用 V_{BAT} 供电）	只开启 LSE	X	0	0	X	X	1	X	1.8	uA
		均关闭	X	0	0	X	X	1	X	1.5	

注：1. 以上均为实测参数。

2. 设置 FLASH_LP[11:10]=10。

表 3-8-2 数据处理代码从 SRAM 中运行，停止模式下典型的电流消耗

符号	参数	条件								典型值	单位
		HSI, HSE LSI, LSE	RAMLV	R28KSTY	R4KSTY	LD0_EC	LPDS	PDDS	LDO		
$I_{DD}^{(1)}$	STOP 停止模式 1 下的供应电流 ⁽²⁾	均关闭	X	X	X	0	0	0	01	272	uA
	STOP 停止模式 2 下的供应电流 ⁽²⁾	均关闭	X	X	X	1	0	0	01	262	

注：1. 以上均为实测参数。

2. 设置 FLASH_LP[11:10]=10。

3.3.5 外部时钟源特性

表 3-9 来自外部高速时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{HSE_ext}	外部时钟频率		3	8	25	MHz
$V_{HSEH}^{(1)}$	OSC_IN 输入引脚高电平电压		$0.8 \times V_{DD}$		V_{DD}	V
$V_{HSEL}^{(1)}$	OSC_IN 输入引脚低电平电压		0		$0.2 \times V_{DD}$	V
$C_{in(HSE)}$	OSC_IN 输入电容			5		pF
$DuCy_{HSE}$	占空比 (Duty cycle)			50		%
I_L	OSC_IN 输入漏电流				± 1	μA

注 1：不满足此条件可能会引起电平识别错误。

图 3-3 外部提供高频时钟源电路

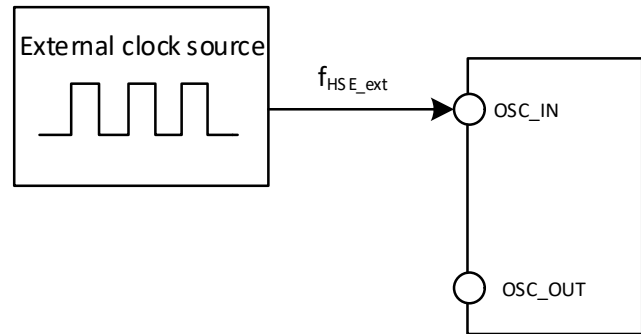


表 3-10 来自外部低速时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{LSE_ext}	用户外部时钟频率			32.768	1000	KHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压		$0.8 \times V_{DD}$		V_{DD}	V
V_{LSEL}	OSC32_IN 输入引脚低电平电压		0		$0.2 \times V_{DD}$	V
$C_{in(LSE)}$	OSC32_IN 输入电容			5		pF
$DuCy_{LSE}$	占空比 (Duty cycle)			50		%
I_L	OSC32_IN 输入漏电流				± 1	μA

图 3-4 外部提供低频时钟源电路

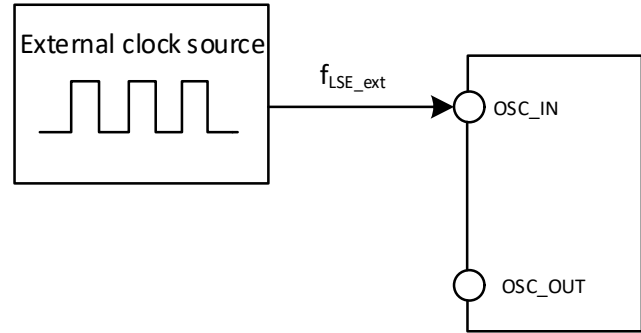


表 3-11 使用一个晶体/陶瓷谐振器产生的高速外部时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{OSC_IN}	谐振器频率		3	8	25	MHz

R_F	反馈电阻			250		$k\Omega$
C	建议的负载电容与对应晶体串行阻抗 R_S	$R_S=60\Omega^{(1)}$		20		pF
I_2	HSE 驱动电流	$V_{DD} = 3.3V$, 20p 负载		1		mA
		低功耗模式, $V_{DD} = 3.3V$, 20p 负载		0.55		mA
g_m	振荡器的跨导	启动		21		mA/V
$t_{SU(HSE)}$	启动时间 ⁽²⁾	V_{DD} 稳定		1.5	4.5	ms

注：1. 建议晶体 ESR 不超过 80 欧姆，优先选择 ESR 较小的晶体，负载电容参考晶体手册要求。
2. 启动时间指从 HSEON 开启到 HSERDY 被置位的时间差。

电路参考设计及要求：
晶体的负载电容以晶体厂商建议为准，通常情况 $C_{L1}=C_{L2}$ 。

图 3-5 外接 8M 晶体典型电路

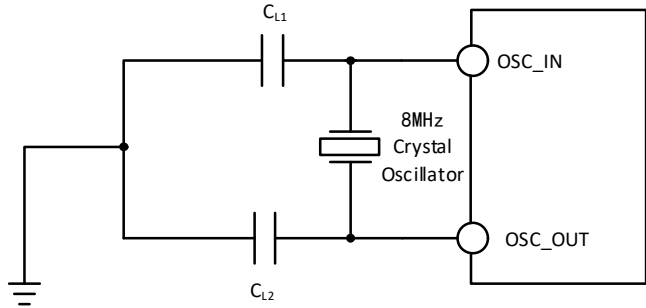


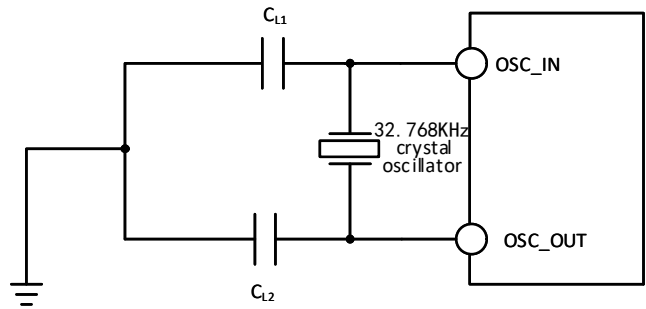
表 3-12 使用一个晶体/陶瓷谐振器产生的低速外部时钟 ($f_{LSE}=32.768KHz$)

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻			5		$M\Omega$
C_{L1}/C_{L2}	建议的负载电容与对应晶体串行阻抗 R_S	$R_S = 70K\Omega$			15	pF
i_2	LSE 驱动电流	$V_{DD} = 3.3V$		0.36		μA
g_m	振荡器的跨导	启动		26		$\mu A/V$
$t_{SU(LSE)}$	启动时间 ⁽¹⁾	V_{DD} 是稳定的		1000		ms

注：1. 启动时间指从 LSEON 开启到 LSERDY 被置位的时间差。

电路参考设计及要求：
晶体的负载电容以晶体厂商建议为准，通常情况 $C_{L1} = C_{L2}$ ，可选 12pF 左右。

图 3-6 外接 32.768K 晶体典型电路



注：负载电容 C_L 由下式计算： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 C_{stray} 是引脚的电容和 PCB 板或

PCB 相关的电容，它的典型值是介于 2pF 至 7pF 之间。

3.3.6 内部时钟源特性

表 3-13 内部高速 (HSI) RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{HSI}	频率 (校准后)			8		MHz
		低功耗模式		1		MHz
$DuCy_{HSI}$	占空比 (Duty cycle)		45	50	55	%
ACC_{HSI}	HSI 振荡器的精度 (校准后)	$T_A = 0^{\circ}\text{C} \sim 70^{\circ}\text{C}$	-0.7		0.7	%
		$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	-1		1	%
		低功耗模式	-5		5	%
$t_{SU(HSI)}$	HSI 振荡器启动稳定时间				8	μs
$I_{DD(HSI)}$	HSI 振荡器功耗			200		μA
		低功耗模式		24		μA

表 3-14 内部低速 (LSI) RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{LSI}	频率		30	40	50	KHz
$DuCy_{LSI}$	占空比 (Duty cycle)		45	50	55	%
$t_{SU(LSI)}$	LSI 振荡器启动稳定时间			400		μs
$I_{DD(LSI)}$	LSI 振荡器功耗			240		nA

3.3.7 PLL 特性

表 3-15 PLL 特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{PLL_IN}	PLL 输入时钟		3	8	25	MHz
	PLL 输入时钟占空比		40		60	%
F_{PLL_OUT}	PLL 倍频输出时钟		24		208 ⁽¹⁾	MHz
t_{LOCK}	PLL 锁定时间			80	200	μs
$I_{DD(PLL)}$	PLL 功耗	输入频率 8M, 输出频率 192M		0.2		mA

注：1. 须选择合适倍频，满足 PLL 输出频率范围。

3.3.8 从低功耗模式唤醒的时间

表 3-16 低功耗模式唤醒的时间

符号	参数	条件	典型值	单位
t_{wakeup}	从睡眠模式唤醒	使用 HSI RC 时钟唤醒	0.2	μs
t_{wustop}	从停止模式唤醒	使用 HSI RC 时钟唤醒	15	μs
$t_{WUSTDBY}$	从待机模式唤醒	使用 HSI RC 时钟唤醒	90	μs

注：以上为实测参数。

3.3.9 存储器特性

表 3-17 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
----	----	----	-----	-----	-----	----

$t_{\text{prog_page}}$	页（256 字节）编程时间		1.6	2.0	2.5	ms
$t_{\text{erase_page}}$	页（256 字节）擦除时间		5.0	6.2	7.3	ms
$t_{\text{erase_sec}}$	扇区（2K 字节）擦除时间		5.0	6.3	7.5	ms

表 3-18 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
N_{END}	擦写次数	$T_A = 25^\circ\text{C}$	300K			次
		$T_A = 85^\circ\text{C}$	100K			次
t_{RET}	数据保存期限	$T_A = 25^\circ\text{C}$	20			年
		$T_A = 85^\circ\text{C}$	10			年

3.3.10 I/O 端口特性

表 3-19 通用 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IH}	标准 I/O 引脚，输入高电平电压		$0.41 \cdot V_{*} + 0.53$		$V_{*} + 0.3$	V
		$V_{*} = 3.3\text{V}$	1.9		3.6	
	FT I/O 引脚，输入高电平电压		$0.40 \cdot V_{*} + 0.55$		5.0	V
		$V_{*} = 3.3\text{V}$	1.9		5.0	
	B00T0 引脚，输入高电平电压		$0.84 \cdot V_{*} - 0.04$		$V_{*} + 0.3$	V
		$V_{*} = 3.3\text{V}$	2.7		3.6	
V_{IL}	标准 I/O 引脚，输入低电平电压		-0.3		$0.32 \cdot V_{*} - 0.16$	V
		$V_{*} = 3.3\text{V}$	-0.3		0.9	
	FT I/O 引脚，输入低电平电压		-0.3		$0.31 \cdot V_{*} - 0.15$	V
		$V_{*} = 3.3\text{V}$	-0.3		0.9	
	B00T0 引脚，输入高电平电压		-0.3		$0.79 \cdot V_{*} - 0.60$	V
		$V_{*} = 3.3\text{V}$	-0.3		2.0	
V_{hys}	标准 I/O 施密特触发器电压迟滞			220		mV
	FT I/O 施密特触发器电压迟滞			200		mV
	B00T0 施密特触发器电压迟滞			200		mV
I_{Ikg}	标准 I/O 引脚输入漏电流				1	μA
	FT I/O 引脚输入漏电流				3	μA
	B00T0 引脚输入漏电流				1	μA
R_{PU}	上拉等效电阻		30	40	55	$\text{k}\Omega$
R_{PD}	下拉等效电阻		30	40	55	$\text{k}\Omega$
C_{IO}	I/O 引脚电容			5		pF

注：I/O 引脚由 V_{IO} 、 V_{DD} 或 V_{BAT} 供电，上表中 V_{*} 根据具体的引脚可表示为 V_{IO} 、 V_{DD} 或 V_{BAT} 。

输出驱动电流特性

GPIO (通用输入/输出端口) 可以吸收或输出 $\pm 10\text{mA}$ 电流。在用户应用中，所有 I/O 引脚驱动总电流不能超过 3.2 节给出的绝对最大额定值。

表 3-20-1 输出电压特性（不包括 PC13~PC15 引脚）

符号	参数	条件	最小值	最大值	单位
----	----	----	-----	-----	----

V_{OL}	输出低电平, 8 个引脚吸收电流	TTL 端口, $I_{IO} = +15mA$		0.4	V
V_{OH}	输出高电平, 8 个引脚输出电流	$2.7V \leq V_* \leq 3.6V$	$V_* - 0.4$		
V_{OL}	输出低电平, 8 个引脚吸收电流	CMOS 端口, $I_{IO} = +15mA$		0.4	V
V_{OH}	输出高电平, 8 个引脚输出电流	$2.7V \leq V_* \leq 3.6V$	$V_* - 0.4$		
V_{OL}	输出低电平, 8 个引脚吸收电流	$I_{IO} = +10mA$		0.4	V
V_{OH}	输出高电平, 8 个引脚输出电流	$1.8V \leq V_* \leq 3.6V$	$V_* - 0.4$		
V_{OL}	输出低电平, 8 个引脚吸收电流	$I_{IO} = +10mA$		0.4	V
V_{OH}	输出高电平, 8 个引脚输出电流	$1.8V \leq V_* \leq 3.6V$	$V_* - 0.4$		

注: 1. 以上条件中如果多个 I/O 引脚同时驱动, 电流总和不能超过 3.2 节给出的绝对最大额定值。另外多个 I/O 引脚同时驱动时, 电源/地线点上的电流很大, 会导致压降使内部 I/O 的电压达不到表中电源电压, 从而导致驱动电流小于标称值。

2. 上表中 V_* 根据具体的引脚可表示为 V_{IO} 或 V_{DD} 。

表 3-20-2 输出电压特性 (针对 PC13~PC15 引脚)

符号	参数	条件	最小值	最大值	单位
V_{OL}	输出低电平, 3 个引脚吸收电流	$I_{IO} = +5mA$ $2.7V \leq V_* \leq 3.6V$		0.4	V
V_{OH}	输出高电平, 3 个引脚输出电流	$I_{IO} = +1.5mA$ $2.7V \leq V_* \leq 3.6V$	$V_* - 0.4$		
V_{OL}	输出低电平, 3 个引脚吸收电流	$I_{IO} = +3mA$ $1.8V \leq V_* \leq 3.6V$		0.4	V
V_{OH}	输出高电平, 3 个引脚输出电流	$I_{IO} = +1mA$ $1.8V \leq V_* \leq 3.6V$	$V_* - 0.4$		

注: 上表中 V_* 根据具体的引脚可表示为 V_{DD} 或 V_{BAT0} 。

表 3-21 输出交流特性 (不包括 PC13~PC15 引脚)

MODEx[1:0] 配置	符号	参数	条件	最小值	最大值	单位
10	$F_{max(10)out}$	最大频率	$CL = 50pF, V_* = 2.7-3.6V$		16	MHz
			$CL = 50pF, V_* = 1.8-2.7V$		8	MHz
			$CL = 30pF, V_* = 2.7-3.6V$		18	MHz
			$CL = 30pF, V_* = 1.8-2.7V$		9	MHz
			$CL = 10pF, V_* = 2.7-3.6V$		20	MHz
			$CL = 10pF, V_* = 1.8-2.7V$		10	MHz
	$t_{r(10)out}/t_{f(10)out}$	输出上升时间和下降时间	$CL = 50pF, V_* = 2.7-3.6V$		14	ns
			$CL = 50pF, V_* = 1.8-2.7V$		24	ns
			$CL = 30pF, V_* = 2.7-3.6V$		12	ns
			$CL = 30pF, V_* = 1.8-2.7V$		21	ns
			$CL = 10pF, V_* = 2.7-3.6V$		10	ns
			$CL = 10pF, V_* = 1.8-2.7V$		18	ns
01	$F_{max(10)out}$	最大频率	$CL = 50pF, V_* = 2.7-3.6V$		50	MHz
			$CL = 50pF, V_* = 1.8-2.7V$		25	MHz
			$CL = 30pF, V_* = 2.7-3.6V$		65	MHz
			$CL = 30pF, V_* = 1.8-2.7V$		27	MHz

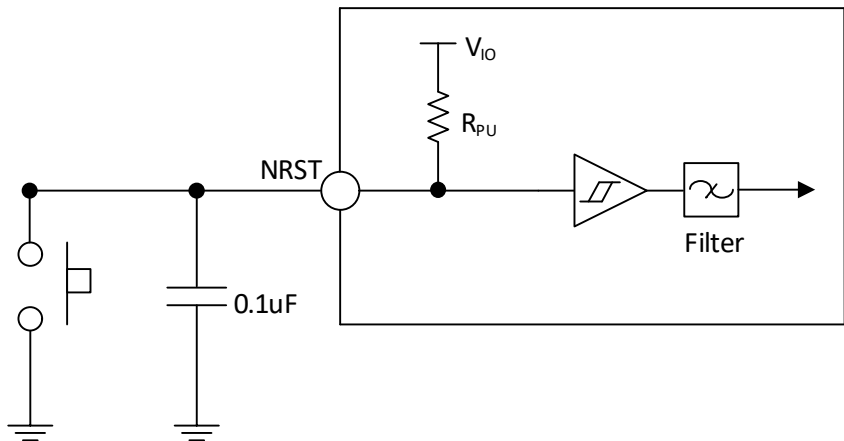
	$t_{r(10)out}/$ $t_{f(10)out}$	输出上升时间和下降时间	CL = 10pF, V* = 2.7-3.6V	85	MHz
			CL = 10pF, V* = 1.8-2.7V	30	MHz
			CL = 50pF, V* = 2.7-3.6V	5.6	ns
			CL = 50pF, V* = 1.8-2.7V	8.8	ns
			CL = 30pF, V* = 2.7-3.6V	4.3	ns
			CL = 30pF, V* = 1.8-2.7V	6.8	ns
			CL = 10pF, V* = 2.7-3.6V	3.0	ns
			CL = 10pF, V* = 1.8-2.7V	4.8	ns
11	$F_{max(10)out}$	最大频率	CL = 50pF, V* = 2.7-3.6V	60	MHz
			CL = 50pF, V* = 1.8-2.7V	38	MHz
			CL = 30pF, V* = 2.7-3.6V	100	MHz
			CL = 30pF, V* = 1.8-2.7V	50	MHz
			CL = 10pF, V* = 2.7-3.6V	140	MHz
			CL = 10pF, V* = 1.8-2.7V	70	MHz
	$t_{r(10)out}/$ $t_{f(10)out}$	输出上升时间和下降时间	CL = 50pF, V* = 2.7-3.6V	4.6	ns
			CL = 50pF, V* = 1.8-2.7V	7.4	ns
			CL = 30pF, V* = 2.7-3.6V	3.3	ns
			CL = 30pF, V* = 1.8-2.7V	4.3	ns
			CL = 10pF, V* = 2.7-3.6V	2.0	ns
			CL = 10pF, V* = 1.8-2.7V	3.3	ns

注：1. 上表中 V*根据具体的引脚可表示为 V_{I0} 或 V_{DD} 。
2. USB 接口 I/O 仅符合 $MODEx[1:0]=10b$ 项参数。
3. PC13、PC14 和 PC15 作为 GPIO 输出脚时只能工作在 2MHz 以下，最大驱动负载为 30pF。

3.3.11 NRST 引脚特性

电路参考设计及要求：

图 3-7 外部复位引脚典型电路



注：图中的电容是可选的，可以用于滤除按键抖动。

表 3-22 外部复位引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压		-0.3		$0.32 \cdot V_{I0} - 0.16$	V
$V_{IH(NRST)}$	NRST 输入高电平电压		$0.41 \cdot V_{I0} + 0.53$		$V_{I0} + 0.3$	V

$V_{hys}(NRST)$	NRST 施密特触发器电压迟滞			220		mV
$R_{PU}^{(1)}$	上拉等效电阻		30	40	50	k Ω
$V_F(NRST)$	NRST 输入可被滤波脉宽				100	ns
$V_{NF}(NRST)$	NRST 输入无法滤波脉宽		300			ns

注：1. 上拉电阻是一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMOS/NMOS 开关的电阻很小 (约占 10%)。

3.3.12 USB PD 接口特性

表 3-23-1 PD 接口 I/O 特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{Rise}	上升时间	幅度 10%到 90%之间的时间, 最小值为无负载条件下的时间	300	400		ns
t_{Fall}	下降时间	幅度 10%到 90%之间的时间, 最小值为无负载条件下的时间	300	400		ns
V_{Swing}	输出电压摆幅 (峰-峰值)		1.04	1.12	1.20	V
Z_{Driver}	输出阻抗		26		90	Ω

表 3-23-2 Type-C I/O 端口特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{CCIL}^{(1)}$	CC 引脚输入低电平电压	HVT = 0, FT I/O 输入	0		0.8	V
		HVT = 1, 高阈值检测输入	0		2.0	
$V_{CCIH}^{(1)}$	CC 引脚输入高电平电压	HVT = 0, FT I/O 输入	2.0		V_{IO}	V
		HVT = 1, 高阈值检测输入	2.45		V_{IO}	
V_{OChys}	迟滞电压	HVT = 0, FT I/O 输入	90			mV
		HVT = 1, 高阈值检测输入		120		
I_{pu}	上拉电流	PAD < $V_{IO}-0.6V$		80		μA
				180		μA
				330		μA

注：1. HVT=1 时对应的 V_{CCIL} 、 V_{CCIH} 为设计参数。

3.3.13 TIM 定时器特性

表 3-24-1 TIM1/2/3 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器基准时钟		1		$t_{TIMxCLK}$
		$f_{TIMxCLK} = 192MHz$	5.21		ns
F_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 192MHz$	0	96	MHz
R_{resTIM}	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时, 16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 192MHz$	0.0052	341	μs
t_{MAX_COUNT}	最大可能的计数			65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 192MHz$		22.4	s

表 3-24-2 TIM4 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器基准时钟		1		$t_{TIMxCLK}$
		$f_{TIMxCLK} = 192MHz$	5.21		ns
F_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 192MHz$	0	96	MHz
R_{esTIM}	定时器分辨率			32	位
$t_{COUNTER}$	当选择了内部时钟时，32 位计数器时钟周期		1	2^{32}	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 192MHz$	0.0052	$2^{32}/192$	us
t_{MAX_COUNT}	最大可能的计数			2^{32}	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 192MHz$		$2^{32} * 2^{32}/192$	us

3.3.14 I2C 接口特性

图 3-8 I2C 总线时序图

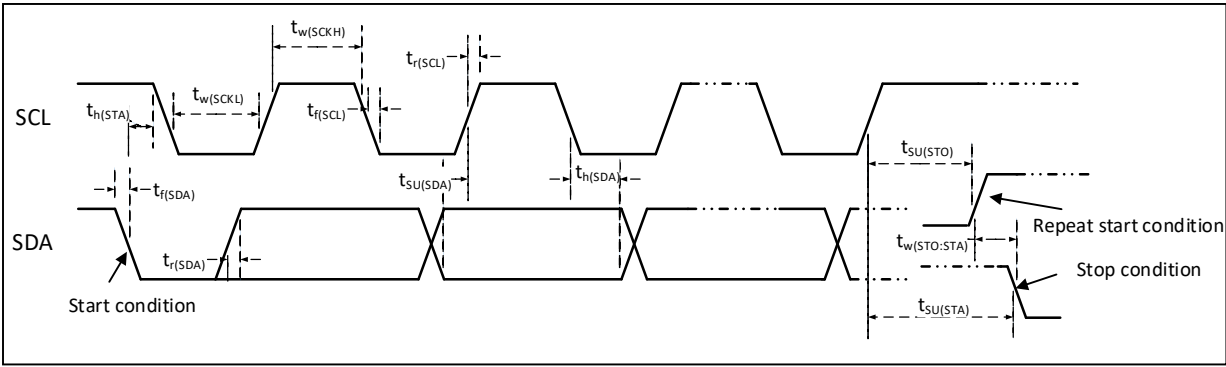


表 3-25 I2C 接口特性

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
$t_w(SCKL)$	SCL 时钟低电平时间	4.7		1.2		us
$t_w(SCKH)$	SCL 时钟高电平时间	4.0		0.6		us
$t_{SU}(SDA)$	SDA 数据建立时间	250		100		ns
$t_h(SDA)$	SDA 数据保持时间	0		0	900	ns
$t_r(SDA)/t_r(SCL)$	SDA 和 SCL 上升时间		1000	20		ns
$t_f(SDA)/t_f(SCL)$	SDA 和 SCL 下降时间		300			ns
$t_h(STA)$	开始条件保持时间	4.0		0.6		us
$t_{SU}(STA)$	重复的开始条件建立时间	4.7		0.6		us
$t_{SU}(STO)$	停止条件建立时间	4.0		0.6		us
$t_w(STO:STA)$	停止条件至开始条件的的时间(总线空闲)	4.7		1.2		us
C_b	每条总线的容性负载		400		400	pF

3.3.15 SPI 接口特性

图 3-9 SPI 主模式时序图

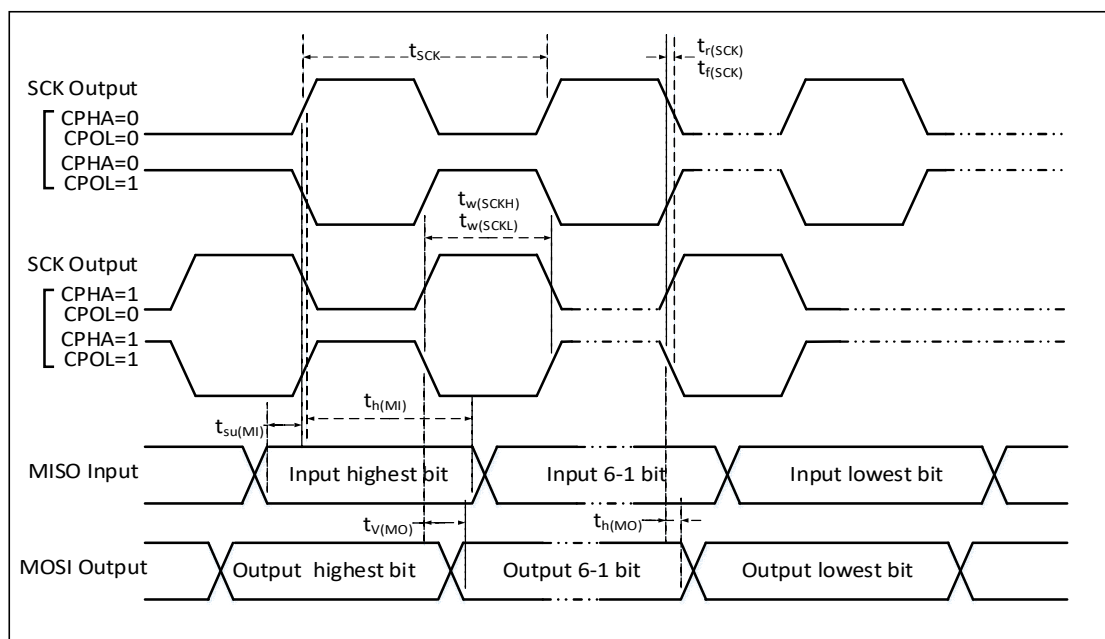


图 3-10-1 SPI 从模式时序图 (CPHA=0, CPOL=0)

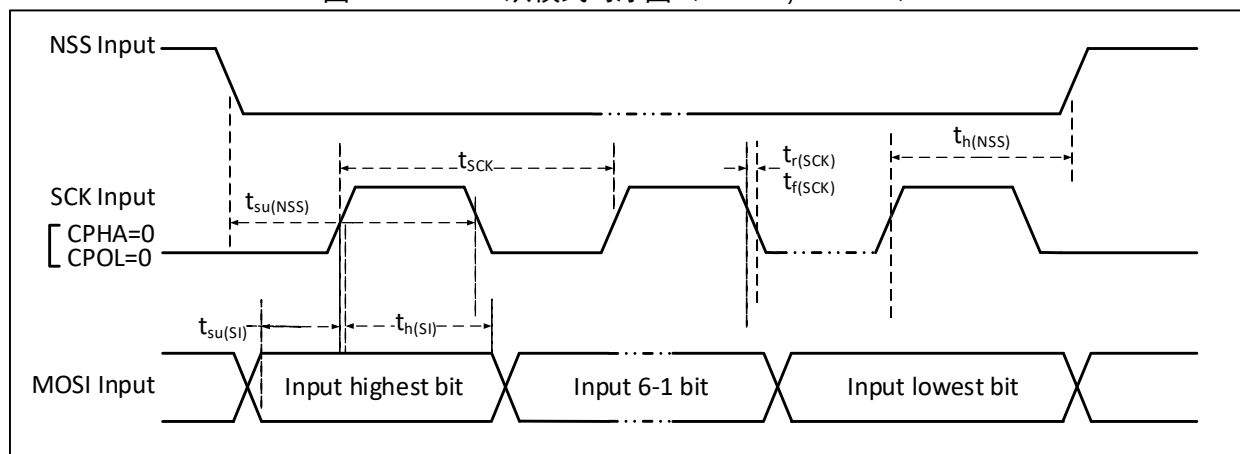


图 3-10-2 SPI 从模式时序图 (CPHA=0, CPOL=1)

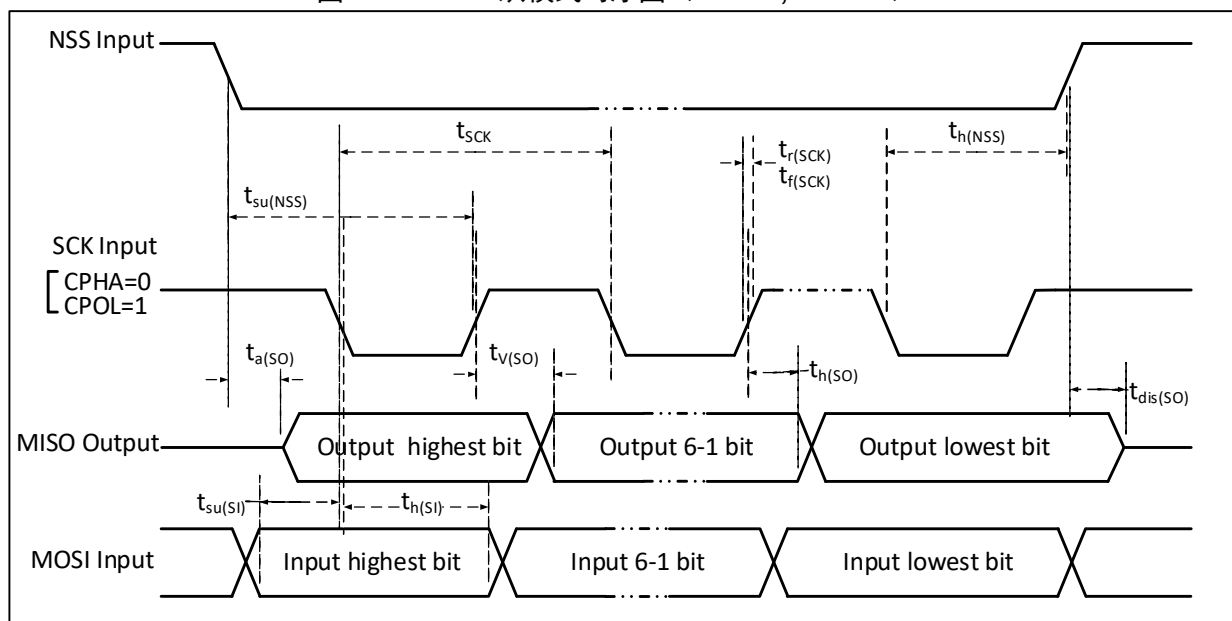


图 3-11-1 SPI 从模式时序图 (CPHA=1, CPOL=0)

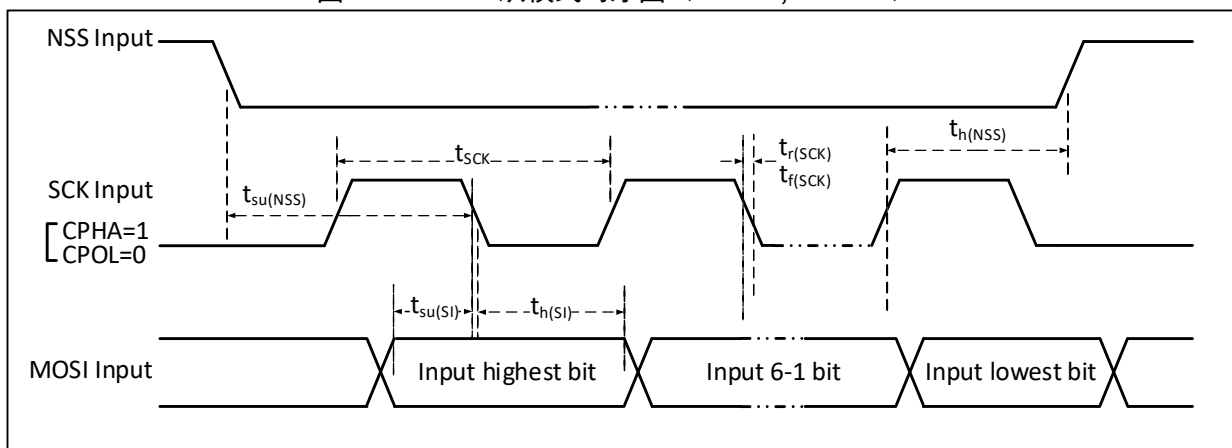


图 3-11-2 SPI 从模式时序图 (CPHA=1, CPOL=1)

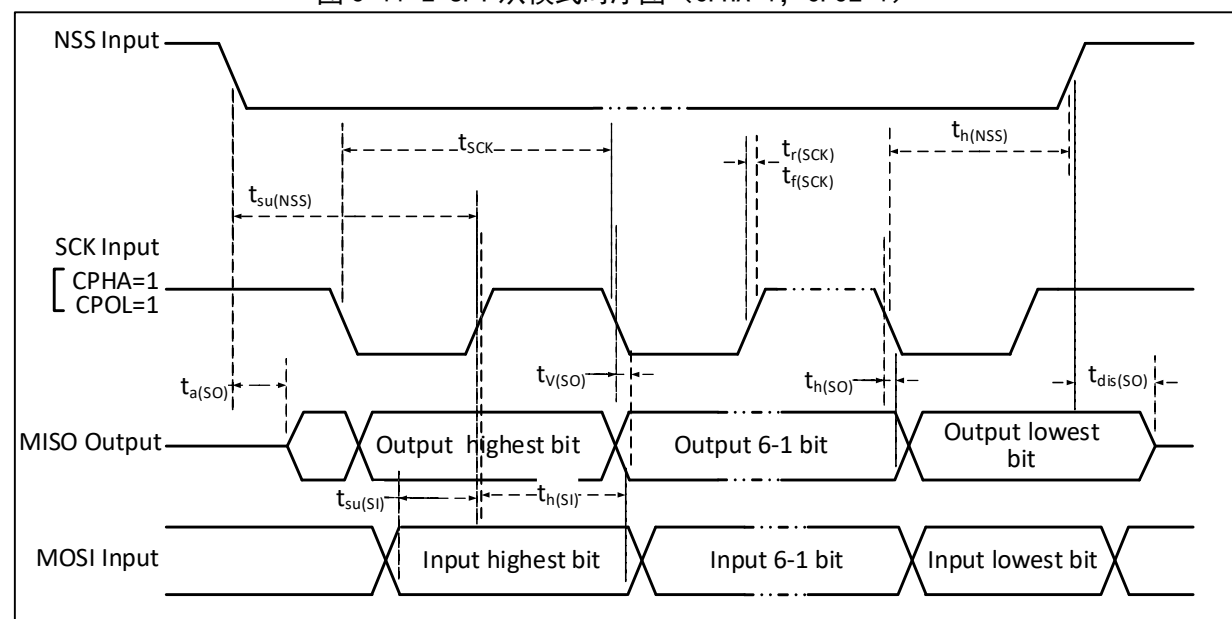


表 3-26 SPI 接口特性

符号	参数	条件	最小值	最大值	单位
$f_{\text{SCK}}/t_{\text{SCK}}$	SPI 时钟频率	主模式		96	MHz
		从模式		96	MHz
$t_{\text{r(SCK)}}/t_{\text{f(SCK)}}$	SPI 时钟上升和下降时间	负载电容: $C = 30\text{pF}$		8	ns
$t_{\text{SU(NSS)}}$	NSS 建立时间	从模式	$2 \cdot t_{\text{HCLK}}$		ns
$t_{\text{H(NSS)}}$	NSS 保持时间	从模式	$2 \cdot t_{\text{HCLK}}$		ns
$t_{\text{w(SCKH)}}/t_{\text{w(SCKL)}}$	SCK 高电平和低电平时间	主模式, $f_{\text{HCLK}} = 24\text{MHz}$, 预分频系数 = 4	70	97	ns
$t_{\text{SU(MI)}}$	数据输入建立时间	主模式	HSRXEN = 0	15	ns
		主模式	HSRXEN = 1	$15 - 0.5 \cdot t_{\text{SCK}}$	
$t_{\text{SU(SI)}}$		从模式	4		ns
$t_{\text{H(MI)}}$	数据输入保持时间	主模式	HSRXEN = 0	4	ns
		主模式	HSRXEN = 1	$0.5 \cdot t_{\text{SCK}} - 4$	
$t_{\text{H(SI)}}$		从模式	4		ns
$t_{\text{a(SO)}}$	数据输出访问时间	从模式, $f_{\text{HCLK}} = 20\text{MHz}$	0	$1 \cdot t_{\text{HCLK}}$	ns
$t_{\text{dis(SO)}}$	数据输出禁止时间	从模式	0	10	ns
$t_{\text{V(SO)}}$	数据输出有效时间	从模式 (使能边沿之后)		15	ns
$t_{\text{V(MO)}}$		主模式 (使能边沿之后)		5	ns
$t_{\text{H(SO)}}$	数据输出保持时间	从模式 (使能边沿之后)	8		ns
$t_{\text{H(MO)}}$		主模式 (使能边沿之后)	0		ns

3.3.16 USB 接口特性

表 3-27 USB I/O 接口特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD}	USB 工作电压		3.15		3.45	V
V_{SE}	单端接收器阈值	$V_{\text{DD}} = 3.3\text{V}$	1.2		1.9	V
V_{OL}	静态输出低电平				0.3	V
V_{OH}	静态输出高电平		2.8		3.6	V
V_{HSSQ}	高速压制信息检测阈值		100		150	mV
V_{HSDSC}	高速断开连接检测阈值		500		625	mV
V_{HSOI}	高速空闲电平		-10		10	mV
V_{HSOH}	高速数据高电平		360		440	mV
V_{HSOL}	高速数据低电平		-10		10	mV
$V_{\text{BC_REF}}$	BC 比较器参考电压			0.4		V
$V_{\text{BC_SRC}}$	BC 协议输出电压			0.6		V

3.3.17 12 位 ADC 特性

表 3-28 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		2.4	3.3	3.6	V
$V_{\text{REF+}}^{(2)(3)}$	正参考电压	$V_{\text{REF+}} \leq V_{\text{DDA}}$, 建议不低于 2.4V	1.8		V_{DDA}	V
I_{DDA}	V_{DDA} 供电电流			700		uA

I_{REFP}	V_{REF+} 供电电流		175		uA
f_{ADC}	ADC 时钟频率		16	96	MHz
f_s	采样速率		1	5.3	MHz
V_{AIN}	转换电压范围	0		V_{REF+}	V
R_{ADC}	采样开关电阻		0.2		k Ω
R_{AIN}	外部输入阻抗	详情参考公式 1		50	k Ω
C_{ADC}	内部采样和保持电容		10.3		pF
t_{CAL}	校准时间		36		1/ f_{ADC}
t_{lat}	注入触发转换时延			2	1/ f_{ADC}
t_{latr}	常规触发转换时延			2	1/ f_{ADC}
t_{STAB}	上电时间			1	us
t_s	采样时间	$f_{ADC} = 80\text{MHz}$	3.5	239.5	1/ f_{ADC}
		$f_{ADC} = 96\text{MHz}$	5.5	239.5	
t_{CONV}	总的转换时间 (包括采样时间)	$f_{ADC} = 80\text{MHz}$	16	252	1/ f_{ADC}
		$f_{ADC} = 96\text{MHz}$	18	252	

注：1. 以上均为设计参数。

2. 参考电压 V_{REF+} 不能高于 V_{DDA} , V_{REF+} 低于 2.4V 时 ADC 性能变差。

3. V_{REF+} 外接电容要尽可能近, 否则影响 ADC 性能。

公式 1: 最大 R_{AIN}

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln 2^{N+2}} - R_{ADC}$$

上述公式 1 用于决定最大的外部阻抗, 使得误差可以小于 1/4 LSB。其中 N=12 (表示 12 位分辨率)。

表 3-29 $f_{ADC} = 80\text{MHz}$ 时的最大 R_{AIN}

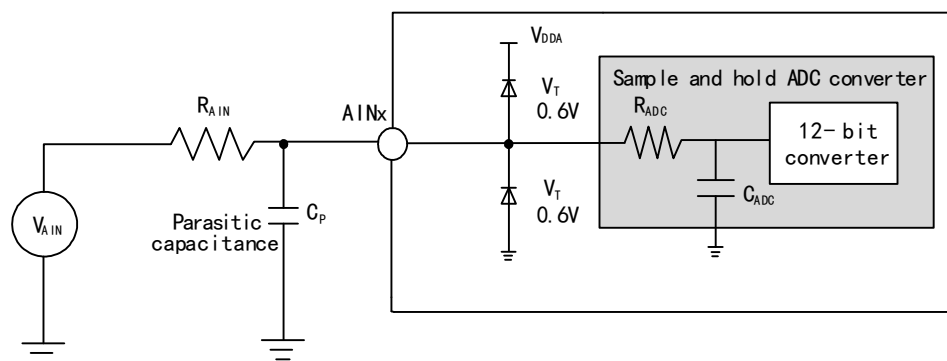
T_s (周期)	t_s (us)	最大 R_{AIN} (k Ω)
3.5	0.044	0.24
5.5	0.069	0.49
7.5	0.094	0.74
11.5	0.144	1.25
13.5	0.169	1.49
28.5	0.356	3.39
41.5	0.519	5.02
239.5	2.994	29.93

表 3-30 ADC 误差

符号	参数	条件	最小值	典型值	最大值	单位
E0	偏移误差	$f_{ADC} = 80\text{MHz}$, $R_{AIN} < 1\text{k}\Omega$, $V_{DDA} = 3.3\text{V}$		± 3	± 8	LSB
ED	微分非线性误差			± 3	± 6	
EL	积分非线性误差			± 3	± 6	
E0	偏移误差	$f_{ADC} = 96\text{MHz}$, $R_{AIN} < 0.5\text{k}\Omega$, $V_{DDA} = 3.3\text{V}$		± 6	± 11	
ED	微分非线性误差			± 3	± 8	
EL	积分非线性误差			± 6	± 10	

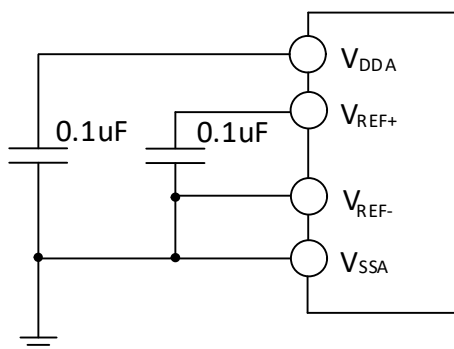
注：以上均为设计参数。

图 3-12 ADC 典型连接图



C_P 表示 PCB 与焊盘上的寄生电容（大约 5pF），可能与焊盘和 PCB 布局质量有关。较大的 C_P 数值将降低转换精度，解决办法是降低 f_{ADC} 值。

图 3-13 模拟电源及退耦电路参考



3.3.18 温度传感器特性

表 3-31 温度传感器特性

符号	参数	条件	最小值	典型值	最大值	单位
R_{TS}	温度传感器测量范围		-40		85	$^{\circ}\text{C}$
A_{TSC}	温度传感器的测量误差			± 12		$^{\circ}\text{C}$
Avg_Slope	平均斜率（负温度系数）		3.8	4.3	4.8	$\text{mV}/^{\circ}\text{C}$
V_{25}	在 25°C 时的电压		1.35	1.43	1.5	V
T_{S_temp}	当读取温度时，ADC 采样时间	$f_{ADC} = 8\text{MHz}$			20	μs

3.3.19 OPA 特性

表 3-32-1 OPA 运放特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压	建议不低于 2V	1.8	3.3	3.6	V
V_{CM}	共模输入电压		0		V_{DDA}	V
$V_{IOFFSET}$	输入失调电压（OPA1）	校准后		± 0.2		mV
	输入失调电压（OPA2）	校准后		± 0.9		mV
I_{LOAD}	驱动电流	$R_{LOAD} = 4\text{k}\Omega$			900	μA
I_{LOAD_PGA}	PGA 模式驱动电流				500	μA
$I_{DDOPAMP}$	消耗电流	无负载，静态模式		550		μA

CMRR ⁽¹⁾	共模抑制比	@1kHz		115		dB
PSRR ⁽¹⁾	电源抑制比	@1kHz		81		dB
A _v ⁽¹⁾	开环增益	C _{LOAD} = 5pF		115		dB
G _{BW} ⁽¹⁾	单位增益带宽	C _{LOAD} = 5pF		14		MHz
P _M ⁽¹⁾	相位裕度	C _{LOAD} = 5pF		75		°
S _R ⁽¹⁾	压摆率	C _{LOAD} = 5pF	10	12	14	V/us
t _{WAKUP} ⁽¹⁾	关闭到唤醒时间, 0.1%	输入 V _{DDA} /2, C _{LOAD} = 50pF, R _{LOAD} = 4kΩ		0.2		us
R _{LOAD}	阻性负载		4			kΩ
C _{LOAD}	容性负载				50	pF
V _{OHSAT} ⁽²⁾	高饱和输出电压	R _{LOAD} = 4kΩ	V _{DDA} -100	V _{DDA} -60		mV
		R _{LOAD} = 20kΩ	V _{DDA} -100	V _{DDA} -60		
V _{OLSAT} ⁽²⁾	低饱和输出电压	R _{LOAD} = 4kΩ		3	10	mV
		R _{LOAD} = 20kΩ		3	10	
PGA Gain ⁽¹⁾	内部同相 PGA	Gain = 4, V _{INP} < (V _{DDA} /3) (OPA2)	-1		1	%
		Gain = 8, V _{INP} < (V _{DDA} /7) (OPA1&OPA2)	-1		1	%
		Gain = 16, V _{INP} < (V _{DDA} /15) (OPA1&OPA2)	-1		1	%
		Gain = 32, V _{INP} < (V _{DDA} /31) (OPA1&OPA2)	-1		1	%
		Gain = 64, V _{INP} < (V _{DDA} /63) (OPA1)	-2		2	%
V _B	PGA 模式下建议的直流偏置电压	PGADIF = 1	0.2	V _{DDA} /2	V _{DDA} -0.2	V
Delta R	电阻绝对值变化		-15		15	%
e _N ⁽¹⁾	等效输入噪声; 关闭 chopper	R _{LOAD} = 4kΩ @1kHz		105		nV/ sqrt(Hz)
		R _{LOAD} = 20kΩ @1KHz		105		
	等效输入噪声; 开启 chopper@1MHz (OPA1)	R _{LOAD} = 4kΩ @1kHz		28		
		R _{LOAD} = 20kΩ @1KHz		28		

注: 1. 设计参数;

2. 负载电流会限制饱和输出电压;

3. OPA 输出电压不高于 V_{IO}。

表 3-32-2 OPA 特性 (高速模式)

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	供电电压	建议不低于 2V	1.8	3.3	3.6	V
V _{CM}	共模输入电压		0		V _{DDA}	V
V _{IOFFSET}	输入失调电压 (OPA1)			±4		mV
	输入失调电压 (OPA2)			±4		mV
I _{LOAD}	驱动电流	R _{LOAD} = 4kΩ			900	uA
I _{LOAD_PGA}	PGA 模式驱动电流				500	uA
I _{DDOPAMP}	消耗电流	无负载, 静态模式		1250		uA

CMRR ⁽¹⁾	共模抑制比	@1kHz		90		dB
PSRR ⁽¹⁾	电源抑制比	@1kHz		81		dB
A _v ⁽¹⁾	开环增益	C _{LOAD} = 5pF		105		dB
G _{BW} ⁽¹⁾	单位增益带宽	C _{LOAD} = 5pF		25		MHz
P _M ⁽¹⁾	相位裕度	C _{LOAD} = 5pF		80		°
S _R ⁽¹⁾	压摆率	C _{LOAD} = 5pF	30	45	53	V/us
t _{WAKUP} ⁽¹⁾	关闭到唤醒时间, 0.1%	输入 V _{DDA} /2, C _{LOAD} = 50pF, R _{LOAD} = 4kΩ		0.15		us
R _{LOAD}	阻性负载		4			kΩ
C _{LOAD}	容性负载				50	pF
V _{OHSAT} ⁽²⁾	高饱和输出电压	R _{LOAD} = 4kΩ	V _{DDA} -80	V _{DDA} -55		mV
		R _{LOAD} = 20kΩ	V _{DDA} -80	V _{DDA} -55		
V _{OLSAT} ⁽²⁾	低饱和输出电压	R _{LOAD} = 4kΩ		3	10	mV
		R _{LOAD} = 20kΩ		3	10	
PGA Gain ⁽¹⁾	内部同相 PGA	Gain = 4, V _{INP} < (V _{DDA} /3) (OPA2)	-1		1	%
		Gain = 8, V _{INP} < (V _{DDA} /7) (OPA1&OPA2)	-1		1	%
		Gain = 16, V _{INP} < (V _{DDA} /15) (OPA1&OPA2)	-1		1	%
		Gain = 32, V _{INP} < (V _{DDA} /31) (OPA1&OPA2)	-1		1	%
		Gain = 64, V _{INP} < (V _{DDA} /63) (OPA1)	-2		2	%
V _B	PGA模式下建议的直流偏置电压	PGADIF = 1	0.2	V _{DDA} /2	V _{DDA} -0.2	V
Delta R	电阻绝对值变化		-15		15	%
eN ⁽¹⁾	等效输入噪声;	R _{LOAD} = 4kΩ @1kHz		73		nV/ sqrt(Hz)
	关闭chopper	R _{LOAD} = 20kΩ @1KHz		73		
	等效输入噪声;	R _{LOAD} = 4kΩ @1kHz		13		
	开启 chopper@1MHz (OPA1)	R _{LOAD} = 20kΩ @1KHz		13		

注: 1. 设计参数;

2. 负载电流会限制饱和输出电压;

3. OPA 输出电压不高于 V_{IO}。

3.3.20 CMP 特性

表 3-33-1 CMP 电压比较器特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	供电电压		1.8	3.3	3.6	V
V _{CM}	共模输入电压		0		V _{DDA}	V
V _{IOFFSET} ⁽¹⁾	输入失调电压			±1.4		mV
I _{DDCMP}	消耗电流			100		uA
V _{hys} ⁽¹⁾	迟滞电压	HYS[1:0] = 00		0		mV
		HYS[1:0] = 01		±12.5		

		HYS[1:0] = 10		±25		
		HYS[1:0] = 11		±50		
$t_D^{(1)}$	比较器延时, VINP从(VINN-100mV) 到(VINN+100mV)变化	$0 \leq V_{INN} \leq V_{DDA}$		15		ns

注：1. 设计参数。

表 3-33-2 CMP 电压比较器特性（低功耗模式）

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		1.8	3.3	3.6	V
V_{CM}	共模输入电压		0		V_{DDA}	V
$V_{IOFFSET}^{(1)}$	输入失调电压			±1.5		mV
I_{DDCMP}	消耗电流			40		uA
$V_{hys}^{(1)}$	迟滞电压	COMP_HYS[1:0] = 00		0		mV
		COMP_HYS[1:0] = 01		±10		
		COMP_HYS[1:0] = 10		±20		
		COMP_HYS[1:0] = 11		±40		
$t_D^{(1)}$	比较器延时, VINP从(VINN-100mV) 到(VINN+100mV)变化	$0 \leq V_{INN} \leq V_{DDA}$		25		ns

注：1. 设计参数。

3.3.21 FSMC 特性

图 3-14 异步总线复用 PSRAM/NOR 读操作波形

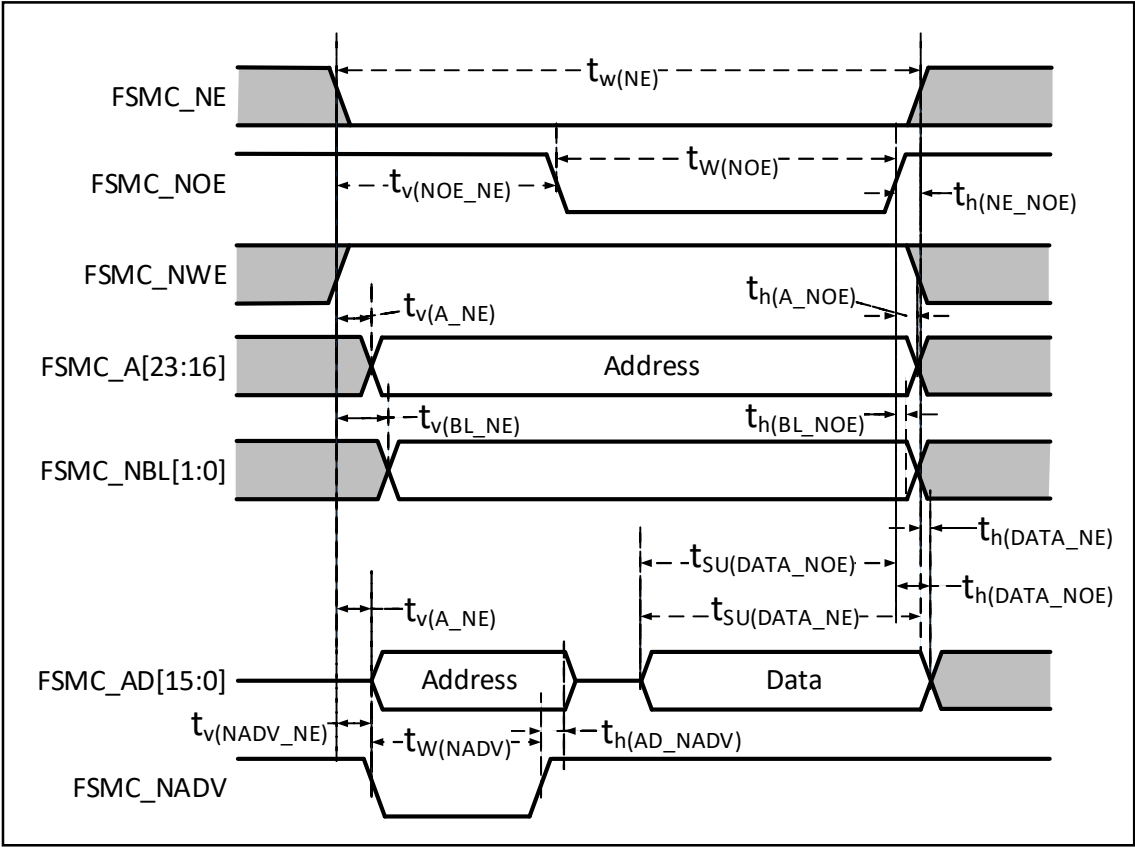


表 3-34 异步总线复用的 PSRAM/NOR 读操作时序

符号	参数	最小值	最大值	单位
$t_{W(NE)}$	FSMC_NE 低电平时间	$7 \cdot t_{HCLK}$		ns
$t_{V(NO_NE)}$	FSMC_NE 低至 FSMC_NOE 低	0		
$t_{W(NO_E)}$	FSMC_NOE 低时间	$7 \cdot t_{HCLK}$		
$t_{h(NE_NOE)}$	FSMC_NOE 高至 FSMC_NE 高保持时间	0		
$t_{V(A_NE)}$	FSMC_NE 低至 FSMC_A 有效	0	5	
$t_{V(NADV_NE)}$	FSMC_NE 低至 FSMC_NADV 低	0	5	
$t_{W(NADV)}$	FSMC_NADV 低时间	t_{HCLK}		
$t_{h(AD_NADV)}$	FSMC_NADV 高之后 FSMC_AD (地址) 有效保持时间	$2 \cdot t_{HCLK}$		
$t_{h(A_NOE)}$	FSMC_NOE 高之后的地址保持时间	0		
$t_{h(BL_NOE)}$	FSMC_NOE 高之后的 FSMC_BL 保持时间	0		
$t_{V(BL_NE)}$	FSMC_NE 低至 FSMC_BL 有效	0	5	
$t_{SU(DATA_NE)}$	数据至 FSMC_NE 高的建立时间	$3 \cdot t_{HCLK}$		
$t_{SU(DATA_NOE)}$	数据至 FSMC_NOE 高的建立时间	$3 \cdot t_{HCLK}$		
$t_{h(DATA_NE)}$	FSMC_NE 高之后的数据保持时间	0		
$t_{h(DATA_NOE)}$	FSMC_NOE 高之后的数据保持时间	0		

图 3-15 异步总线复用 PSRAM/NOR 写操作波形

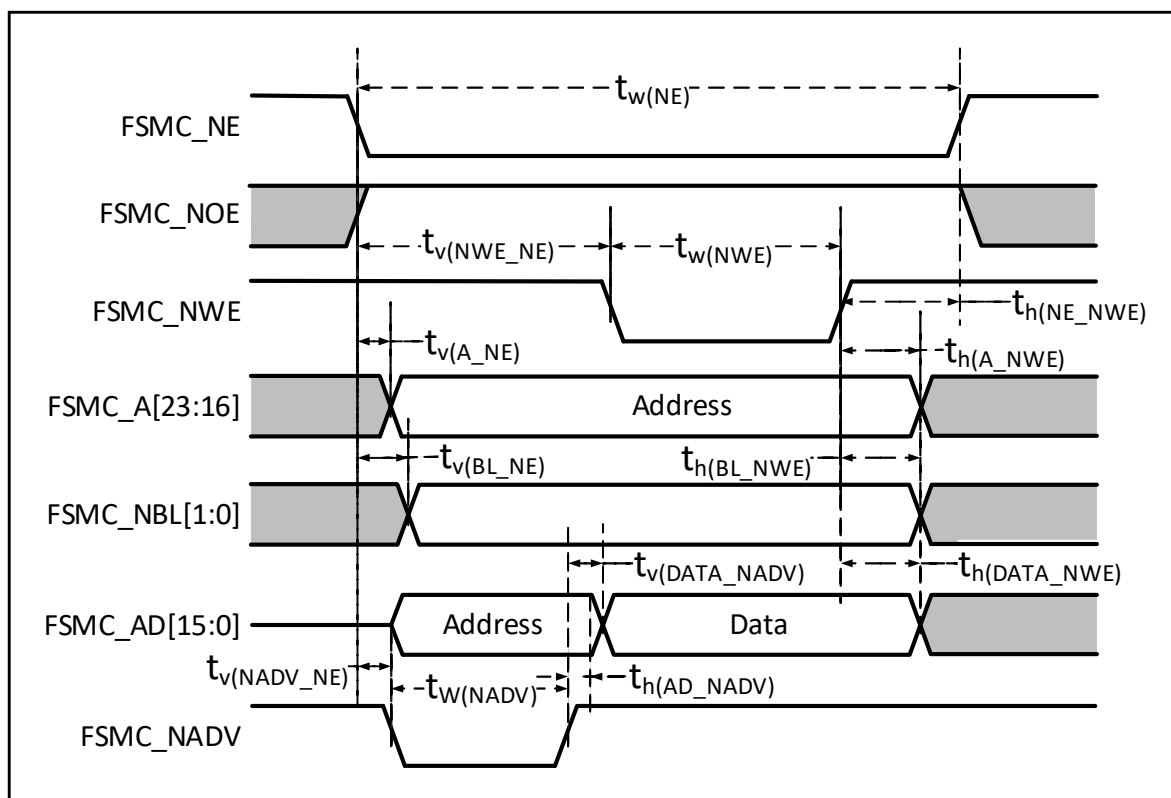


表 3-35 异步总线复用 PSRAM/NOR 写操作时序

符号	参数	最小值	最大值	单位
$t_{W(NE)}$	FSMC_NE 低电平时间	$5 \cdot t_{HCLK}$		ns
$t_{V(NEW_NE)}$	FSMC_NE 低至 FSMC_NWE 低	$3 \cdot t_{HCLK}$		
$t_{W(NWE)}$	FSMC_NWE 低时间	$2 \cdot t_{HCLK}$		

$t_{\text{h}}(\text{NE_NWE})$	FSMC_NWE 高至 FSMC_NE 高保持时间	t_{HCLK}		
$t_{\text{v}}(\text{A_NE})$	FSMC_NE 低至 FSMC_A 有效	0	5	
$t_{\text{v}}(\text{NADV_NE})$	FSMC_NE 低至 FSMC_NADV 低	0	5	
$t_{\text{w}}(\text{NADV})$	FSMC_NADV 低时间	t_{HCLK}		
$t_{\text{h}}(\text{AD_NADV})$	FSMC_NADV 高之后 FSMC_AD (地址) 有效保持时间	$2*t_{\text{HCLK}}$		
$t_{\text{h}}(\text{A_NWE})$	FSMC_NWE 高之后的地址保持时间	t_{HCLK}		
$t_{\text{v}}(\text{BL_NE})$	FSMC_NE 低至 FSMC_BL 有效	0	5	
$t_{\text{h}}(\text{BL_NWE})$	FSMC_NWE 高之后的 FSMC_BL 保持时间	t_{HCLK}		
$t_{\text{v}}(\text{DATA_NADV})$	FSMC_NADV 高至数据保持时间	$2*t_{\text{HCLK}}$		
$t_{\text{h}}(\text{DATA_NWE})$	FSMC_NWE 高之后的数据保持时间	t_{HCLK}		

图 3-16 同步总线复用 NOR/PSRAM 读波形

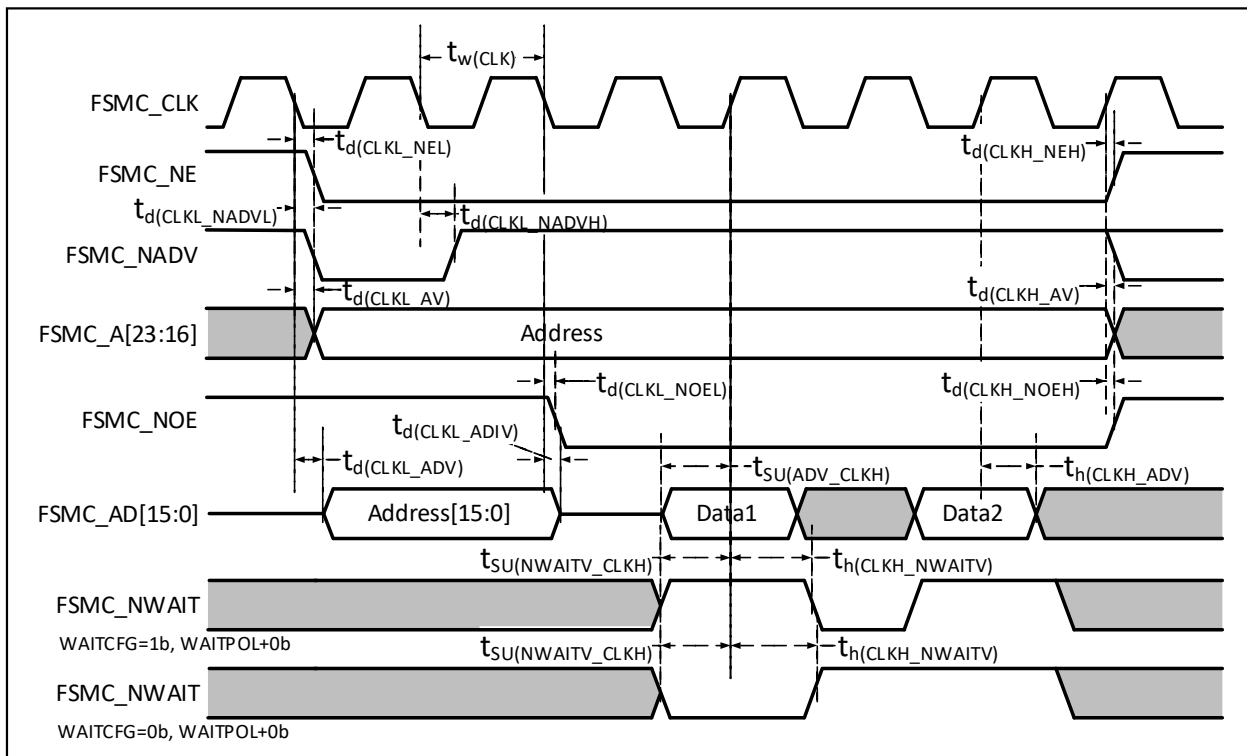


表 3-36 同步总线复用 NOR/PSRAM 读时序

符号	参数	最小值	最大值	单位
$t_{\text{w}}(\text{CLK})$	FSMC_CLK 周期	$2*t_{\text{HCLK}}$		
$t_{\text{d}}(\text{CLK_NEL})$	FSMC_CLK 低至 FSMC_NE 低	0	5	ns
$t_{\text{d}}(\text{CLK_NEH})$	FSMC_CLK 高至 FSMC_NE 高	$0.5*t_{\text{HCLK}}$	$0.5*t_{\text{HCLK}}$	
$t_{\text{d}}(\text{CLK_NADV_L})$	FSMC_CLK 低至 FSMC_NADV 低	0	5	
$t_{\text{d}}(\text{CLK_NADV_H})$	FSMC_CLK 低至 FSMC_NADV 高	0	5	
$t_{\text{d}}(\text{CLK_A_V})$	FSMC_CLK 低至 FSMC_Ax 有效 ($x = 16 \cdots 23$)	0	5	
$t_{\text{d}}(\text{CLK_A_IV})$	FSMC_CLK 高至 FSMC_Ax 无效 ($x = 16 \cdots 23$)	0	5	
$t_{\text{d}}(\text{CLK_NOEL})$	FSMC_CLK 低至 FSMC_NOE 低	$2*t_{\text{HCLK}}$		
$t_{\text{d}}(\text{CLK_H_NOEH})$	FSMC_CLK 高至 FSMC_NOE 高	t_{HCLK}		
$t_{\text{d}}(\text{CLK_ADV})$	FSMC_CLK 低至 FSMC_AD[15:0] 有效	0	5	
$t_{\text{d}}(\text{CLK_ADIV})$	FSMC_CLK 低至 FSMC_AD[15:0] 无效	0	5	

$t_{SU} (ADV_CLKH)$	FSMC_CLK高之前FSMC_AD[15:0]有效数据	8		
$t_h (CLKH_ADV)$	FSMC_CLK高之后FSMC_AD[15:0]有效数据	8		
$t_{SU} (NWAITV_CLKH)$	FSMC_CLK高之前FSMC_NWAIT有效	6		
$t_h (CLKH_NWAITV)$	FSMC_CLK高之后FSMC_NWAIT有效	2		

图 3-17 同步总线复用 PSRAM 写波形

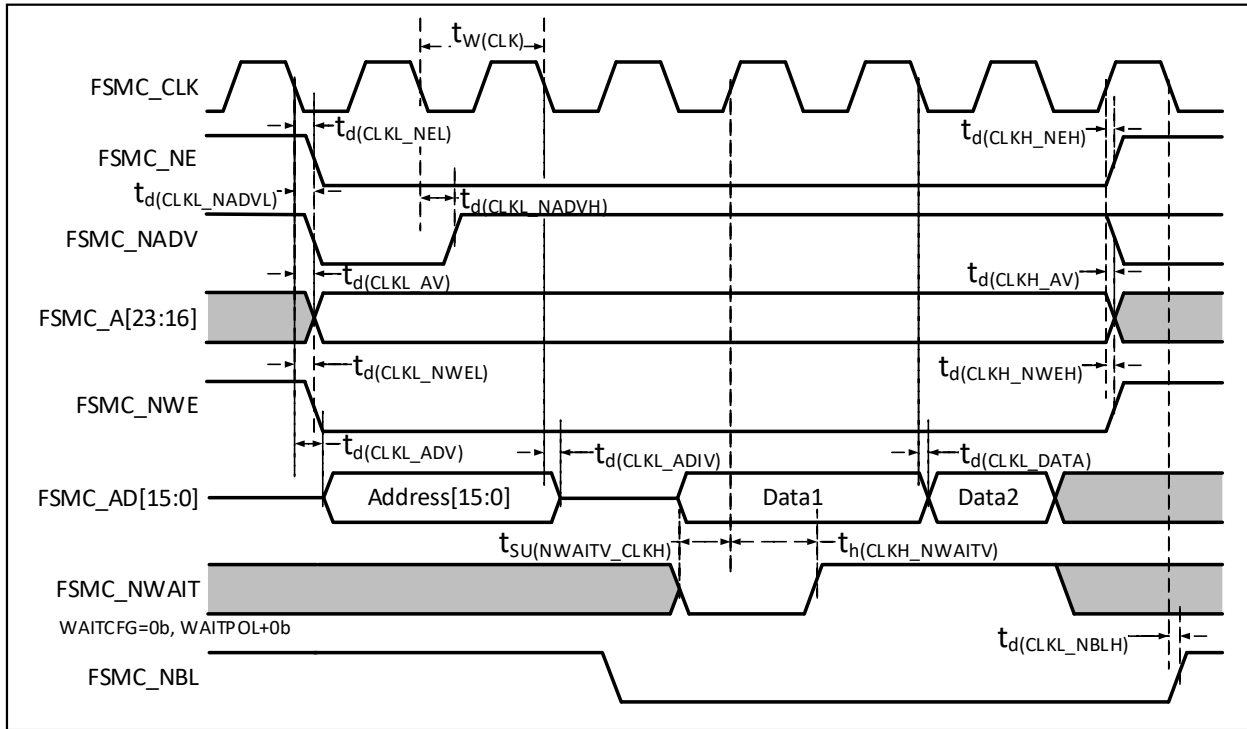


表 3-37 同步总线复用 PSRAM 写时序

符号	参数	最小值	最大值	单位
$t_W (CLK)$	FSMC_CLK 周期	$2 * t_{HCLK}$		
$t_d (CLKL_NEL)$	FSMC_CLK低至FSMC_NE低	0	5	ns
$t_d (CLKH_NEH)$	FSMC_CLK高至FSMC_NE高	$0.5 * t_{HCLK}$	$0.5 * t_{HCLK}$	
$t_d (CLKL_NADVL)$	FSMC_CLK低至FSMC_NADV低	0	5	
$t_d (CLKL_NADVH)$	FSMC_CLK低至FSMC_NADV高	0	5	
$t_d (CLKL_AV)$	FSMC_CLK低至FSMC_Ax有效 ($x = 16 \cdots 23$)	0	5	
$t_d (CLKH_AIV)$	FSMC_CLK高至FSMC_Ax无效 ($x = 16 \cdots 23$)	0	5	
$t_d (CLKL_NWE)$	FSMC_CLK低至FSMC_NWE低	0		
$t_d (CLKH_NWEH)$	FSMC_CLK高至FSMC_NWE高	0		
$t_d (CLKL_ADV)$	FSMC_CLK低至FSMC_AD[15:0]有效	0	5	
$t_d (CLKL_ADIV)$	FSMC_CLK低至FSMC_AD[15:0]无效	0	5	
$t_d (CLKL_DATA)$	FSMC_CLK低之后FSMC_AD[15:0]有效	2		
$t_{SU} (NWAITV_CLKH)$	FSMC_CLK高之前FSMC_NWAIT有效	6		
$t_h (CLKH_NWAITV)$	FSMC_CLK高之后FSMC_NWAIT有效	2		
$t_d (CLKL_NBLH)$	FSMC_CLK低至FSMC_NBL高	2		

NAND 控制器波形和时序

测试条件：NAND 操作区域，选择 16 位数据宽度，使能 ECC 计算电路，512 字节页面大小，其他时序配

置为设置寄存器 FSMC_PCR2=0x0002005E, FSMC_PMEM2=0x01020301, FSMC_PATT2=0x01020301。

图 3-18 NAND 控制器读操作波形

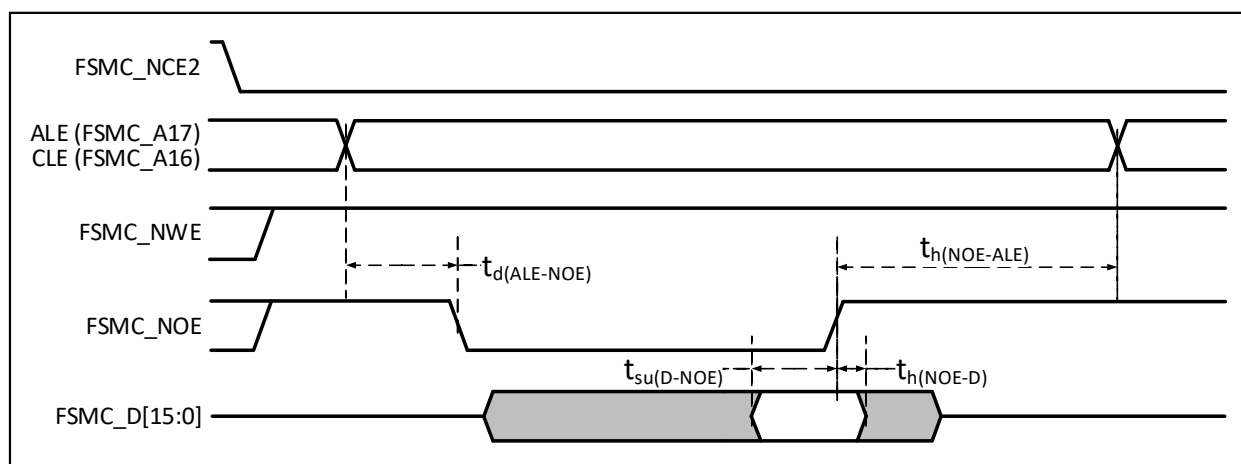


图 3-19 NAND 控制器写操作波形

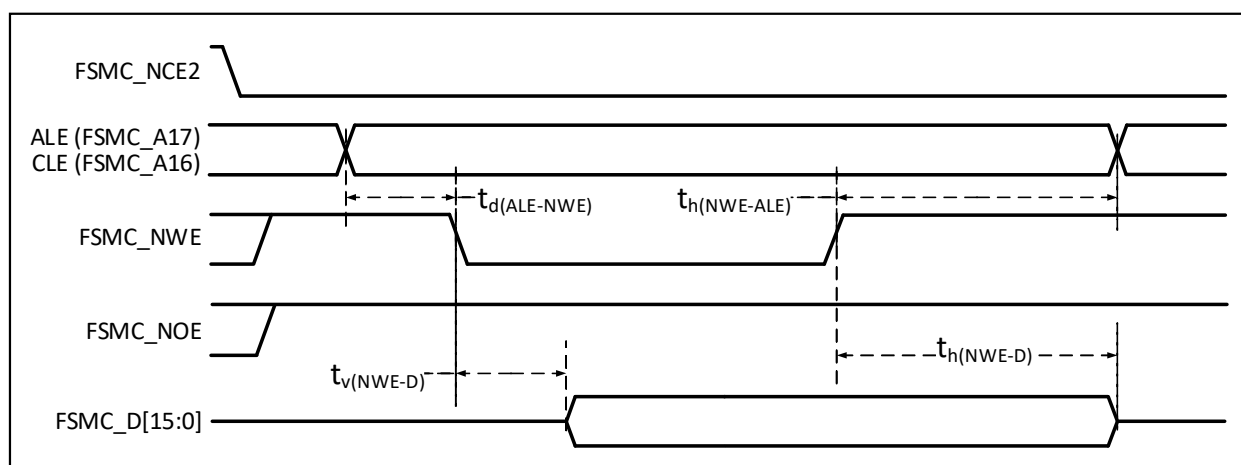


图 3-20 NAND 控制器在通用存储空间的读操作波形

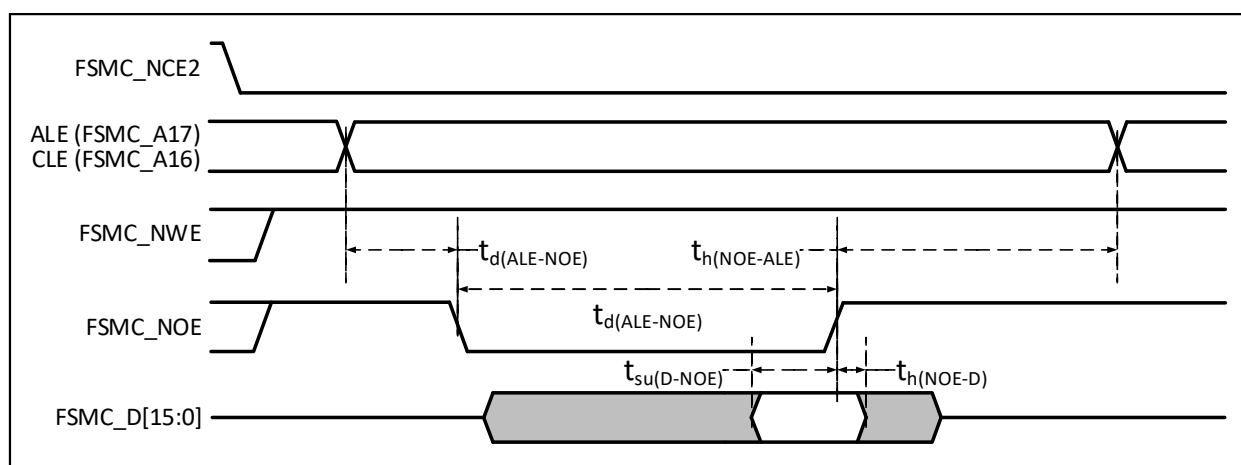


图 3-21 NAND 控制器在通用存储空间的写操作波形

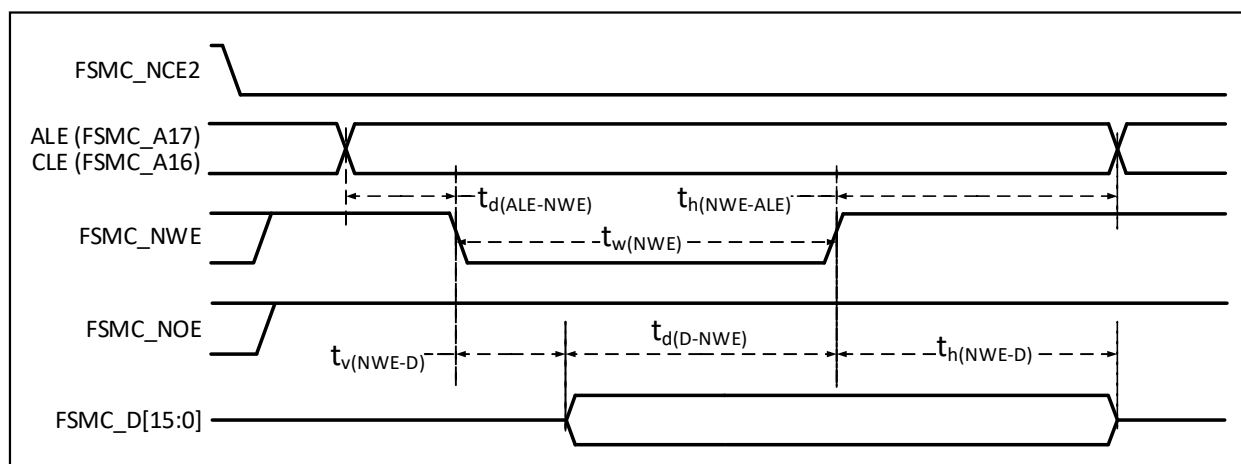


表 3-38 NAND 闪存读写周期的时序特性

符号	参数	最小值	最大值	单位
$t_d(D-NWE)$	FSMC_NWE 高之前至 FSMC_D[15:0] 数据有效	$4 \cdot t_{HCLK}$		ns
$t_w(NOE)$	FSMC_NOE 低时间	$4 \cdot t_{HCLK}$		
$t_{su}(D-NOE)$	FSMC_NOE 高之前至 FSMC_D[15:0] 数据有效	20		
$t_h(NOE-D)$	FSMC_NOE 高之后至 FSMC_D[15:0] 数据有效	15		
$t_w(NWE)$	FSMC_NWE 低时间	$4 \cdot t_{HCLK}$		
$t_v(NWE-D)$	FSMC_NWE 低至 FSMC_D[15:0] 数据有效	0		
$t_h(NWE-D)$	FSMC_NWE 高至 FSMC_D[15:0] 数据无效	$2 \cdot t_{HCLK}$		
$t_d(ALE-NWE)$	FSMC_NWE 低之前至 FSMC_ALE 有效	$2 \cdot t_{HCLK}$		
$t_h(NWE-ALE)$	FSMC_NWE 高至 FSMC_ALE 无效	$2 \cdot t_{HCLK}$		
$t_d(ALE-NOE)$	FSMC_NOE 低之前至 FSMC_ALE 有效	$2 \cdot t_{HCLK}$		
$t_h(NOE-ALE)$	FSMC_NOE 高至 FSMC_ALE 无效	$4 \cdot t_{HCLK}$		

3.3.22 QSPI 特性

表 3-39 QSPI 接口特性

符号	参数	条件	最小值	最大值	单位
f_{SCK}/t_{SCK}	QSPI 时钟频率			90	MHz
$t_r(SCK)/t_f(SCK)$	QSPI 时钟上升和下降时间	负载电容: $C = 30pF$		8	ns
$t_w(SCKH)/t_w(SCKL)$	SCK 高电平和低电平时间	$f_{HCLK} = 24MHz$, 预分频系数 = 4	70	97	ns
$t_{su}(SIO^*)$	数据输入建立时间		15		ns
$t_h(SIO^*)$	数据输入保持时间		4		ns
$t_v(SIO^*)$	数据输出有效时间			5	ns
$t_h(SIO^*)$	数据输出保持时间		0		ns

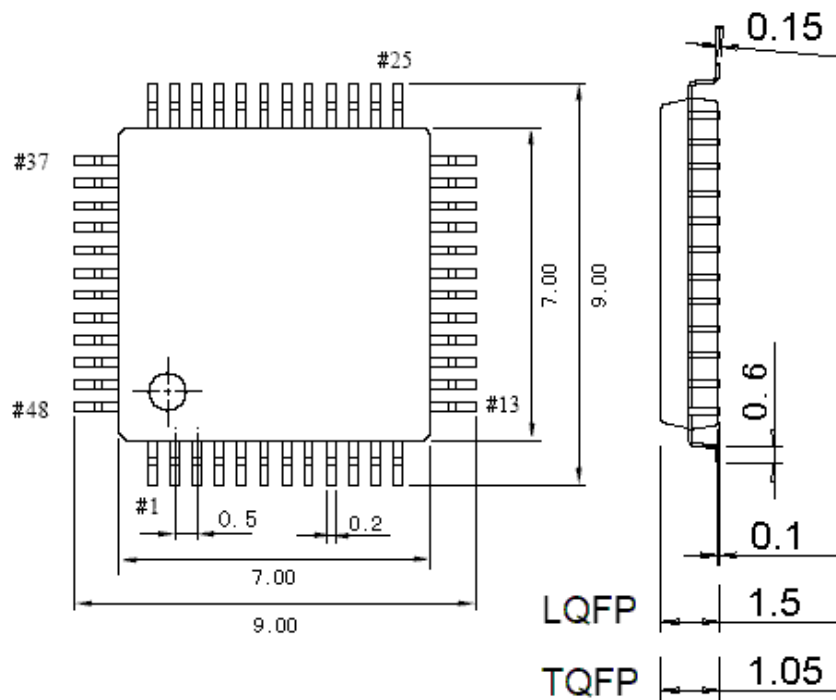
第 4 章 封装及订货信息

芯片封装

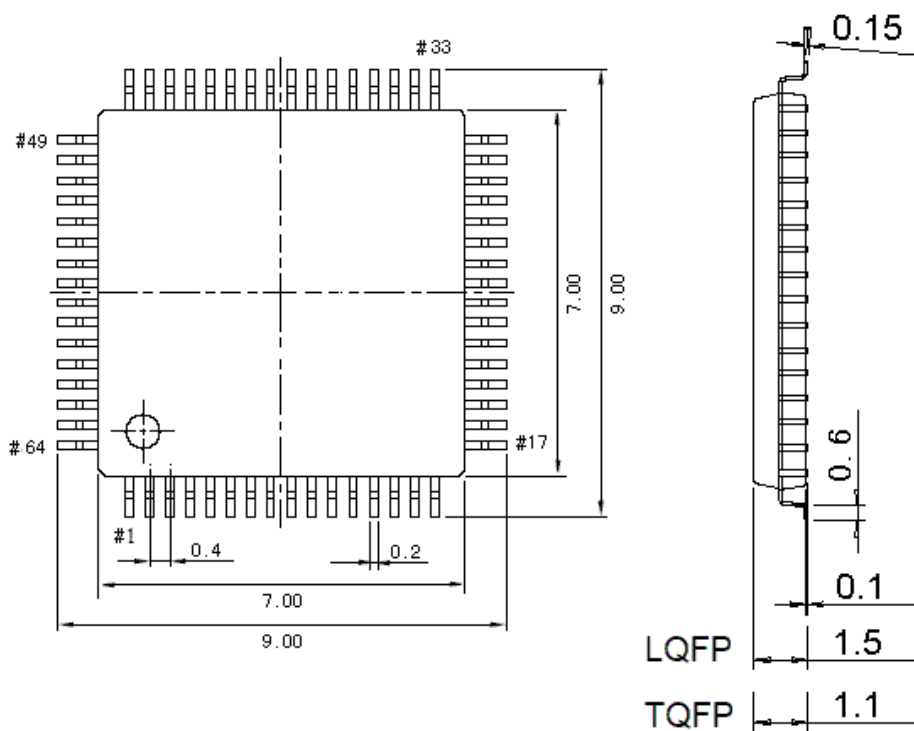
封装形式	塑体尺寸	引脚节距		封装说明	订货型号
LQFP48	7*7mm	0.5mm	19.7mil	标准 LQFP48 贴片	CH32V205CCT6
LQFP64	7*7mm	0.4mm	15.7mil	标准 LQFP64 贴片	CH32V205RCT6
LQFP100	14*14mm	0.5mm	19.7mil	标准 LQFP100 贴片	CH32V205VCT6
LQFP48	7*7mm	0.5mm	19.7mil	标准 LQFP48 贴片	CH32V203CCT6

说明：尺寸标注的单位是 mm（毫米），引脚中心间距总是标称值，没有误差，除此之外的尺寸误差不大于 $\pm 0.2\text{mm}$ 或者 $\pm 10\%$ 两者中的较大值。

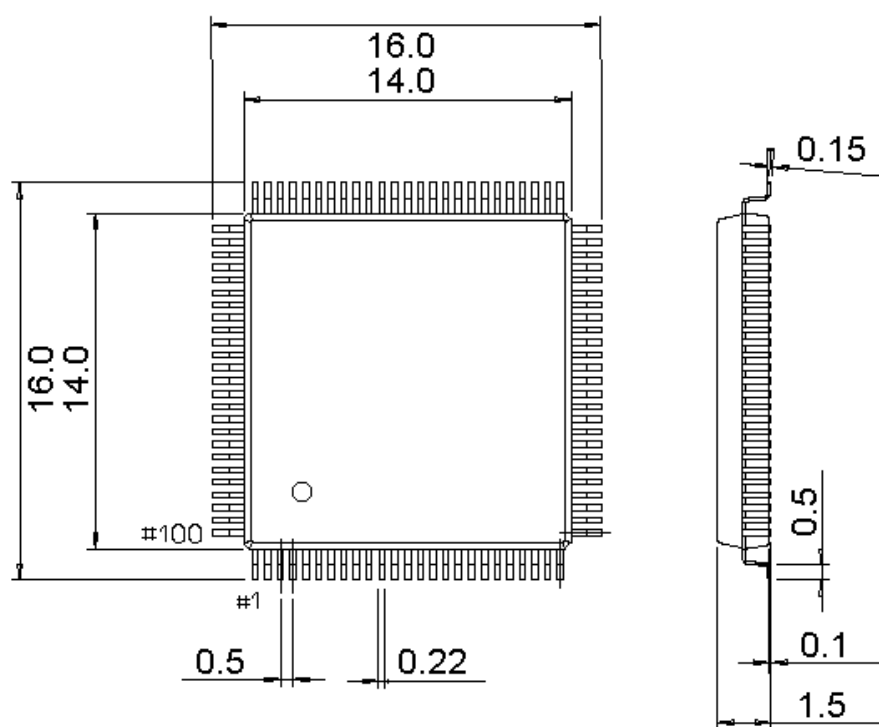
4.1 LQFP48 封装



4.2 LQFP64 封装



4.3 LQFP100 封装



系列产品命名规则

举例： CH32 V 303 R 8 T 6
 产品系列

F = Arm 内核，通用 MCU

V = 青稞 RISC-V 内核，通用 MCU

L = 青稞 RISC-V 内核，低功耗 MCU

X = 青稞 RISC-V 内核，专用或特殊外设 MCU

M = 青稞 RISC-V 内核，内置预驱的电机 MCU

H = 青稞 RISC-V 内核，高性能 MCU

产品类型 (*) + 产品子系列 (**)

产品类型	产品子系列
0 = 超值版，主频≤48M	02 = 16K 闪存超值通用型 03 = 16K 闪存基础通用型，OPA 06 = 64K 闪存多能通用型，OPA、双串口、TKey 07 = 基础电机应用型，OPA+CMP
1 = 基本版，主频≤100M 2 = 增强版，主频≤200M 3 = 硬件浮点，中大容量<480KB	03 = 连接型，USB 05 = 连接型，USB HS、CAN 07 = 互联型，USB HS、CAN、以太网、SDIO、FSMC 08 = 无线型，BLE5.x、CAN、USB、以太网 17 = 互联型，USB HS、CAN、以太网（内置 PHY）、SDIO
4 = 硬件浮点，大容量≥480KB	17 = 互联型，USB SS、SerDes、HSADC、UHSIF、SDIO、DVP、以太网（内置 PHY）

引脚数目

J = 8 脚 D = 12 脚 A = 16 脚 F = 20 脚 E = 24 脚
 G = 28 脚 K = 32 脚 T = 36 脚 C = 48 脚 R = 60&64 脚
 W = 68 脚 M = 88 脚 V = 100 脚 Q = 128 脚 Z = 144 脚

闪存存储容量

4 = 16K 闪存存储器 6 = 32K 闪存存储器 7 = 48K 闪存存储器 8 = 64K 闪存存储器
 B = 128K 闪存存储器 C = 256K 闪存存储器 D = 480K 闪存存储器 E = 512K 闪存存储器

封装

T = LQFP U = QFN R = QSOP P = TSSOP M = SOP

温度范围

6 = -40℃~85℃（工业级） 7 = -40℃~105℃（汽车 2 级或扩展工业级）
 3 = -40℃~125℃（汽车 1 级） D = -40℃~150℃（汽车 0 级）