CH32F205_207_203(大容量)数据手册

V2.5

概述

CH32F205_207_203(大容量)系列是基于32位Arm® Cortex®-M3内核设计的工业级通用微控制器。系列产品主频高达144MHz，独立了GPIO电压（与系统供电分离）。资源同比增加了随机数单元、4组运放比较器、触摸检测，提高串口USART/UART数量到8组，电机定时器到4组。专用接口里：USB2.0高速接口（480Mbps）内置了PHY收发器，以太网MAC达到千兆，并集成了10M-PHY模块等。搭配时钟安全、电源管理、双组DMA、ADC、DAC、SPI、I2C、DVP、SDIO、CAN、FSMC等资源，可适用于多采集、多通讯方向的综合类应用场景。

产品特性

- **内核Core：**
  - 32位Arm® Cortex®-M3内核
  - 单周期乘法和硬件除法
  - 中断技术、Fault处理机制
  - 系统主频144MHz
- **存储器：**
  - 可配最大128KB易失数据存储区SRAM
  - 可配480KB 程序存储区CodeFlash（零等待应用区+非零等待数据区）
  - 28KB系统引导程序存储区BootLoader
  - 128B系统非易失配置信息存储区
  - 128B用户自定义信息存储区
- **电源管理和低功耗：**
  - 系统供电V_{DD}额定：3.3V
  - GPIO单元独立供电V_{IO}额定：3.3V
  - 低功耗模式：睡眠、停止、待机
  - V_{BAT}电源独立为RTC和后备寄存器供电
- **系统时钟、复位**
  - 内嵌出厂调校的8MHz的RC振荡器
  - 内嵌40KHz的RC振荡器
  - 内嵌PLL，可选CPU时钟达144MHz
  - 外部支持3～25MHz高速振荡器
  - 外部支持32.768KHz低速振荡器
  - 上/下电复位、可编程电压监测器
- **实时时钟RTC：32位独立定时器**
- **2组18路通用DMA控制器**
  - 18个通道，支持环形缓冲区管理
  - 支持TIMx/ADC/DAC/USART/I2C/SPI/I2S/SDIO
- **4组运放、比较器：连接ADC和TIMx**
- **2组12位数模转换DAC**
- **2组12位模数转换ADC**
  - 模拟输入范围：V_{SSA}～V_{DDA}
  - 16路外部信号+2路内部信号通道
  - 片上温度传感器
  - 双ADC转换模式
- **16路TouchKey通道检测**
- **多组定时器**
  - 4个16位高级定时器，增加死区控制和紧急刹车，提供用于电机控制的PWM互补输出
  - 4个16位通用定时器，提供输入捕获/输出比较/PWM/脉冲计数及增量编码器输入
  - 2个基本定时器
  - 2个看门狗定时器（独立和窗口型）
  - 系统时基定时器：24位自减型计数器
- **多种通讯接口：**
  - 8个USART接口（包含5个UART）
  - 2个I2C接口（支持SMBus/PMBus）
  - 3个SPI接口（SPI2,SPI3用于I2S2,I2S3）
  - USB2.0 全速设备接口（全速和低速）
  - USB2.0 全速主机/设备接口
  - USB2.0 全速OTG接口
  - USB2.0 高速主机/设备接口（内置PHY）
  - 2组CAN接口（2.0B主动）
  - SDIO主机接口（MMC、SD/SDIO卡及CE-ATA）
  - FSMC存储器接口
  - 数字图像接口DVP
  - 千兆以太网控制器MAC，10M PHY收发器
- **快速GPIO端口**
  - 80个I/O口，映像16个外部中断
- **安全特性：CRC计算单元，96位芯片唯一ID**
- **调试模式：串行2线调试（SWD）接口**
- **封装形式：**LQFP48、LQFP64M和LQFP100

第 1 章 系列产品说明

CH32F 系列产品是基于高性能的 Arm® Cortex®-M3 32 位 RISC 内核设计的工业级通用增强型 MCU。其中按照功能资源划分为通用、连接、无线等类别。它们之间以封装类别、外设资源及数量、引脚数目、器件特性高低上的差异相互延伸，但在软件和功能、硬件引脚配置上保持相互兼容，为用户在产品开发中进行产品迭代及快速应用提供了自由和方便。

有关此系列产品的器件特性请参考数据手册。

有关产品各外设功能描述、使用方法及寄存器配置等详细信息请参考《CH32FV2x_V3xRM》。

数据手册和参考手册均可在沁恒官网下载：https://wch.cn

有关 Cortex®-M3 核心的相关信息，请参考《Cortex-M3 技术参考手册》，可在 Arm 公司网站下载。

本手册为 CH32F205_207_203(大容量)系列产品数据手册。F203 系列请参考《CH32F203DS0》，F208 系列请参考《CH32F208DS0》。

表 1-1 系列产品概览

中小容量通用型(F203)		大容量通用型(F203)		连接型(F205)	互联型(F207)	无线型(F208)
32K 闪存	64K 闪存	128K 闪存	256K 闪存	128K 闪存	256K 闪存	128K 闪存
10K SRAM	20K SRAM	32K SRAM	64K SRAM	32K SRAM	64K SRAM	64K SRAM
2*ADC(TKey) ADTM 2*GPTM 2*USART SPI I2C USBD USBFS CAN RTC 2*WDG 2*OPA	2*ADC(TKey) ADTM 3*GPTM 4*USART 2*SPI 2*I2C USBD USBFS CAN RTC 2*WDG 2*OPA	2*ADC(TKey) 2*DAC ADTM 3*GPTM 3*USART 2*SPI 2*I2C USBD CAN RTC 2*WDG 4*OPA	2*ADC(TKey) 2*DAC 4*ADTM 4*GPTM 2*BCTM 8*USART/UART 3*SPI(2*I2S) 2*I2C USBD CAN RTC 2*WDG 4*OPA RNG SDIO FSMC	2*ADC(TKey) 2*DAC 4*ADTM 4*GPTM 2*BCTM 5*USART/UART 3*SPI(2*I2S) 2*I2C OTG_FS USBHS(+PHY) 2*CAN RTC 2*WDG 4*OPA RNG SDIO	2*ADC(TKey) 2*DAC 4*ADTM 4*GPTM 2*BCTM 8*USART/UART 3*SPI(2*I2S) 2*I2C OTG_FS USBHS(+PHY) 2*CAN RTC 2*WDG 4*OPA RNG SDIO FSMC DVP ETH-1000MAC 10M-PHY	ADC(TKey) ADTM 3*GPTM GPTM(32) 4*USART/UART 2*SPI 2*I2C USBD USBFS CAN RTC 2*WDG 2*OPA ETH-10M(+PHY) BLE5.3

注：同一类产品的某些外设数量或功能可能受封装限制，选择时请确认产品封装。

缩写

ADTM：高级定时器
GPTM：通用定时器
GPTM(32)：32 位通用定时器
BCTM：基本定时器
TKey：触摸按键
OPA：运放、比较器
RNG：随机数发生器
USBD：全速设备控制器
USBFS：全速主机/设备控制器
USBHS：高速主机/设备控制器

第 2 章 规格信息

CH32F205_207_203(大容量)系列产品使用高性能的 Arm®Cortex™-M3 32 位的 RISC 内核，最高工作频率 144MHz，内置高速存储器，系统结构中多条总线同步工作，提供了丰富的外设功能和增强型 I/O 端口。本系列产品内置 2 个 12 位 ADC 模块、2 个 12 位 DAC 模块、多组定时器、多通道触摸按键电容检测（TKey）等功能，还包含了标准和专用通讯接口：I2C、I2S、SPI、USART、SDIO、CAN 控制器、USB2.0 高速主机/设备控制器(内置 PHY)、数字图像接口、千兆以太网控制器等。

产品工作额定电压为 3.3V，工作温度范围为-40℃～85℃工业级。支持多种省电工作模式来满足产品低功耗应用要求。系列产品中各型号在资源分配、外设数量、外设功能等方面有所差异，按需选择。

2.1 型号对比

表 2-1 CH32F205/7/3 连接/互联/大容量通用型产品资源分配

资源差异 \ 产品型号			CH32F205 RBT6	CH32F207 VCT6	CH32F203 CB	CH32F203 RB	CH32F203 RC	CH32F203 VC
芯片引脚数			64	100	48	64	64	100
闪存（字节）(1)			128K	256K(2)	128K	128K	256K(2)	256K(2)
SRAM（字节）			32K	64K(2)	32K	32K	64K(2)	64K(2)
GPIO 端口数			51	80	37	51	51	80
GPIO 供电			独立供电 V_{IO}		与 V_{DD} 共用	独立供电 V_{IO}		
定时器	高级（16 位）		4	4	1	1	4	4
	通用（16 位）		4	4	3	3	4	4
	基本（16 位）		2	2	-	-	2	2
	看门狗		2 （ WWDG + IWDG ）					
	系统时基（24 位）		支持					
RTC			支持					
ADC/TKey（通道数@单元）			16@2	16@2	10@2	16@2	16@2	16@2
DAC（单元）			2	2	2	2	2	2
运放、比较器			4	4	4	4	4	4
随机数发生器			1	1	-	1	1	1
通信接口	USART/UART		5	8	3	3	8	8
	SPI		3	3	2	2	3	3
	I2S		2	2	-		2	2
	I2C		2	2	2	2	2	2
	CAN		2	2	1	1	1	1
	SDIO		1	1	-		1	1
	DVP		-	1	-		-	
	USB(FS)	USBD	-		1			
		USBHD	1		-			
	USB(HS+PHY)		1		-			
	Ethernet		-	1G MAC+10M PHY	-			
	FSMC		-	1	-			1
CPU 主频			Max：144MHz					
额定电压			3.3V					

产品型号 / 资源差异	CH32F205 RBT6	CH32F207 VCT6	CH32F203 CB	CH32F203 RB	CH32F203 RC	CH32F203 VC
工作温度	工业级：-40℃～85℃					
封装形式	LQFP64M	LQFP100	LQFP48	LQFP64M		LQFP100

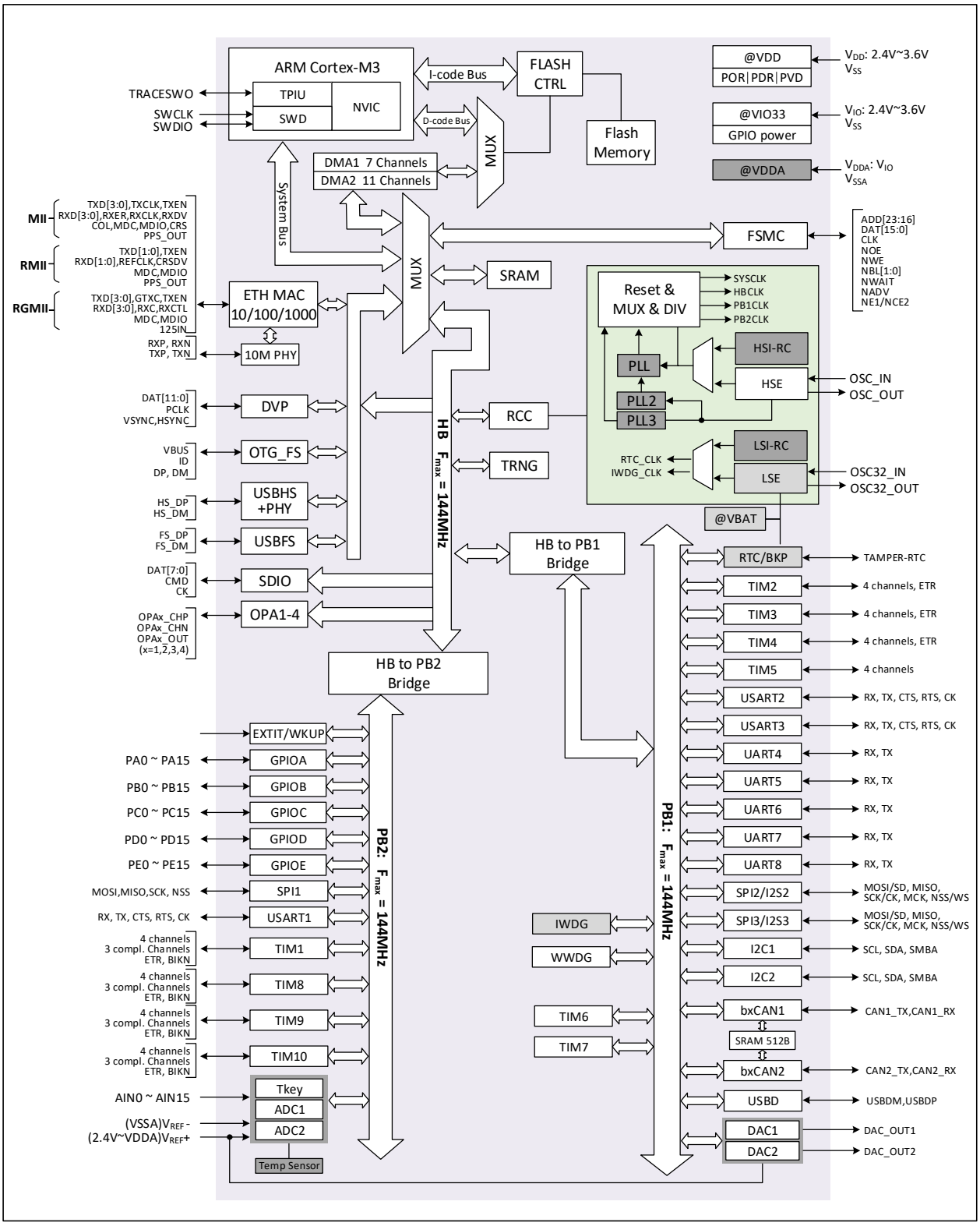
注：1.FLASH 闪存表示的是零等待运行区域 ROWAIT，256K FLASH+64K SRAM 的产品支持（480K-ROWAIT）字节的非零等待区域。

2.上表中 256K FLASH+64K SRAM 的产品支持用户选择字配置为（192K FLASH+128K SRAM）、（224K FLASH+96K SRAM）、（256K FLASH+64K SRAM）、（288K FLASH+32K SRAM）几种组合中的一种。

2.2 系统架构

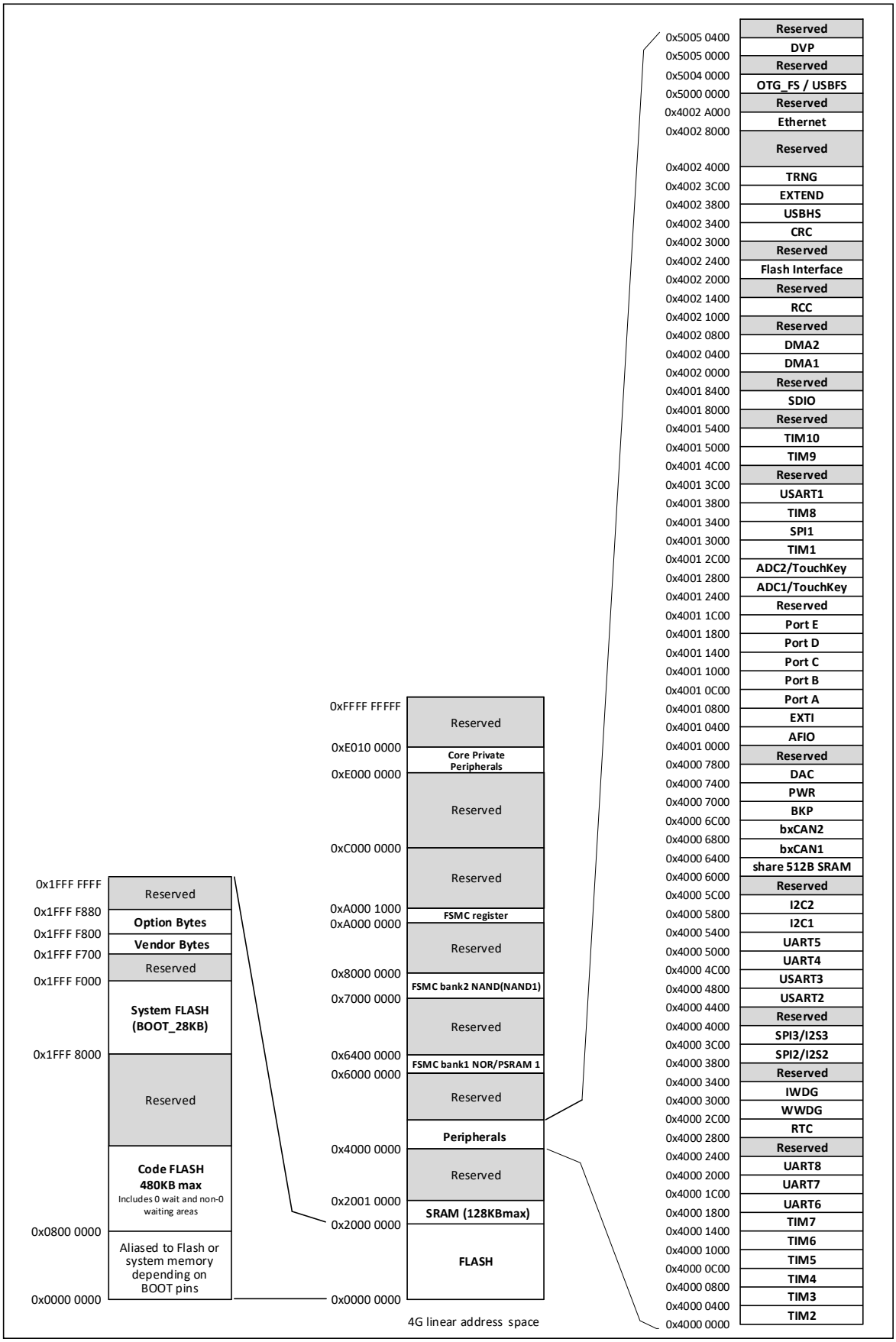
微控制器以 Arm® Cortex®-M3 为设计内核，其架构中将内核、仲裁单元、DMA 模块、SRAM 存储等部分通过多组总线实现交互。设计中集成通用 DMA 控制器以减轻 CPU 负担、提高访问效率，应用多级时钟管理机制降低了外设的运行功耗，同时兼有数据保护机制，时钟自动切换保护等措施增加了系统稳定性。下图是系列产品内部总体架构框图。

图 2-1 系统框图



2.3 存储器映射表

图 2-2 存储器地址映射



2.4 时钟树

系统中引入 4 组时钟源：内部高频 RC 振荡器（HSI）、内部低频 RC 振荡器(LSI)、外接高频振荡器(HSE)、外接低频振荡器(LSE)。其中，低频时钟源为 RTC 和独立看门狗提供了时钟基准。高频时钟源直接或者间接通过 PLL 倍频后输出为系统总线时钟（SYSCLK），系统时钟再由各预分频器提供了 HB 域、PB1 域、PB2 域外设控制时钟及采样或接口输出时钟，部分模块工作需要由 PLL 时钟直接提供。

图 2-3 CH32F205/207 时钟树框图

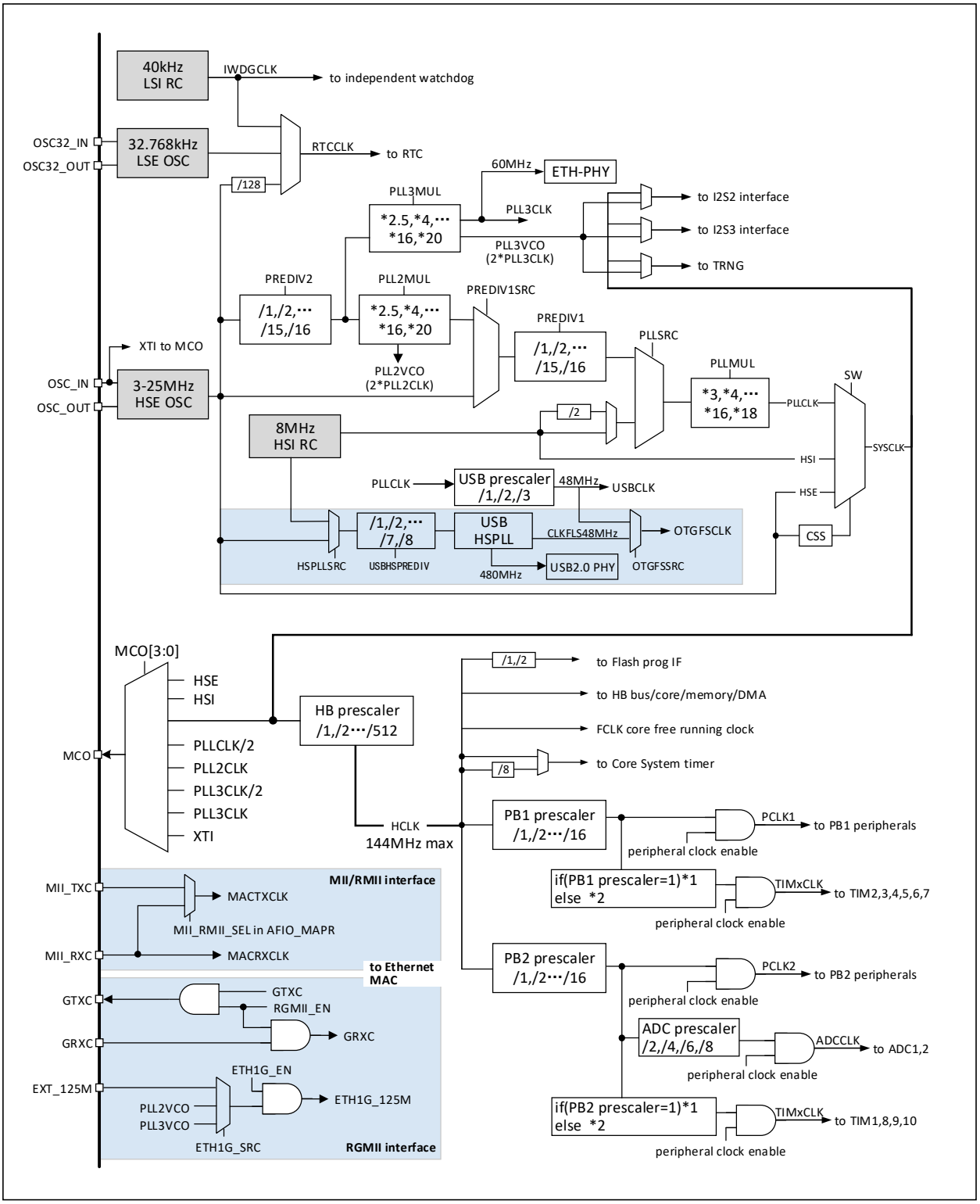
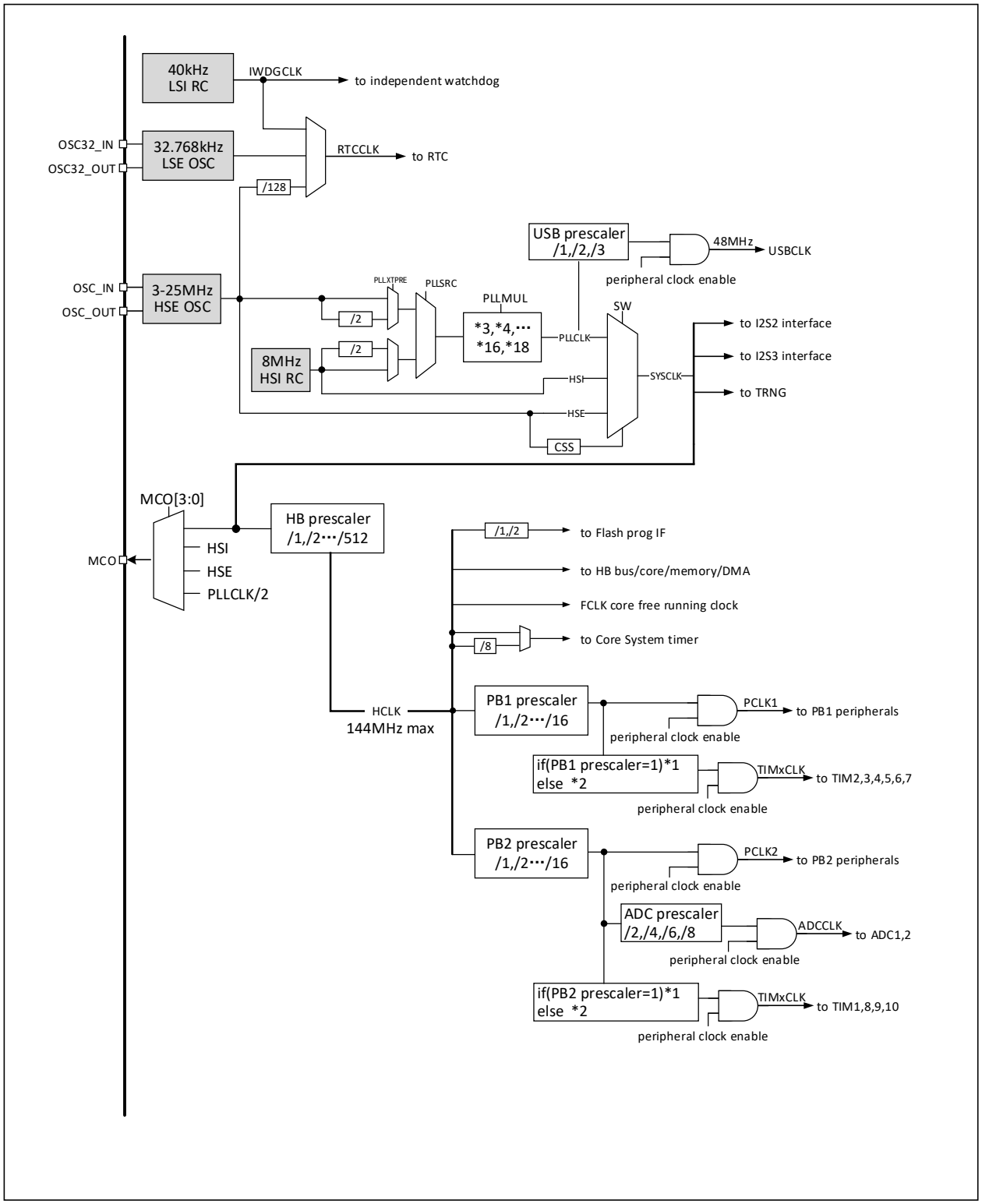


图 2-4 CH32F203(大容量)时钟树框图



注：当使用 USB 功能时，CPU 的频率必须是 48MHz 或 96MHz 或 144MHz。当系统从停机或待机状态唤醒时，系统会自动切换为 HSI 做主频。

2.5 功能概述

2.5.1 内核

Arm 的 Cortex®-M3 是 32 位嵌入式处理器，为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，以及卓越的计算性能和先进的中断系统响应。其额外的代码效率在通常 8 和 16 位系统的存储空间上发挥了 Arm 内核的高性能。

- 哈佛结构，增加分支预测功能，提高了流水线处理器性能发挥
- Tail-Chaining 尾链中断技术，基于硬件完成，效率提高
- 内核低功耗 3 种模式，功耗控制更为有效
- 先进的 Fault 处理机制、调试方案等

CH32F2x 系列控制器内置 Arm 核心，因此与大部分的 Arm 工具和软件兼容。

2.5.2 片上存储器及自举模式

内置最大 128K 字节 SRAM 区，用于存放数据，掉电后数据丢失。具体容量要对应芯片型号。

内置最大 480K 字节程序闪存存储区（Code FLASH），用于用户的应用程序和常量数据存储。其中包括零等待程序运行区域和非零等待区域。区域具体大小对应芯片型号。

内置 28K 字节系统存储区（System FLASH），用于系统引导程序存储（厂家固化自举加载程序）。

128 字节用于系统非易失配置信息存储区，128 字节用于用户选择字存储区。

在启动时，通过自举引脚（BOOT0 和 BOOT1）可以选择三种自举模式中的一种：

- 从程序闪存存储器自举
- 从系统存储器自举
- 从内部 SRAM 自举

自举加载程序存放于系统存储区,可以通过 USART1 和 USB 接口对程序闪存存储区的内容重新编程。

2.5.3 供电方案

- V_{DD} = 2.4 (1) ～3.6V：为部分 I/O 引脚和内部调压器供电，包括内置的 USB PHY 和以太网 PHY。
- V_{IO} = 2.4 (1) ～3.6V：为大部分 I/O 引脚供电，决定了引脚输出高压幅值。正常工作时，V_{IO} 电压不能高于 V_{DD} 电压。
- V_{DDA} = 2.4 (1) ～3.6V：为高频 RC 振荡器、ADC、温度传感器、DAC 及 PLL 的模拟部分供电。V_{DDA} 电压必须和 V_{IO} 电压相同（如果 V_{DD} 掉电，V_{IO} 带电，则 V_{DDA} 必须带电并且和 V_{IO} 一致）。使用 ADC 时，V_{DDA} 不得小于 2.4V。
- V_{BAT} = 1.8～3.6V：可选的备用电源，当关闭 V_{DD} 时，（通过内部电源切换器）单独为 RTC、外部低频振荡器和后备寄存器供电。

注：1.对于寄存器 FEATURE_SIGN 的位 VLEVEL = 1 的芯片，V_{DD}、V_{IO}、V_{DDA} 支持最低供电电压为 2.4V；对于位 VLEVEL = 0 的芯片，V_{DD}、V_{IO}、V_{DDA} 支持最低供电电压为 1.8V。

2.5.4 供电监控器

本产品内部集成了上电复位(POR)/掉电复位(PDR)电路，该电路始终处于工作状态，保证系统在供电超过 2.4V 时工作；当 V_{DD} 低于设定的阀值($V_{POR/PDR}$)时，置器件于复位状态，而不必使用外部复位电路。

另外系统设有一个可编程的电压监测器（PVD），需要通过软件开启，用于比较 V_{DD} 供电与设定的阀值 V_{PVD} 的电压大小。打开 PVD 相应边沿中断，可在 V_{DD} 下降到 PVD 阈值或上升到 PVD 阈值时，收到中断通知。关于 $V_{POR/PDR}$ 和 V_{PVD} 的值参考第 4 章。

2.5.5 电压调节器

复位后，调节器自动开启，根据应用方式有三个操作模式

- 开启模式：正常的运行操作，提供稳定的内核电源

- 低功耗模式：当 CPU 进入停止模式后，可选择调节器低功耗运行
- 关断模式：当 CPU 进入待机模式后自动切换调节器到此模式，调压器输出为高阻状态，内核电路的供电切断，调压器处于零消耗状态。

该调压器在复位后始终处于开启模式，在待机模式下被关闭处于关断模式，此时是高阻输出。

2.5.6 低功耗模式

系统支持三种低功耗模式，可以针对低功耗、短启动时间和多种唤醒事件等条件下选择达到最佳的平衡。

- 睡眠模式

在睡眠模式下，只有 CPU 时钟停止，但所有外设时钟供电正常，外设处于工作状态。此模式是最浅低功耗模式，但可以达到最快唤醒。

退出条件：任意中断或唤醒事件。

- 停止模式

此模式 FLASH 进入低功耗模式，PLL、HSI 的 RC 振荡器和 HSE 晶体振荡器被关闭。在保持 SRAM 和寄存器内容不丢失的情况下，停止模式可以达到最低的电能消耗。

退出条件：任意外部中断/事件（EXTI 信号）、NRST 上的外部复位信号、IWDG 复位，其中 EXTI 信号包括 16 个外部 I/O 口之一、PVD 的输出、RTC 闹钟、以太网唤醒信号或 USB 的唤醒信号。

- 待机模式

此模式下，系统主 LDO 关闭，由低功耗 LDO 给唤醒电路供电，其他数字电路全部断电，且 FLASH 处于断电状态。从待机模式唤醒系统会产生复位，同时 SBF（PWR_CSR）会置位。唤醒后，查询 SBF 状态可知唤醒前的低功耗模式，SBF 由 CSBF(PWR_CR)位清除。在待机模式下，32KB 的 SRAM 的内容可以保持（取决于睡前的规划配置），后备寄存器内容保留。

退出条件：任意外部事件（EXTI 信号）、NRST 上的外部复位信号、IWDG 复位、WKUP 引脚上的一个上升边沿，其中 EXTI 信号包括 16 个外部 I/O 口之一、RTC 闹钟、以太网唤醒信号或 USB 的唤醒信号。

2.5.7 CRC（循环冗余校验）计算单元

CRC（循环冗余校验）计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC 60335-1 标准的范围内，提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

2.5.8 嵌套的向量式中断控制器（NVIC）

系统产品内置嵌套向量中断控制器（NVIC），管理了 88 个可屏蔽中断通道和 16 个内核中断通道。并且可配置 16 个优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 向量化的中断设计实现向量入口地址直接进入内核
- 16 级嵌套，动态修改
- 允许中断的早期处理
- 支持晚到的较高优先级中断响应
- 支持中断尾部链接功能
- 提供不可屏蔽中断第一时间响应
- 中断进入和退出时自动压栈和恢复，无需额外指令开销

该模块以最小的中断延迟提供了灵活的中断管理功能。

2.5.9 外部中断/事件控制器（EXTI）

外部中断/事件控制器总共包含 19 个边沿检测器，用于产生中断/事件请求。每个中断线都可以独

立地配置其触发事件（上升沿或下降沿或双边沿），并能够单独地被屏蔽；挂起寄存器维持所有中断请求状态。EXTI 可以检测到脉冲宽度小于内部 PB2 的时钟周期。多达 80 个通用 I/O 口都可选择连接到 16 个外部中断线。

2.5.10 通用 DMA 控制器

系统内置了 2 组通用 DMA 控制器，总共管理 18 个通道，灵活处理存储器到存储器、外设到存储器和存储器到外设间的高速数据传输，支持环形缓冲区方式。每个通道都有专门的硬件 DMA 请求逻辑，支持一个或多个外设对存储器的访问请求，可配置访问优先权、传输长度、传输的源地址和目标地址等。

DMA 用于主要的外设包括：通用/高级/基本定时器 TIMx、ADC、DAC、I2S、USART、I2C、SPI、SDIO。

注：DMA1、DMA2 和 CPU 经过仲裁器仲裁之后对系统 SRAM 进行访问。

2.5.11 时钟和启动

系统时钟源 HSI 默认开启，在没有配置时钟或者复位后，内部 8MHz 的 RC 振荡器作为默认的 CPU 时钟，随后可以另外选择外部 3～25MHz 时钟或 PLL 时钟。当打开时钟安全模式后，如果 HSE 用作系统时钟（直接或间接），此时检测到外部时钟失效，系统时钟将自动切换到内部 RC 振荡器，同时 HSE 和 PLL 自动关闭；对于关闭时钟的低功耗模式，唤醒后系统也将自动地切换到内部的 RC 振荡器。如果使能了时钟中断，软件可以接收到相应的中断。

多个预分频器用于配置 HB 的频率、高速 PB(PB2)和低速 PB(PB1)区域提供各外设时钟，最高频率 144MHz，参考图 2-3 的时钟树框图。I2S 单元的时钟来源另一个专用的 PLL（PLL3），这样，I2S 主时钟可产生 8KHz～192KHz 之间的所有标准的采样频率。

2.5.12 RTC（实时时钟）和后备寄存器

RTC 和后备寄存器在系统内部处于后备供电区域，在 V_{DD} 有效时由 V_{DD} 供电，在 V_{DD} 无效时内部自动切换到由 V_{BAT} 引脚供电。

RTC 实时时钟是一组 32 位可编程计数器，时基支持 20 位预分频，用于较长时间段的测量。时钟基准来源高速的外部时钟 128 分频(HSE/128)、外部晶体低频振荡器(LSE)或内部低功耗 RC 振荡器(LSI)。其中 LSE 也存在后备供电区域，所以，当选择 LSE 做 RTC 时基下，系统复位或从待机模式唤醒后，RTC 的设置和时间能够保持不变。

后备寄存器包含 42 个 16 位寄存器，可以用来存储 84 字节的用户应用数据。此数据在待机唤醒后，或系统复位或电源复位时，都能继续保持。在侵入检测功能开启下，一旦侵入检测信号有效，将被清除后备寄存器中所有内容。

2.5.13 ADC（模拟/数字转换器）和触摸按键电容检测（TKey）

产品内嵌 2 个 12 位的模拟/数字转换器(ADC)，共用多达 16 个外部通道和 2 个内部通道采样，可编程的通道采样时间，可以实现单次、连续、扫描或间断转换，且支持双 ADC 转换模式。提供模拟看门狗功能允许非常精准地监视一路或多路选中的通道，用于监视通道信号电压。支持外部事件触发转换，触发源包括片上定时器的内部信号和外部引脚。支持使用 DMA 操作。

ADC 内部通道采样包括一路内置温度传感器采样和一路内部参考电源采样。温度传感器产生一个随温度线性变化的电压。温度传感器在内部被连接到 IN16 输入通道上，用于将传感器的输出转换到数字数值。

触摸按键电容检测单元，提供了多达 16 个检测通道，复用 ADC 模块的外部通道。检测结果通过 ADC 模块转换输出结果，通过用户软件识别触摸按键状态。

2.5.14 DAC（数字/模拟转换器）

产品内嵌 2 个 12 位电压输出数字/模拟转换器（DAC），转换 2 路数字信号为 2 路模拟电压信号并输出，支持双 DAC 通道独立或同步转换，支持外部事件触发转换，触发源包括片上定时器的内部信号和外

部引脚（EXTI 线 9）。可实现三角波、噪声生成。支持使用 DMA 操作。

2.5.15 定时器及看门狗

系统中的定时器包括高级定时器、通用定时器、基本定时器、看门狗定时器以及系统时基定时器。系列中不同的产品包含的定时器数量有差异，具体参考表 2-2。

表 2-2 定时器比较

定时器		分辨率	计数类型	时基	DMA	功能作用
高级定时器	TIM1	16 位	向上 向下 向上/下	PB2 时域 16 位分频器	支持	PWM 互补输出，单脉冲输出 输入捕获 输出比较 定时计数
	TIM8					
	TIM9					
	TIM10					
通用定时器	TIM2	16 位	向上 向下 向上/下	PB1 时域 16 位分频器	支持	输入捕获 输出比较 定时计数
	TIM3					
	TIM4					
	TIM5	16 位				
基本定时器	TIM6	16 位	向上	PB1 时域 16 位分频器	支持	定时计数
	TIM7					
窗口看门狗		7 位	向下	PB1 时域 4 种分频	不支持	定时 复位系统（正常工作）
独立看门狗		12 位	向下	PB1 时域 7 种分频	不支持	定时 复位系统（正常+低功耗工作）
□系统时基定时器		24 位	向下	SYSCLK 或 SYSCLK/8	不支持	定时

- 高级控制定时器

高级控制定时器是一个 16 位的自动装载递加/递减计数器，具有 16 位可编程的预分频器。除了完整的通用定时器功能外，可以被看成是分配到 6 个通道的三相 PWM 发生器，具有带死区插入的互补 PWM 输出功能，允许在指定数目的计数器周期之后更新定时器进行重复计数周期，刹车功能等。高级控制定时器的很多功能都与通用定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与其他 TIM 定时器协同操作，提供同步或事件链接功能。

- 通用定时器

通用定时器是一个 16 位或 32 位的自动装载递加/递减计数器，具有一个可编程的 16 位预分频器以及 4 个独立的通道，每个通道都支持输入捕获、输出比较、PWM 生成和单脉冲模式输出。还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。任意通用定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。这些定时器还能够处理增量编码器的信号，也能处理 1 至 3 个霍尔传感器的数字输出。

- 基本定时器

基本定时器是一个 16 位自动装载计数器，支持 16 位可编程预分频器。可以位数模转换（DAC）提供时钟，触发 DAC 的同步电路。基本定时器之间是互相独立的，互不共享任何资源。

- 独立看门狗

独立看门狗是一个自由运行的 12 位递减计数器，支持 7 种分频系数。由一个内部独立的 40KHz 的

RC 振荡器（LSI）提供时钟；因为 LSI 独立于主时钟，所以可运行于停止和待机模式。IWDG 在主程序之外，可以完全独立工作，因此，用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

- 窗口看门狗

  窗口看门狗是一个 7 位的递减计数器，并可以设置成自由运行。可以被用于在发生问题时复位整个系统。其由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

- 系统时基定时器

  这是 Arm 内核控制器自带的一个 24 位递减计数器，用于产生 SYSTICK 异常（异常号：15），可专用于实时操作系统，为系统提供“心跳”节律，也可当成一个标准的 24 位递减计数器。具有自动重加载功能及可编程的时钟源。

2.5.16 通用同步/异步收发器（USART）

产品提供了 3 组通用同步/异步收发器(USART1、USART2、USART3),以及 5 组通用异步收发器(UART4、UART5、UART6、UART7、UART8)。支持全双工异步通信、同步单向通信以及半双工单线通信，也支持 LIN(局部互连网)，兼容 ISO7816 的智能卡协议和 IrDA SIR ENDEC 传输编解码规范，以及调制解调器(CTS/RTS 硬件流控)操作。还允许多处理器通信。其采用分数波特率发生器系统，并支持 DMA 操作连续通讯。

2.5.17 串行外设接口（SPI）

最高 3 组串行外设 SPI 接口，提供主或从操作，动态切换。支持多主模式，全双工或半双工同步传输，支持基本的 SD 卡和 MMC 模式。可编程的时钟极性和相位，数据位宽提供 8 或 16 位选择，可靠通信的硬件 CRC 产生/校验，支持 DMA 操作连续通讯。

2.5.18 I2S（音频）接口

最高 2 组标准的 I2S 接口（与 SPI2 和 SPI3 复用）工作于主或从模式。软件可配置为 16/32 位数据包传输帧，支持音频采样频率从 8KHz 到 192KHz，支持 4 种音频标准。在主模式下，其主时钟可以以固定的 256 倍音频采样频率输出到外部的 DAC 或 CODEC(解码器)，支持 DMA。

2.5.19 I2C 总线

多达 2 个 I2C 总线接口，能够工作于多主机模式或从模式，完成所有 I2C 总线特定的时序、协议、仲裁等。支持标准和快速两种通讯速度，同时与 SMBus2.0 兼容。

I2C 接口提供 7 位或 10 位寻址，并且在 7 位从模式时支持双从地址寻址。内置了硬件 CRC 发生器/校验器。可以使用 DMA 操作并支持 SMBus 总线 2.0 版/PMBus 总线。

2.5.20 控制器区域网络（CAN）

CAN 接口兼容规范 2.0A 和 2.0B(主动)，波特率高达 1Mbits/s，支持时间触发通信功能。可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。具有 3 个发送邮箱和 2 个 3 级深度接收 FIFO。

具有 2 组 CAN 控制器的产品，共享 28 个可设置的过滤器和 512 字节的 SRAM 存储器资源。

具有 1 组 CAN 控制器产品只有 14 个可设置的过滤器,并和 USBD 模块共用一个专用的 512 字节 SRAM 存储器用于数据的发送和接收，当 USBD 和 CAN 同时使用时，为了防止访问 SRAM 冲突，USBD 只能使用低 384 字节空间。

2.5.21 通用串行总线（USBD）

产品内嵌 1 个 USB2.0 全速控制器，遵循 USB2.0 Fullspeed 标准。USBD 提供 16 个可配置的 USB 设

备端点，支持低速设备和全速设备，支持控制/批量/同步/中断传输，双缓冲区机制，USB 挂起/恢复操作，具有待机/唤醒功能。USB 专用的 48MHz 时钟由内部主 PLL 分频直接产生。

2.5.22 通用串行总线 USB2.0 全速主机/设备控制器（USBFS）

USB2.0 全速主机控制器和设备控制器（USBFS），遵循 USB2.0 Fullspeed 标准。提供 16 个可配置的 USB 设备端点及一组主机端点。支持控制/批量/同步/中断传输，双缓冲区机制，USB 总线挂起/恢复操作,并提供待机/唤醒功能。USBFS 模块专用的 48MHz 时钟由内部主 PLL 分频直接产生(PLL 必须为 144MHz 或 96MHz 或 48MHz)。

2.5.23 通用串行总线 USB2.0 全速 OTG（OTG-FS）

OTG_FS 是双重角色 USB 控制器，支持主机端和设备端的功能，兼容 On-The-Go Supplement to the USB2.0 规范。同时，该控制器也可配置为仅支持主机端或仅支持设备端功能的控制器，兼容 USB2.0 全速规范。控制器使用来自 PLL 分频得到的 48MHz 时钟，主要特性包括：

- 支持在(OTG_FS 控制器的物理层)USB On-The-Go Supplement，Revision1.3 规范中定义为可选项目 OTG 协议
- 通过软件可配置 USB 全速主机、USB 全速/低速设备、USB 双重角色设备
- 提供省电功能
- 支持控制传输、批量传输、中断传输、实时/同步传输
- 提供总线复位、挂起、唤醒和恢复功能

2.5.24 通用串行总线 USB2.0 高速主机/设备控制器（USBHS）

USB2.0 高速控制器具有主机控制器和设备控制器双重角色，并且内嵌 USB-PHY 收发器单元。当作为主机控制器时，它可支持低速、全速和高速的 USB 设备。当作为设备控制器时，可以灵活设置为低速、全速或高速模式以适应各种应用。主要特性包括：

- 支持 USB 2.0、USB 1.1、USB 1.0 协议规范
- 支持控制传输、批量传输、中断传输、实时/同步传输
- 提供总线复位、挂起、唤醒和恢复功能
- 支持高速 HUB
- 设备模式下提供 16 组上下传输通道，支持配置 16 个端点号
- 除设备端点 0 外，其他端点均支持最大 1024 字节的数据包，可使用双缓冲功能

2.5.25 数字图像接口（DVP）

数字图像接口 DVP（Digital Video Port）用来连接摄像头模块获取图像数据流。提供了 8/10/12bit 并行接口方式通讯。支持按原始的行、帧格式组织的图像数据，如 YUV、RGB 等，也支持如 JPEG 格式的压缩图像数据流。接收时，主要依靠 VSYNC 和 HSYNC 信号同步。支持图像裁剪功能。

2.5.26 SDIO 主机控制器

SDIO 主机接口提供了多媒体卡（MMC）、SD 存储卡、SDIO 卡以及 CE-ATA 设备的操作接口。支持 3 种不同的数据总线模式:1 位(默认)、4 位和 8 位。在 8 位模式下,该接口可以使数据传输速率达到 48MHz。目前该接口全兼容多媒体卡系统规范 4.2（向前兼容）、SD I/O 卡规范 2.0、SD 存储卡规范 2.0、CE-ATA 数字协议规范 1.1。

2.5.27 可配置的静态存储器控制器（FSMC）

FSMC 接口主要提供了同步或异步存储器接口，支持 SRAM、PSRAM、NOR 及 NAND 等器件。内部 HB 传输信号被转换成合适的外部通讯协议，允许 8/16/32 位数据的连续访问。并灵活可配置采样延迟时间以满足不同器件时序。

此外，FSMC 也可用于多数图形 LCD 控制器接口，它支持 Intel 8080 和 Motorola 6800 的模式，很方便地构建简易的图形应用环境，或用于专用加速控制器的高性能方案。

2.5.28 千兆以太网控制器（MAC, +10M PHY）

产品提供了符合 IEEE 802.3-2002 标准的千兆以太网控制器(MAC)，充当数据链路层的角色，其 Link 速率最高支持 1Gbps，提供 MII/RMII/RGMII 接口连接外置的 PHY（千兆/百兆/速度自适应，10M PHY 收发器内置），应用时，结合 TCP/IP 协议栈接口实现网络产品的开发。主要特性包括：

- 符合 IEEE.802.3 协议规范及设计
- 提供 RGMII、RMII、MII 接口，连接外置的以太网 PHY 收发器
- 支持全双工操作，支持 10/100/1000Mbps 的数据传输速率
- 硬件自动完成 IPv4 和 IPv6 包完整性校验，IP/ICMP/UDP/TCP 包校验和计算机帧长度填充
- 多种 MAC 地址过滤模式
- SMI 即可对外置 PHY 进行配置和管理

2.5.29 通用输入输出接口（GPIO）

系统提供了 5 组 GPIO 端口，共 80 个 GPIO 引脚。每个引脚都可以由软件配置成输出(推挽或开漏)、输入(带或不带上拉或下拉)或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能的端口，所有的 GPIO 引脚都有大电流通过能力。提供锁定机制冻结 IO 配置，以避免意外的写入 I/O 寄存器。

系统中大部分 IO 引脚电源由 V_{IO}提供，通过改变 V_{IO}供电将改变 IO 引脚输出电平高值来适配外部通讯接口电平。具体引脚请参考引脚描述。

2.5.30 随机数发生器（RNG）

产品内嵌一个随机数发生器，它通过内部的模拟电路提供一个 32 位的随机数。

2.5.31 运放比较器（OPA）

产品内置 4 组运放/比较器，内部选择关联到 ADC 和 TIMx 外设，其输入和输出均可通过更改配置对多个通道进行选择。支持将外部模拟小信号被放大送入 ADC 以实现小信号 ADC 转换，也可以完成信号比较器功能，比较结果由 GPIO 输出或者直接接入 TIMx 的输入通道。

2.5.32 串行 2 线调试接口（SWD）

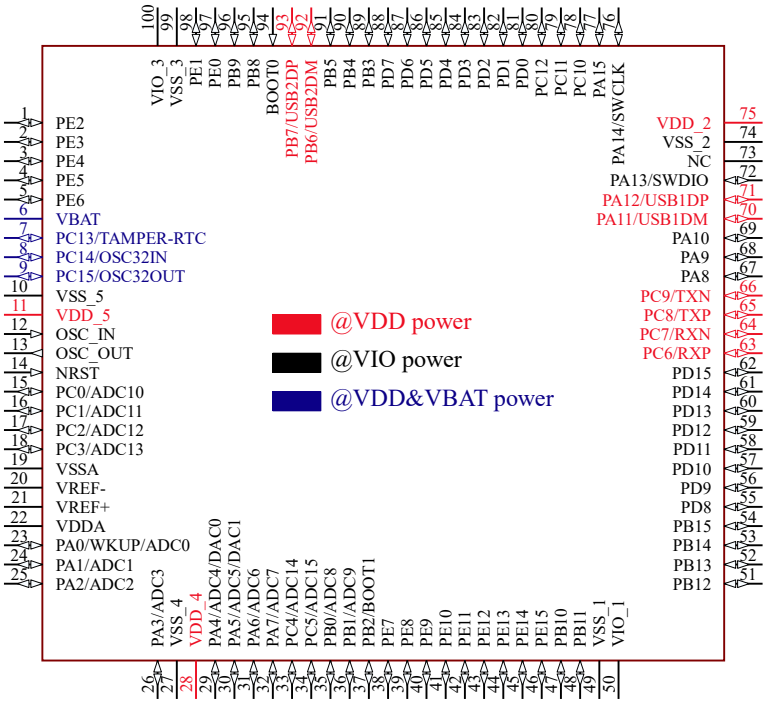
Arm 内核自带的 SW-DP 接口，这是一个串行 2 线调试的接口。包括 SWDIO 和 SWCLK 引脚。系统上电或复位后默认调试接口引脚功能开启。

第 3 章 引脚信息

3.1 引脚排列

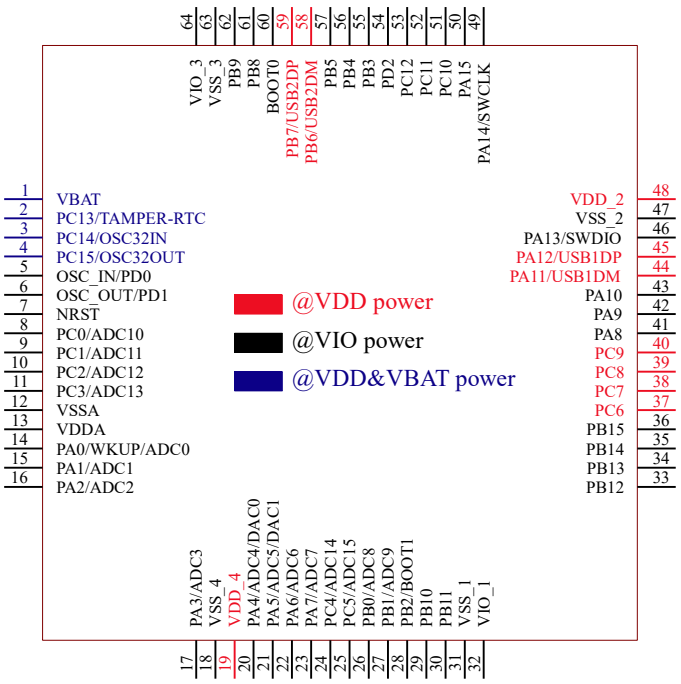
3.1.1 互联型 F207

CH32F207VCT6



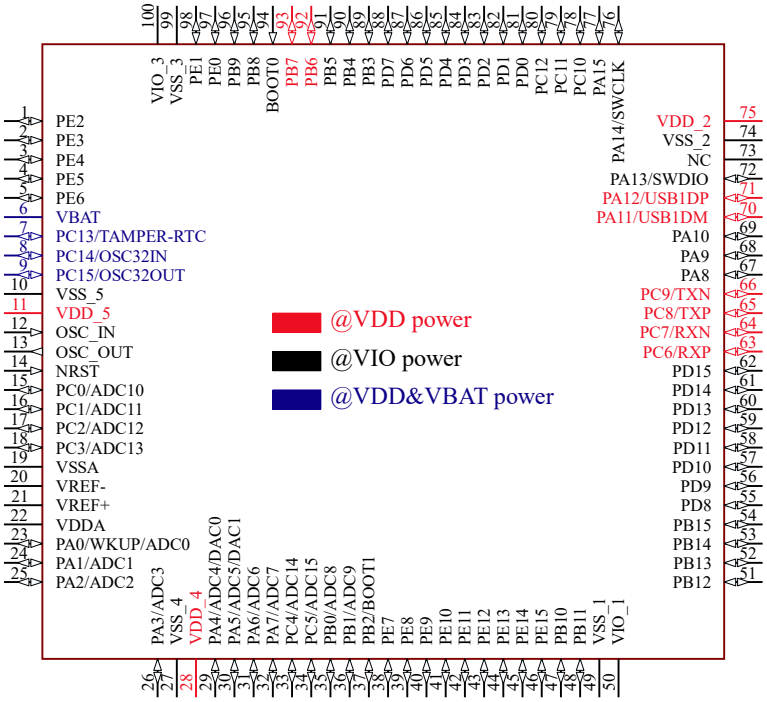
3.1.2 连接型 F205

CH32F205RBT6

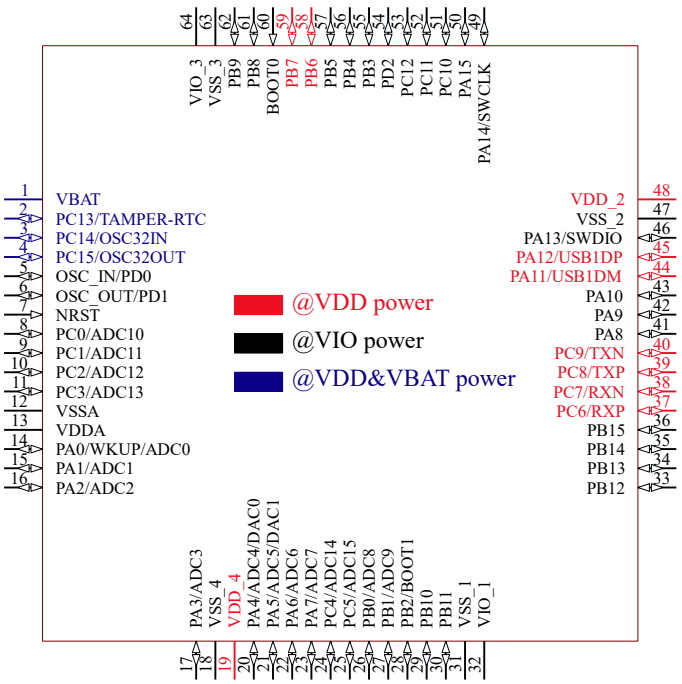


3.1.3 大容量通用型 F203

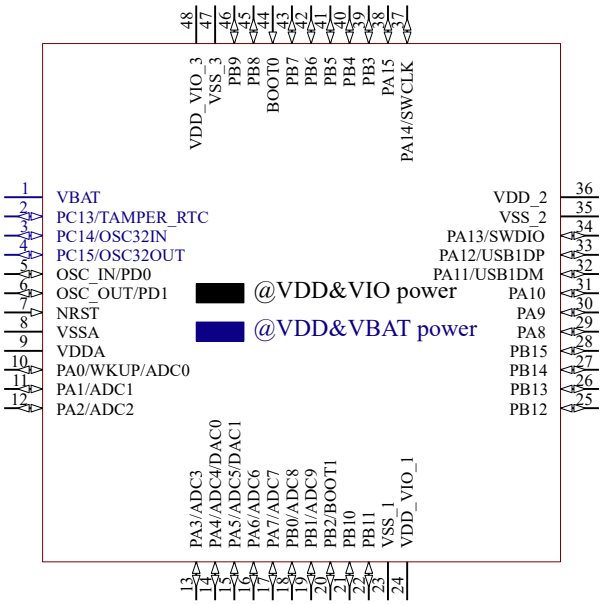
CH32F203VCT6



CH32F203RC/BT6



CH32F203CBT6



3.2 引脚描述

表 3-1 CH32F203_205_207xB/xC 引脚定义

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

引脚编号			引脚名称	引脚类型(1)	I/O 电平	主功能（复位后）	默认复用功能	重映射功能(12)
LQFP48	LQFP64M	LQFP100						
–	–	1	PE2	I/O	FT	PE2	FSMC_A23	TIM10_BKIN_2
–	–	2	PE3	I/O	FT	PE3	FSMC_A19	TIM10_CH1N_2
–	–	3	PE4	I/O	FT	PE4	FSMC_A20	TIM10_CH2N_2
–	–	4	PE5	I/O	FT	PE5	FSMC_A21	TIM10_CH3N_2
–	–	5	PE6	I/O	FT	PE6	FSMC_A22	
1	1	6	V_{BAT}	P	–	V_{BAT}		
2	2	7	PC13-TAMPER-RTC(2)	I/O	–	PC13(3)	TAMPER-RTC	TIM8_CH4_1
3	3	8	PC14-OSC32_IN(2)	I/O/A	–	PC14(3)	OSC32_IN	TIM9_CH4_1
4	4	9	PC15-OSC32_OUT(2)	I/O/A	–	PC15(3)	OSC32_OUT	TIM10_CH4_1
–	–	10	V_{SS_5}	P	–	V_{SS_5}		
–	–	11	V_{DD_5}	P	–	V_{DD_5}		
5	5	12	OSC_IN	I/A	–	OSC_IN		PD0(4)
6	6	13	OSC_OUT	O/A	–	OSC_OUT		PD1(4)
7	7	14	NRST	I	–	NRST		
–	8	15	PC0	I/O/A	–	PC0	ADC_IN10 TIM9_CH1N UART6_TX ETH_RGMII_RXC	
–	9	16	PC1	I/O/A	–	PC1	ADC_IN11 TIM9_CH2N UART6_RX ETH_MII_MDC ETH_RMII_MDC ETH_RGMII_RXCTL	
–	10	17	PC2	I/O/A	–	PC2	ADC_IN12 TIM9_CH3N UART7_TX OPA3_CH1N ETH_MII_TXD2 ETH_RGMII_RXD0	
–	11	18	PC3	I/O/A	–	PC3	ADC_IN13 TIM10_CH3	

引脚编号			引脚名称	引脚类型(1)	I/O 电平	主功能（复位后）	默认复用功能	重映射功能(12)
LQFP48	LQFP64M	LQFP100						
							UART7_RX OPA4_CH1N ETH_MII_TX_CLK ETH_RGMII_RXD1	
8	12	19	V_{SSA}	P	-	V_{SSA}		
-	-	20	V_{REF-}	P	-	V_{REF-}		
-	-	21	V_{REF+}	P	-	V_{REF+}		
9	13	22	V_{DDA}	P	-	V_{DDA}		
10	14	23	PA0-WKUP	I/O/A	-	PA0	WKUP USART2_CTS ADC_IN0 TIM2_CH1 TIM2_ETR TIM5_CH1 TIM8_ETR OPA4_OUT0 ETH_MII_CRS_WKUP ETH_RGMII_RXD2	TIM2_CH1_ETR_2 TIM8_ETR_1
11	15	24	PA1	I/O/A	-	PA1	USART2_RTS ADC_IN1 TIM5_CH2 TIM2_CH2 OPA3_OUT0 ETH_MII_RX_CLK ETH_RMII_REF_CLK ETH_RGMII_RXD3	TIM2_CH2_2 TIM9_BKIN_1
12	16	25	PA2	I/O/A	-	PA2	USART2_TX TIM5_CH3 ADC_IN2 TIM2_CH3 TIM9_CH1 TIM9_ETR OPA2_OUT0 ETH_MII_MDIO ETH_RMII_MDIO ETH_RGMII_GTXC	TIM2_CH3_1 TIM9_CH1_ETR_1
13	17	26	PA3	I/O/A	-	PA3	USART2_RX TIM5_CH4 ADC_IN3 TIM2_CH4	TIM2_CH4_1 TIM9_CH2_1

引脚编号			引脚名称	引脚类型(1)	I/O 电平	主功能（复位后）	默认复用功能	重映射功能(12)
LQFP48	LQFP64M	LQFP100						
							TIM9_CH2 OPA1_OUT0 ETH_MII_COL ETH_RGMII_TXEN	
–	18	27	V_{SS_4}	P	–	V_{SS_4}		
–	19	28	V_{DD_4}	P	–	V_{DD_4}		
14	20	29	PA4	I/O/A	–	PA4	SPI1_NSS USART2_CK ADC_IN4 DAC_OUT1 TIM9_CH3 DVP_HSYNC	SPI3_NSS_1 I2S3_WS_1 TIM9_CH3_1
15	21	30	PA5	I/O/A	–	PA5	SPI1_SCK ADC_IN5 DAC_OUT2 OPA2_CH1N DVP_VSYNC	TIM10_CH1N_1 USART1_CTS_2 USART1_CK_3
16	22	31	PA6	I/O/A	–	PA6	SPI1_MISO TIM8_BKIN ADC_IN6 TIM3_CH1 OPA1_CH1N DVP_PCLK	TIM1_BKIN_1 USART1_TX_3 UART7_TX_1 TIM10_CH2N_1
17	23	32	PA7	I/O/A	–	PA7	SPI1_MOSI TIM8_CH1N ADC_IN7 TIM3_CH2 OPA2_CH1P ETH_MII_RX_DV ETH_RMII_CRS_DV ETH_RGMII_TXD0	TIM1_CH1N_1 USART1_RX_3 UART7_RX_1 TIM10_CH3N_1
–	24	33	PC4	I/O/A	–	PC4	ADC_IN14 TIM9_CH4 UART8_TX OPA4_CH1P ETH_MII_RXD0 ETH_RMII_RXD0 ETH_RGMII_TXD1	USART1_CTS_3
–	25	34	PC5	I/O/A	–	PC5	ADC_IN15 TIM9_BKIN	USART1_RTS_3

引脚编号			引脚名称	引脚类型(1)	I/O电平	主功能（复位后）	默认复用功能	重映射功能(12)
LQFP48	LQFP64M	LQFP100						
							UART8_RX OPA3_CH1P ETH_MII_RXD1 ETH_RMII_RXD1 ETH_RGMII_TXD2	
18	26	35	PB0	I/O/A	-	PB0	ADC_IN8 TIM3_CH3 TIM8_CH2N OPA1_CH1P ETH_MII_RXD2 ETH_RGMII_TXD3	TIM1_CH2N_1 TIM3_CH3_2 TIM9_CH1N_1 UART4_TX_1
19	27	36	PB1	I/O/A	-	PB1	ADC_IN9 TIM3_CH4 TIM8_CH3N OPA4_CHON ETH_MII_RXD3 ETH_RGMII_125IN	TIM1_CH3N_1 TIM3_CH4_2 TIM9_CH2N_1 UART4_RX_1
20	28	37	PB2	I/O	FT	PB2/BOOT1(5)	OPA3_CHON	TIM9_CH3N_1
-	-	38	PE7	I/O/A	FT	PE7	FSMC_D4 OPA3_OUT1	TIM1_ETR_3
-	-	39	PE8	I/O/A	FT	PE8	FSMC_D5 OPA4_OUT1	TIM1_CH1N_3 UART5_TX_2
-	-	40	PE9	I/O	FT	PE9	FSMC_D6	TIM1_CH1_3 UART5_RX_2
-	-	41	PE10	I/O	FT	PE10	FSMC_D7	TIM1_CH2N_3 UART6_TX_2
-	-	42	PE11	I/O	FT	PE11	FSMC_D8	TIM1_CH2_3 UART6_RX_2
-	-	43	PE12	I/O	FT	PE12	FSMC_D9	TIM1_CH3N_3 UART7_TX_2
-	-	44	PE13	I/O	FT	PE13	FSMC_D10	TIM1_CH3_3 UART7_RX_2
-	-	45	PE14	I/O/A	FT	PE14	FSMC_D11 OPA2_OUT1	TIM1_CH4_3 UART8_TX_2
-	-	46	PE15	I/O/A	FT	PE15	FSMC_D12 OPA1_OUT1	TIM1_BKIN_3 UART8_RX_2
21	29	47	PB10	I/O/A	FT	PB10	I2C2_SCL USART3_TX OPA2_CHON ETH_MII_RX_ER	TIM2_CH3_2 TIM2_CH3_3 TIM10_BKIN_1

引脚编号			引脚名称	引脚类型(1)	I/O电平	主功能（复位后）	默认复用功能	重映射功能(12)
LQFP48	LQFP64M	LQFP100						
22	30	48	PB11	I/O/A	FT	PB11	I2C2_SDA USART3_RX OPA1_CHON ETH_MII_TX_EN ETH_RMII_TX_EN	TIM2_CH4_2 TIM2_CH4_3 TIM10_ETR_1
23	31	49	V_{SS_1}	P		V_{SS_1}		
–	32	50	V_{IO_1}	P		V_{IO_1}		
24	–	–	$V_{DD_IO_1}$	P		$V_{DD_IO_1}$		
25	33	51	PB12	I/O/A	FT	PB12	SPI2_NSS I2S2_WS I2C2_SMBA USART3_CK TIM1_BKIN OPA4_CHOP CAN2_RX ETH_MII_TXD0 ETH_RMII_TXD0 ETH_RGMII_MDC	
26	34	52	PB13	I/O/A	FT	PB13	SPI2_SCK I2S2_CK USART3_CTS TIM1_CH1N OPA3_CHOP CAN2_TX ETH_MII_TXD1 ETH_RMII_TXD1 ETH_RGMII_MDIO	USART3_CTS_1
27	35	53	PB14	I/O/A	FT	PB14	SPI2_MISO TIM1_CH2N USART3_RTS OPA2_CHOP SDIO_D0(6)	USART3_RTS_1
28	36	54	PB15	I/O/A	FT	PB15	SPI2_MOSI I2S2_SD TIM1_CH3N OPA1_CHOP SDIO_D1(6)	USART1_TX_2
–	–	55	PD8	I/O	FT	PD8	FSMC_D13	USART3_TX_3 TIM9_CH1N_2 ETH_MII_RX_DV

引脚编号			引脚名称	引脚类型(1)	I/O电平	主功能（复位后）	默认复用功能	重映射功能(12)
LQFP48	LQFP64M	LQFP100						
								ETH_RMII_CRS_DV
-	-	56	PD9	I/O	FT	PD9	FSMC_D14	USART3_RX_3 TIM9_CH1_ETR_2 ETH_MII_RXD0 ETH_RMII_RXD0
-	-	57	PD10	I/O	FT	PD10	FSMC_D15	USART3_CK_3 TIM9_CH2N_2 ETH_MII_RXD1 ETH_RMII_RXD1
-	-	58	PD11	I/O	FT	PD11	FSMC_A16	USART3_CTS_3 TIM9_CH2_2 ETH_MII_RXD2
-	-	59	PD12	I/O	FT	PD12	FSMC_A17	TIM4_CH1_1 TIM9_CH3N_2 USART3_RTS_3 ETH_MII_RXD3
-	-	60	PD13	I/O	FT	PD13	FSMC_A18	TIM4_CH2_1 TIM9_CH3_2
-	-	61	PD14	I/O	FT	PD14	FSMC_D0	TIM4_CH3_1 TIM9_BKIN_2
-	-	62	PD15	I/O	FT	PD15	FSMC_D1	TIM4_CH4_1 TIM9_CH4_2
-	37	63	PC6	I/O	FT	PC6	I2S2_MCK TIM8_CH1 SDIO_D6 ETH_RXP	TIM3_CH1_3
-	38	64	PC7	I/O	FT	PC7	I2S3_MCK(10) TIM8_CH2 SDIO_D7 ETH_RXN	TIM3_CH2_3
-	39	65	PC8	I/O	FT	PC8	TIM8_CH3 SDIO_D0(6) ETH_TXP DVP_D2	TIM3_CH3_3
-	40	66	PC9	I/O	FT	PC9	TIM8_CH4 SDIO_D1(6) ETH_TXN DVP_D3	TIM3_CH4_3
29	41	67	PA8	I/O	FT	PA8	USART1_CK TIM1_CH1	USART1_CK_1 USART1_RX_2

引脚编号			引脚名称	引脚类型(1)	I/O电平	主功能（复位后）	默认复用功能	重映射功能(12)
LQFP48	LQFP64M	LQFP100						
							MCO I2S3_MCK(10)(11)	TIM1_CH1_1
30	42	68	PA9	I/O	FT	PA9	USART1_TX TIM1_CH2 OTG_FS_VBUS DVP_D0 I2S3_SD(9)(11)	USART1_RTS_2 TIM1_CH2_1
31	43	69	PA10	I/O	FT	PA10	USART1_RX TIM1_CH3 OTG_FS_ID DVP_D1	USART1_CK_2 TIM1_CH3_1
32	44	70	PA11	I/O/A	FT	PA11	USART1_CTS USBDM CAN1_RX TIM1_CH4 OTG_FS_DM	USART1_CTS_1 TIM1_CH4_1
33	45	71	PA12	I/O/A	FT	PA12	USART1_RTS USBDP CAN1_TX TIM1_ETR TIM10_CH1N OTG_FS_DP	USART1_RTS_1 TIM1_ETR_1
34	46	72	PA13	I/O	FT	SWDIO	TIM10_CH2N	PA13 TIM8_CH1N_1
–	–	73	未使用					
35	47	74	V_{SS_2}	P	–	V_{SS_2}		
36	48	75	V_{DD_2}	P	–	V_{DD_2}		
37	49	76	PA14	I/O	FT	SWCLK	TIM10_CH3N	TIM8_CH2N_1 UART8_TX_1 PA14
38	50	77	PA15	I/O	FT	PA15	SPI3_NSS(11) I2S3_WS(11)	TIM2_CH1_ETR_1 TIM2_CH1_ETR_3 SPI1_NSS_1 TIM8_CH3N_1 UART8_RX_1
–	51	78	PC10	I/O	FT	PC10	UART4_TX SDIO_D2 TIM10_ETR DVP_D8	USART3_TX_1 SPI3_SCK_1 I2S3_CK_1
–	52	79	PC11	I/O	FT	PC11	UART4_RX	USART3_RX_1

引脚编号			引脚名称	引脚类型(1)	I/O电平	主功能（复位后）	默认复用功能	重映射功能(12)
LQFP48	LQFP64M	LQFP100						
							SDIO_D3 TIM10_CH4 DVP_D4	SPI3_MISO_1
–	53	80	PC12	I/O	FT	PC12	UART5_TX SDIO_CK TIM10_BKIN DVP_D9	USART3_CK_1 SPI3_MOSI_1 I2S3_SD_1
–	–	81	PD0	I/O/A	FT	PD0	FSMC_D2	CAN1_RX_3 TIM10_ETR_2
–	–	82	PD1	I/O/A	FT	PD1	FSMC_D3	CAN1_TX_3 TIM10_CH1_2
–	54	83	PD2	I/O	FT	PD2	TIM3_ETR UART5_RX SDIO_CMD DVP_D11 FSMC_NADV(8)	TIM3_ETR_2 TIM3_ETR_3
–	–	84	PD3	I/O	FT	PD3	FSMC_CLK	USART2_CTS_1 TIM10_CH2_2
–	–	85	PD4	I/O	FT	PD4	FSMC_NOE	USART2_RTS_1
–	–	86	PD5	I/O	FT	PD5	FSMC_NWE	USART2_TX_1 TIM10_CH3_2
–	–	87	PD6	I/O	FT	PD6	FSMC_NWAIT DVP_D10	USART2_RX_1
–	–	88	PD7	I/O	FT	PD7	FSMC_NE1 FSMC_NCE2	USART2_CK_1 TIM10_CH4_2
39	55	89	PB3	I/O	FT	PB3	SPI3_SCK I2S3_CK(11) DVP_D5(7)	TRACESWO TIM2_CH2_1 TIM2_CH2_3 SPI1_SCK_1 TIM10_CH1_1
40	56	90	PB4	I/O	FT	PB4	SPI3_MISO	TIM3_CH1_2 SPI1_MISO_1 UART5_TX_1 TIM10_CH2_1
41	57	91	PB5	I/O	–	PB5	I2C1_SMBA SPI3_MOSI I2S3_SD(9)(11) ETH_MII_PPS_OUT ETH_RMII_PPS_OUT	TIM3_CH2_2 SPI1_MOSI_1 CAN2_RX_1 TIM10_CH3_1 UART5_RX_1
42	58	92	PB6	I/O	FT	PB6	I2C1_SCL	USART1_TX_1

引脚编号			引脚名称	引脚类型(1)	I/O电平	主功能（复位后）	默认复用功能	重映射功能(12)
LQFP48	LQFP64M	LQFP100						
							TIM4_CH1 USBFS_DM DVP_D5(7) USBHS_DM	CAN2_TX_1 TIM8_CH1_1
43	59	93	PB7	I/O	FT	PB7	I2C1_SDA FSMC_NADV(8) TIM4_CH2 USBFS_DP USBHS_DP	USART1_RX_1 TIM8_CH2_1
44	60	94	BOOT0(5)	I	-	BOOT0(5)		
45	61	95	PB8	I/O/A	FT	PB8	TIM4_CH3 SDIO_D4 TIM10_CH1 DVP_D6 ETH_MII_TXD3	I2C1_SCL CAN1_RX_2 UART6_TX_1 TIM8_CH3_1
46	62	96	PB9	I/O/A	FT	PB9	TIM4_CH4 SDIO_D5 TIM10_CH2 DVP_D7	I2C1_SDA CAN1_TX_2 UART6_RX_1 TIM8_BKIN_1
-	-	97	PE0	I/O	FT	PE0	TIM4_ETR FSMC_NBL0	TIM4_ETR_1 UART4_TX_2
-	-	98	PE1	I/O	FT	PE1	FSMC_NBL1	UART4_RX_2
47	63	99	V_{SS_3}	P	-	V_{SS_3}		
	64	100	V_{IO_3}	P	-	V_{IO_3}		
48	-	-	$V_{DD_IO_3}$	P		$V_{DD_IO_3}$		

注 1：表格缩写解释

I = TTL/CMOS 电平斯密特输入；

O = CMOS 电平三态输出；

A = 模拟信号输入或输出；

P = 电源；

FT = 耐受5V；

ANT = 射频信号输入输出（天线）；

注2：V_{DD}和V_{BAT}均可连接内部模拟开关为备份区域以及PC13、PC14和PC15引脚供电，这个模拟开关只能够通过有限的电流(3mA)。当由V_{DD}供电时:PC14和PC15可用于GPIO或LSE引脚、PC13可作为通用I/O口、TAMPER引脚、RTC校准时钟、RTC闹钟或秒输出；PC13、PC14和PC15作为GPIO输出脚时只能工作在2MHz模式下，最大驱动负载为30pF，并且不能作为电流源(如驱动LED)。而当由V_{BAT}供电时：PC14和PC15只能用于LSE引脚、PC13可作为TAMPER引脚、RTC闹钟或秒输出。

注3：这些引脚在备份区域第一次上电时处于主功能状态下，之后即使复位，这些引脚的状态由备份区域寄存器控制（这些寄存器不会被主复位系统所复位）。关于如何控制这些IO口的具体信息，请参考CH32xRM手册的电池备份区域和BKP寄存器的相关章节。

注4：LQFP64M封装的引脚5和引脚6在芯片复位后默认配置为OSC_IN和OSC_OUT功能脚。软件可以重新设置这两个引脚为PD0和PD1功能。但对于LQFP100封装，由于PD0和PD1为固有的功能引脚，因此没有必要再由软件进行重映像设置。更多详细信息请参考CH32xRM手册的复用功能I/O章节和调试设置章节。

注5：BOOT0和BOOT1/PB2引脚都未引出的芯片，在内部BOOT0引脚已短接到GND，BOOT1/PB2引脚浮空，低功耗情况下，建议配置PB2为下拉输入模式，以防止产生额外电流。

BOOT1/PB2引脚引出但BOOT0引脚未引出的芯片，在内部BOOT0引脚已短接到GND。

BOOT0引脚引出但BOOT1/PB2引脚未引出的芯片，在内部BOOT1/PB2引脚已短接到GND，低功耗情况下，建议配置PB2下拉输入模式，以防止产生额外电流。

注6：SDIO_D0和SDIO_D1默认映射到PC8和PC9。仅对于批号倒数第五位大于1的产品，当寄存器RCC_AHBPCENR的bit[14]ETHMACEN=1与bit[10]SDIOEN=1时，SDIO_D0和SDIO_D1映射到PB14和PB15。

注7：DVP_D5默认映射到PB6。仅对于批号倒数第五位大于1的产品，当寄存器RCC_AHBPCENR的bit[13]DVPEN=1与bit[11]USBHSEN=1且R8_USB_CTRL的bit[2]RB_UC_RST_SIE=0时，DVP_D5映射到PB3。

注8：FSMC_NADV默认映射到PB7。仅对于批号倒数第五位大于1的产品，当寄存器RCC_AHBPCENR的bit[8]FSMCEN=1与bit[11]USBHSEN=1且R8_USB_CTRL的bit[2]RB_UC_RST_SIE=0时,FSMC_NADV映射到PD2。

注9：I2S3_SD默认映射到PB5。仅对于批号倒数第五位大于2的产品，如果同时使用10M以太网和I2S3功能，则I2S3_SD默认映射自动改到PA9。

注10：I2S3_MCK默认映射到PC7，仅对于批号倒数第五位大于2的产品，如果同时使用10M以太网和I2S3功能，则I2S3_MCK默认映射自动改到PA8。

注11：对于批号倒数第五位为2的产品，当使用以太网时，I2S3默认引脚功能不可用，SPI3默认引脚的片选信号不可用。

注12：重映射功能下划线后的数值表示AFIO寄存器中相对应位的配置值。例如：UART4_RX_3表示AFIO寄存器相应位配置为11b。

3.3 引脚复用功能

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

表 3-2 CH32F203xB/xC_205_207xx 引脚复用功能

复用 / 引脚	ADC DAC	TIM1 8/9/10	TIM2 3/4/5	UART USART	USB	SYS	I2C	SPI I2S	ETH	FSMC SDIO	DVP	OPA	CAN
PA0	ADC_IN0	TIM8_ETR TIM8_ETR_1	TIM2_CH1_ETR TIM2_CH1_ETR_2 TIM5_CH1	USART2_CTS		WKUP			ETH_MII_CRS_WKUP ETH_RGMII_RXD2			OPA4_OUT0	
PA1	ADC_1N1		TIM2_CH2 TIM2_CH2_2 TIM5_CH2 TIM9_BKIN_1	USART2_RTS					ETH_MII_RX_CLK ETH_RMII_REF_CLK ETH_RGMII_RXD3			OPA3_OUT0	
PA2	ADC_IN2	TIM9_CH1 TIM9_ETR TIM9_CH1_ETR_1	TIM2_CH3 TIM2_CH3_1 TIM5_CH3	USART2_TX					ETH_MII_MDIO ETH_RMII_MDIO ETH_RGMII_GTXC			OPA2_OUT0	
PA3	ADC_IN3	TIM9_CH2 TIM9_CH2_1	TIM2_CH4 TIM2_CH4_1 TIM5_CH4	USART2_RX					ETH_MII_COL ETH_RGMII_TXEN			OPA1_OUT0	
PA4	ADC_IN4 DAC_OUT1	TIM9_CH3 TIM9_CH3_1		USART2_CK				SPI1_NSS SPI3_NSS_1 I2S3_WS_1			DVP_HSYNC		
PA5	ADC_IN5 DAC_OUT2	TIM10_CH1N_1		USART1_CTS_2 USART1_CK_3				SPI1_SCK			DVP_VSYNC	OPA2_CH1N	
PA6	ADC_IN6	TIM1_BKIN_1 TIM8_BKIN TIM10_CH2N_1	TIM3_CH1	USART1_TX_3 UART7_TX_1				SPI1_MISO			DVP_PCLK	OPA1_CH1N	
PA7	ADC_IN7	TIM1_CH1N_1 TIM8_CH1N TIM10_CH3N_1	TIM3_CH2	USART1_RX_3 UART7_RX_1				SPI1_MOSI	ETH_MII_RX_DV ETH_RMII_CRS_DV ETH_RGMII_TXD0			OPA2_CH1P	
PA8		TIM1_CH1 TIM1_CH1_1		USART1_CK USART1_CK_1 USART1_RX_2		MCO		I2S3_MCK(2)					
PA9		TIM1_CH2 TIM1_CH2_1		USART1_TX USART1_RTS_2	OTG_FS_VBUS			I2S3_SD(1)			DVP_D0		
PA10		TIM1_CH3 TIM1_CH3_1		USART1_RX USART1_CK_2	OTG_FS_ID						DVP_D1		
PA11		TIM1_CH4 TIM1_CH4_1		USART1_CTS USART1_CTS_1	OTG_FS_DM USBDM								CAN1_RX
PA12		TIM1_ETR TIM1_ETR_1 TIM10_CH1N		USART1_RTS USART1_RTS_1	OTG_FS_DP USBDP								CAN1_TX
PA13		TIM8_CHIN_1 TIM10_CH2N				SWDIO							
PA14		TIM8_CH2N_1 TIM10_CH3N		UART8_TX_1		SWCLK							
PA15		TIM8_CH3N_1	TIM2_CH1_ETR_1 TIM2_CH1_ETR_3	UART8_RX_1				SPI1_NSS_1 SPI3_NSS I2S3_WS					

复用 引脚	ADC DAC	TIM1 8/9/10	TIM2 3/4/5	UART USART	USB	SYS	I2C	SPI I2S	ETH	FSMC SDIO	DVP	OPA	CAN
PB0	ADC_ IN8	TIM1_CH2N_1 TIM8_CH2N TIM9_CH1N_1	TIM3_CH3 TIM3_CH3_2	UART4_TX_1					ETH_MII_RXD2 ETH_RGMII_TXD3			OPA1_CH1P	
PB1	ADC_IN9	TIM1_CH3N_1 TIM8_CH3N TIM9_CH2N_1	TIM3_CH4 TIM3_CH4_2	UART4_RX_1					ETH_MII_RXD3 ETH_RGMII_125IN			OPA4_CHON	
PB2		TIM9_CH3N_1				BOOT1						OPA3_CHON	
PB3		TIM10_CH1_1	TIM2_CH2_1 TIM2_CH2_3					SPI1_SCK_1 SPI3_SCK I2S3_CK			DVP_D5		
PB4		TIM10_CH2_1	TIM3_CH1_2	UART5_TX_1				SPI1_MISO_1 SPI3_MISO					
PB5		TIM10_CH3_1	TIM3_CH2_2	UART5_RX_1			I2C1_SMBA	SPI1_MOSI_1 SPI3_MOSI I2S3_SD(1)	ETH_MII_PPS_OUT ETH_RMII_PPS_OUT				CAN2_RX_1
PB6		TIM8_CHI_1	TIM4_CH1	USART1_TX_1	USBFS_DM USBHS_DM		I2C1_SCL				DVP_D5		CAN2_TX_1
PB7		TIM8_CH2_1	TIM4_CH2	USART1_RX_1	USBFS_DP USBHS_DP		I2C1_SDA			FSMC_NADV			
PB8		TIM8_CH3_1 TIM10_CH1	TIM4_CH3	UART6_TX_1			I2C1_SCL_1		ETH_ MII_TXD3	SDIO_D4	DVP_D6		CAN1_RX_2
PB9		TIM8_BKIN_1 TIM10_CH2	TIM4_CH4	UART6_RX_1			I2C1_SDA_1			SDIO_D5	DVP_D7		CAN1_TX_2
PB10		TIM10_BKIN_1	TIM2_CH3_2 TIM2_CH3_3	USART3_TX			I2C2_SCL		ETH_ MII_RX_ER			OPA2_CHON	
PB11		TIM10_ETR_1	TIM2_CH4_2 TIM2_CH4_3	USART3_RX			I2C2_SDA		ETH_MII_TX_EN ETH_RMII_TX_EN			OPA1_CHON	
PB12		TIM1_BKIN		USART3_CK			I2C2_SMBA	SPI2_NSS I2S2_WS	ETH_MII_TXD0 ETH_RMII_TXD0 ETH_RGMII_MDC			OPA4_CHOP	CAN2_RX
PB13		TIM1_CH1N		USART3_CTS USART3_CTS_1				SPI2_SCK I2S2_CK	ETH_MII_TXD1 ETH_RMII_TXD1 ETH_RGMII_MDIO			OPA3_CHOP	CAN2_TX
PB14		TIM1_CH2N		USART3_RTS USART3_RTS_1				SPI2_MISO		SDIO_D0		OPA2_CHOP	
PB15		TIM1_CH3N		USART1_TX_2				SPI2_MOSI I2S2_SD		SDIO_D1		OPA1_CHOP	
PC0	ADC_IN10	TIM9_CH1N		UART6_TX					ETH_RGMII_RXC				
PC1	ADC_IN11	TIM9_CH2N		UART6_RX					ETH_MII_MDC ETH_RMII_MDC ETH_RGMII_RXCTL				
PC2	ADC_IN12	TIM9_CH3N		UART7_TX					ETH_MII_TXD2 ETH_RGMII_RXD0			OPA3_CH1N	
PC3	ADC_IN13	TIM10_CH3		UART7_RX					ETH_MII_TX_CLK ETH_RGMII_RXD1			OPA4_CH1N	
PC4	ADC_IN14	TIM9_CH4		USART1_CTS_3 UART8_TX					ETH_MII_RXD0 ETH_RMII_RXD0 ETH_RGMII_TXD1			OPA4_CH1P	

复用 引脚	ADC DAC	TIM1 8/9/10	TIM2 3/4/5	UART USART	USB	SYS	I2C	SPI I2S	ETH	FSMC SDIO	DVP	OPA	CAN
PC5	ADC_IN15	TIM9_BKIN		USART1_RTS_3 UART8_RX					ETH_MII_RXD1 ETH_RMII_RXD1 ETH_RGMII_TXD2			OPA3_CH1P	
PC6		TIM8_CH1	TIM3_CH1_3					I2S2_MCK	ETH_RXP	SDIO_D6			
PC7		TIM8_CH2	TIM3_CH2_3					I2S3_MCK(2)	ETH_RXN	SDIO_D7			
PC8		TIM8_CH3	TIM3_CH3_3						ETH_TXP	SDIO_D0	DVP_D2		
PC9		TIM8_CH4	TIM3_CH4_3						ETH_TXN	SDIO_D1	DVP_D3		
PC10		TIM10_ETR		USART3_TX_1 UART4_TX				SPI3_SCK_1 I2S3_CK_1		SDIO_D2	DVP_D8		
PC11		TIM10_CH4		USART3_RX_1 UART4_RX				SPI3_MISO_1		SDIO_D3	DVP_D4		
PC12		TIM10_BKIN		USART3_CK_1 UART5_TX				SPI3_MOSI_1 I2S3_SD_1		SDIO_CK	DVP_D9		
PC13		TIM8_CH4_1				TAMPER-RTC							
PC14		TIM9_CH4_1				OSC32_IN							
PC15		TIM10_CH4_1				OSC32_OUT							
PD0		TIM10_ETR_2				OSC_IN				FSMC_D2			CAN1_RX_3
PD1		TIM10_CH1_2				OSC_OUT				FSMC_D3			CAN1_TX_3
PD2			TIM3_ETR TIM3_ETR_2 TIM3_ETR_3	UART5_RX						SDIO_CMD FSMC_NADV	DVP_D11		
PD3		TIM10_CH2_2		USART2_CTS_1						FSMC_CLK			
PD4				USART2_RTS_1						FSMC_NOE			
PD5		TIM10_CH3_2		USART2_TX_1						FSMC_NWE			
PD6				USART2_RX_1						FSMC_NWAIT	DVP_D10		
PD7		TIM10_CH4_2		USART2_CK_1						FSMC_NE1 FSMC_NCE2			
PD8		TIM9_CH1N_2		USART3_TX_3					ETH_MII_RX_DV ETH_RMII_CRS_DV	FSMC_D13			
PD9		TIM9_CH1_ETR_2		USART3_RX_3					ETH_MII_RXD0 ETH_RMII_RXD0	FSMC_D14			
PD10		TIM9_CH2N_2		USART3_CK_3					ETH_MII_RXD1 ETH_RMII_RXD1	FSMC_D15			
PD11		TIM9_CH2_2		USART3_CTS_3					ETH_MII_RXD2	FSMC_A16			
PD12		TIM9_CH3N_2	TIM4_CH1_1	USART3_RTS_3					ETH_MII_RXD3	FSMC_A17			
PD13		TIM9_CH3_2	TIM4_CH2_1							FSMC_A18			
PD14		TIM9_BKIN_2	TIM4_CH3_1							FSMC_D0			
PD15		TIM9_CH4_2	TIM4_CH4_1							FSMC_D1			

复用 引脚	ADC DAC	TIM1 8/9/10	TIM2 3/4/5	UART USART	USB	SYS	I2C	SPI I2S	ETH	FSMC SDIO	DVP	OPA	CAN
PE0			TIM4_ETR TIM4_ETR_1	UART4_TX_2						FSMC_NBL0			
PE1				UART4_RX_2						FSMC_NBL1			
PE2		TIM10_BKIN_2								FSMC_A23			
PE3		TIM10_CH1N_2								FSMC_A19			
PE4		TIM10_CH2N_2								FSMC_A20			
PE5		TIM10_CH3N_2								FSMC_A21			
PE6										FSMC_A22			
PE7		TIM1_ETR_3								FSMC_D4		OPA3_OUT1	
PE8		TIM1_CH1N_3		UART5_TX_2						FSMC_D5		OPA4_OUT1	
PE9		TIM1_CH1_3		UART5_RX_2						FSMC_D6			
PE10		TIM1_CH2N_3		UART6_TX_2						FSMC_D7			
PE11		TIM1_CH2_3		UART6_RX_2						FSMC_D8			
PE12		TIM1_CH3N_3		UART7_TX_2						FSMC_D9			
PE13		TIM1_CH3_3		UART7_RX_2						FSMC_D10			
PE14		TIM1_CH4_3		UART8_TX_2						FSMC_D11		OPA2_OUT1	
PE15		TIM1_BKIN_3		UART8_RX_2						FSMC_D12		OPA1_OUT1	

注1：I2S3_SD默认映射到PB5。仅对于批号倒数第五位大于2的产品，如果同时使用10M以太网和I2S3功能，则I2S3_SD默认映射自动改到PA9。

注 2：I2S3_MCK 默认映射到 PC7。仅对于批号倒数第五位大于 2 的产品，如果同时使用 10M 以太网和 I2S3，则 I2S3_MCK 默认映射自动改到 PA8。

第 4 章 电气特性

4.1 测试条件

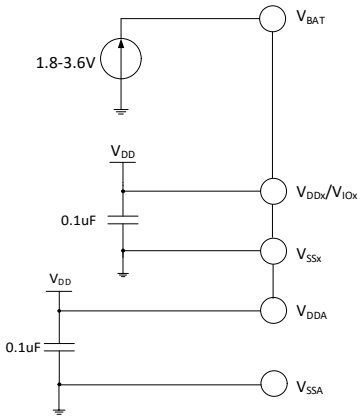
除非特殊说明和标注，所有电压都以 V_{SS} 为基准。

所有最小值和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。典型数值是基于常温 25℃和 V_{DD} = 3.3 环境下用于设计指导。

对于通过综合评估、设计模拟或工艺特性得到的数据，不会在生产线进行测试。在综合评估的基础上，最小和最大值是通过样本测试后统计得到。除非特殊说明为测试值，否则特性参数以综合评估或设计保证。

供电方案：

图 4-1 常规供电典型电路



4.2 绝对最大值

临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏。

表 4-1 绝对最大值参数表

符号	描述	最小值	最大值	单位
T_A	工作时的环境温度	-40	85	℃
T_S	存储时的环境温度	-40	125	℃
$V_{DD}-V_{SS}$	外部主供电电压（包含 V_{DDA} 和 V_{DD}）	-0.3	4.0	V
$V_{IO}-V_{SS}$	IO 域端供电电压	-0.3	4.0	V
V_{IN}	FT（耐受 5V）引脚上的输入电压	V_{SS}-0.3	5.5	V
	其他引脚上的输入电压	V_{SS}-0.3	V_{DD}+0.3	
$\lvert\triangle V_{DD_x}\rvert$	不同主供电引脚之间的电压差		50	mV
$\lvert\triangle V_{IO_x}\rvert$	不同 IO 端供电引脚之间的电压差		50	mV
$\lvert\triangle V_{SS_x}\rvert$	不同接地引脚之间的电压差		50	mV
$V_{ESD(HBM)}$	ESD 静电放电电压（人体模型，非接触式）	4K		V
	USB 引脚（PA11、PA12）	3K		
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流（供应电流）		150	mA
I_{Vss}	经过 V_{SS} 地线的总电流（流出电流）		150	
I_{IO}	任意 I/O 和控制引脚上的灌电流		25	
	任意 I/O 和控制引脚上的输出电流		-25	
$I_{INJ(PIN)}$	NRST 引脚注入电流		+/-5	
	HSE 的 OSC_IN 引脚和 LSE 的 OSC_IN 引脚注入电流		+/-5	

	其他引脚的注入电流		+/-5	
$\Sigma I_{INJ(PIN)}$	所有 IO 和控制引脚的总注入电流		+/-25	

4.3 电气参数

4.3.1 工作条件

表 4-2 通用工作条件

符号	参数	条件	最小值	最大值	单位
F_{HCLK}	内部 HB 时钟频率			144	MHz
F_{PCLK1}	内部 PB1 时钟频率			144	MHz
F_{PCLK2}	内部 PB2 时钟频率			144	MHz
V_{DD}	标准工作电压		2.4 (2)	3.6	V
		使用 USB 或 ETH	3.0	3.6	
V_{IO}	大部分 IO 引脚输出电压	V_{IO}不能高于 V_{DD}	2.4 (2)	3.6	V
V_{DDA}	模拟部分工作电压(未使用 ADC)	V_{DDA} 必须与 V_{IO} 相同，V_{REF+}	2.4 (2)	3.6	V
	模拟部分工作电压（使用 ADC）	不能高于 V_{DDA}，V_{REF-}等于 V_{SS}	2.4	3.6	
V_{BAT} (1)	备份单元工作电压		1.8	3.6	V
T_A	环境温度		-40	85	℃
T_J	结温度范围		-40	85	℃

注：1. 电池到 V_{BAT} 连线要尽可能的短。

2. 对于位 VLEVEL = 1 的芯片，V_{DD}、V_{IO}、V_{DDA} 支持最低供电电压为 2.4V；对于位 VLEVEL = 0 的芯片，V_{DD}、V_{IO}、V_{DDA} 支持最低供电电压则为 1.8V；使用 ADC，DAC 与 OPA 外设时，V_{DD}、V_{IO}、V_{DDA} 支持最低供电电压仍为 2.4V。

表 4-3 上电和掉电条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率		0	∞	us/V
	V_{DD} 下降速率		20	∞	
t_{VDDA}	V_{DDA} 上升速率	V_{DD} 有电	0	10000	us/V
	V_{DDA} 下降速率		20	∞	

注：电池到 V_{BAT} 连线要尽可能的短。

4.3.2 内嵌复位和电源控制模块特性

表 4-4-1 复位及电压监测（适用于位 VLEVEL = 1 的芯片）

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD} (1)	可编程电压检测器的电平选择	PLS[2:0] = 000(上升沿)		2.39		V
		PLS[2:0] = 000(下降沿)		2.31		V
		PLS[2:0] = 001(上升沿)		2.56		V
		PLS[2:0] = 001(下降沿)		2.48		V
		PLS[2:0] = 010(上升沿)		2.65		V
		PLS[2:0] = 010(下降沿)		2.57		V
		PLS[2:0] = 011(上升沿)		2.78		V
		PLS[2:0] = 011(下降沿)		2.69		V
		PLS[2:0] = 100(上升沿)		2.89		V

		PLS[2:0] = 100(下降沿)		2.81		V
		PLS[2:0] = 101(上升沿)		3.05		V
		PLS[2:0] = 101(下降沿)		2.96		V
		PLS[2:0] = 110(上升沿)		3.17		V
		PLS[2:0] = 110(下降沿)		3.08		V
		PLS[2:0] = 111(上升沿)		3.31		V
		PLS[2:0] = 111(下降沿)		3.21		V
$V_{PVDhyst}$	PVD 迟滞			0.08		V
$V_{POR/PDR}$	上电/掉电复位阈值	上升沿	1.9	2.2	2.4	V
		下降沿	1.9	2.2	2.4	V
$V_{PDRhyst}$	PDR 迟滞			20		mV
$t_{RSTTEMPO}$	上电复位		24	28	30	mS
	其他复位		8	10	30	

注：1.常温测试值。

表 4-4-2 复位及电压监测（适用于位 VLEVEL = 0 的芯片）

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD} (1)	可编程电压检测器的电平选择	PLS[2:0] = 000（上升沿）		2.19		V
		PLS[2:0] = 000（下降沿）		2.13		V
		PLS[2:0] = 001（上升沿）		2.33		V
		PLS[2:0] = 001（下降沿）		2.25		V
		PLS[2:0] = 010（上升沿）		2.39		V
		PLS[2:0] = 010（下降沿）		2.32		V
		PLS[2:0] = 011（上升沿）		2.48		V
		PLS[2:0] = 011（下降沿）		2.42		V
		PLS[2:0] = 100（上升沿）		2.57		V
		PLS[2:0] = 100（下降沿）		2.51		V
		PLS[2:0] = 101（上升沿）		2.69		V
		PLS[2:0] = 101（下降沿）		2.61		V
		PLS[2:0] = 110（上升沿）		2.78		V
		PLS[2:0] = 110（下降沿）		2.69		V
		PLS[2:0] = 111（上升沿）		2.88		V
		PLS[2:0] = 111（下降沿）		2.79		V
$V_{PVDhyst}$	PVD 迟滞			0.08		V
$V_{POR/PDR}$	上电/掉电复位阈值	上升沿		1.59		V
		下降沿		1.57		V
$V_{PDRhyst}$	PDR 迟滞			20		mV
$t_{RSTTEMPO}$	上电复位		16	28	30	mS
	其他复位		2	10	30	

注：1.常温测试值。

4.3.3 内置的参考电压

表 4-5 内置参考电压

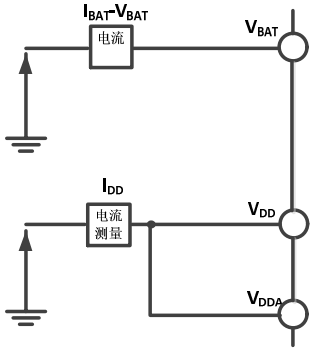
符号	参数	条件	最小值		最大值	单位

V_{REFINT}	内置参考电压	T_A = -40℃～85℃	1.17	1.2	1.23	V
$T_{S_vrefint}$	当读出内部参考电压时，ADC 的采样时间		17.1			us

4.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。电流消耗测量方法如下图：

图 4-2 电流消耗测量



微控制器处于下列条件：

常温 VDD = 3.3V 情况下，测试时：PD0 和 PD1 引脚作为晶振引脚使用，其它所有 IO 引脚均配置为下拉输入；HSE 或 HSI 只开 1 个，HSE=8M，HSI=8M（已校准），$F_{PLCK1}=F_{HCLK}$，$F_{PLCK2}=F_{HCLK}$，当 F_{HCLK}>8MHz 时，PLL 打开；使能或关闭所有外设时钟的功耗。

表 4-6-1 运行模式下典型的电流消耗，数据处理代码从内部闪存中运行（适用于 CH32F207）

符号	参数	条件		典型值		单位
				使能所有外设	关闭所有外设(2)	
I_{DD}(1)	运行模式下的供应电流	外部时钟	F_{HCLK} = 144MHz	25.97	14.68	mA
			F_{HCLK} = 72MHz	13.34	7.71	
			F_{HCLK} = 48MHz	9.15	5.40	
			F_{HCLK} = 36MHz	6.98	4.28	
			F_{HCLK} = 24MHz	4.97	3.09	
			F_{HCLK} = 16MHz	3.86	2.51	
			F_{HCLK} = 8MHz	2.26	1.44	
			F_{HCLK} = 4MHz	1.38	1.07	
			F_{HCLK} = 500KHz	0.79	0.74	
		运行于高速内部 RC 振荡器（HSI），使用 HB 预分频以减低频率	F_{HCLK} = 144MHz	25.54	14.61	
			F_{HCLK} = 72MHz	13.11	9.46	
			F_{HCLK} = 48MHz	8.98	6.54	
			F_{HCLK} = 36MHz	7.19	4.25	
			F_{HCLK} = 24MHz	4.84	3.63	
			F_{HCLK} = 16MHz	3.59	2.82	
			F_{HCLK} = 8MHz	1.97	1.35	
			F_{HCLK} = 4MHz	1.31	0.99	
			F_{HCLK} = 500KHz	0.72	0.67	

注：1.以上为同类芯片实测参数，实际数值会稍有偏差。

表 4-6-2 运行模式下典型的电流消耗，数据处理代码从内部闪存中运行（适用于 CH32F203 大容量）

符号	参数	条件		典型值		单位
				使能所有外设	关闭所有外设(2)	
I_{DD}(1)	运行模式下的供应电流	外部时钟	F_{HCLK}= 144MHz	23.61	14.59	mA
			F_{HCLK} = 72MHz	12.15	7.64	
			F_{HCLK} = 48MHz	8.35	5.34	
			F_{HCLK} = 36MHz	7.24	4.69	
			F_{HCLK} = 24MHz	4.55	3.05	
			F_{HCLK} = 16MHz	3.61	2.47	
			F_{HCLK} = 8MHz	1.88	1.38	
			F_{HCLK} = 4MHz	1.29	1.04	
			F_{HCLK}= 500KHz	0.76	0.71	
		运行于高速内部 RC 振荡器（HSI），使用 HB 预分频以减低频率	F_{HCLK}= 144MHz	23.19	14.12	
			F_{HCLK} = 72MHz	11.9	7.29	
			F_{HCLK} = 48MHz	8.13	5.09	
			F_{HCLK} = 36MHz	6.45	4.07	
			F_{HCLK} = 24MHz	4.36	2.84	
			F_{HCLK} = 16MHz	3.19	2.13	
			F_{HCLK} = 8MHz	1.78	1.28	
			F_{HCLK} = 4MHz	1.12	0.86	
			F_{HCLK}= 500KHz	0.59	0.55	

注：1.以上为同类芯片实测参数，实际数值会稍有偏差。

表 4-7-1 睡眠模式下典型的电流消耗，数据处理代码从内部闪存或 SRAM 中运行（适用于 CH32F207）

符号	参数	条件		典型值		单位
				使能所有外设	关闭所有外设(2)	
I_{DD}(1)	睡眠模式下的供应电流（此时外设供电和时钟保持）	外部时钟	F_{HCLK} = 144MHz	15.12	4.06	mA
			F_{HCLK} = 72MHz	7.92	2.39	
			F_{HCLK} = 48MHz	5.54	1.85	
			F_{HCLK} = 36MHz	4.62	1.91	
			F_{HCLK} = 24MHz	3.17	1.32	
			F_{HCLK} = 16MHz	2.68	1.32	
			F_{HCLK} = 8MHz	1.45	0.84	
			F_{HCLK} = 4MHz	1.08	0.77	
			F_{HCLK} = 500KHz	0.76	0.71	
		运行于高速内部 RC 振荡器（HSI），使用 HB 预分频以减低频率	F_{HCLK} = 144MHz	15.13	4.01	
			F_{HCLK} = 72MHz	7.89	2.32	
			F_{HCLK} = 48MHz	5.49	1.78	
			F_{HCLK} = 36MHz	4.53	1.65	
			F_{HCLK} = 24MHz	3.11	1.25	
			F_{HCLK} = 16MHz	2.40	1.13	
			F_{HCLK} = 8MHz	1.38	0.77	

			F_{HCLK} = 4MHz	1.01	0.70	
			F_{HCLK} = 500KHz	0.69	0.64	

注：1.以上为同类芯片实测参数，实际数值会稍有偏差。

表 4-7-2 睡眠模式下典型的电流消耗，数据处理代码从内部闪存中运行（适用于 CH32F203 大容量）

符号	参数	条件		典型值		单位
				使能所有外设	关闭所有外设(2)	
I_{DD}(1)	睡眠模式下的供应电流（此时外设供电和时钟保持）	外部时钟	F_{HCLK}= 144MHz	13.16	4.15	mA
			F_{HCLK} = 72MHz	6.93	2.42	
			F_{HCLK} = 48MHz	4.86	1.86	
			F_{HCLK} = 36MHz	4.58	2.06	
			F_{HCLK} = 24MHz	2.81	1.31	
			F_{HCLK} = 16MHz	2.43	1.30	
			F_{HCLK} = 8MHz	1.31	0.82	
			F_{HCLK} = 4MHz	1.01	0.76	
			F_{HCLK}= 500KHz	0.72	0.68	
		运行于高速内部 RC 振荡器（HSI），使用 HB 预分频以减低频率	F_{HCLK}= 144MHz	13.12	3.97	
			F_{HCLK} = 72MHz	6.82	2.22	
			F_{HCLK} = 48MHz	4.74	1.65	
			F_{HCLK} = 36MHz	3.94	1.52	
			F_{HCLK} = 24MHz	2.67	1.1	
			F_{HCLK} = 16MHz	2.08	0.97	
			F_{HCLK} = 8MHz	1.67	0.67	
			F_{HCLK} = 4MHz	0.85	0.60	
			F_{HCLK}= 500KHz	0.55	0.51	

注：1.以上为同类芯片实测参数，实际数值会稍有偏差。

表 4-8 停止和待机模式下典型的电流消耗

符号	参数	条件	典型值	单位
I_{DD}	停止模式下的供应电流	调压器处于运行模式，低速和高速内部 RC 振荡器及外部振荡器都处于关闭状态（没有独立看门狗）	127	uA
		调压器处于低功耗模式，低速和高速内部 RC 振荡器及外部振荡器都处于关闭状态（没有独立看门狗，PVD 关闭），RAM 进入低功耗模式	41.5	
	待机模式下的供应电流	低速内部 RC 振荡器和独立看门狗处于开启状态，所有 RAM 不带电	2.0	
		低速内部 RC 振荡器处于开启状态，独立看门狗关闭状态，所有 RAM 不带电	2.0	
		LSI/LSE/RTC/IWDG 关闭，32K_RAM 带电并处于低功耗状态	3.2	
		LSI/LSE/RTC/IWDG 关闭，2K_RAM 带电并处于低功耗状态	1.5	

		LSI/LSE/RTC/IWDG 关闭， 所有 RAM 不带电	1.27	
I_{DD_VBAT}	备份区域的供应电流（移除 V_{DD} 和 V_{DDA}，只使用 V_{BAT} 供电）	低速外部振荡器和 RTC 处于开启状态	1.9	

注：以上为实测参数

4.3.5 外部时钟源特性

表 4-9 来自外部高速时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{HSE_ext}	外部时钟频率		3	8	25	MHz
V_{HSEH} (1)	OSC_IN 输入引脚高电平电压		0.8V_{IO}		V_{IO}	V
V_{HSEL} (1)	OSC_IN 输入引脚低电平电压		0		0.2V_{IO}	V
$C_{in(HSE)}$	OSC_IN 输入电容			5		pF
$DuCy_{(HSE)}$	占空比			50		%
I_L	OSC_IN 输入漏电流				±1	uA

注：1.不满足此条件可能会引起电平识别错误。

图 4-3 外部提供高频时钟源电路

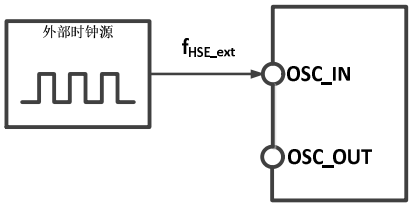


表 4-10 来自外部低速时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{LSE_ext}	用户外部时钟频率			32.768	1000	KHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压		0.8V_{DD}		V_{DD}	V
V_{LSEL}	OSC32_IN 输入引脚低电平电压		0		0.2V_{DD}	V
$C_{in(LSE)}$	OSC32_IN 输入电容			5		pF
$DuCy_{(LSE)}$	占空比			50		%
I_L	OSC32_IN 输入漏电流				±1	uA

图 4-4 外部提供低频时钟源电路

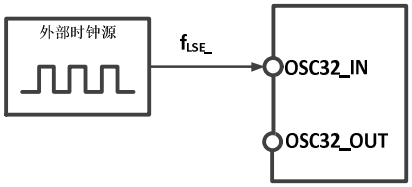


表 4-11 使用一个晶体/陶瓷谐振器产生的高速外部时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{OSC_IN}	谐振器频率		3	8	25	MHz
R_F	反馈电阻			250		kΩ
C	建议的负载电容与对应晶体串	R_S=60Ω (1)		30		pF

	行阻抗 R_S					
I_2	HSE 驱动电流	V_{DD} = 3.3V，20p 负载		0.53		mA
g_m	振荡器的跨导	启动		17.5		mA/V
$t_{SU(HSE)}$	启动时间	V_{DD}稳定，8M 晶体		2.5		ms

注：1.25M 晶体 ESR 建议不超过 60 欧，低于 25M 可适当放宽。

电路参考设计及要求：

晶体的负载电容以晶体厂商建议为准，C_{L1}=C_{L2}，通常情况 C_{L1}=C_{L2}。

图 4-5 外接 8M 晶体典型电路

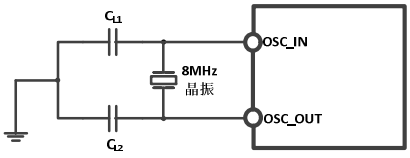


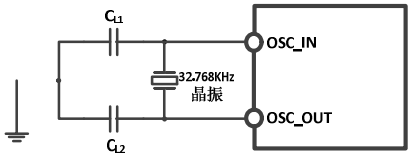
表 4-12 使用一个晶体/陶瓷谐振器产生的低速外部时钟（f(LSE)=32.768KHz）

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻			5		MΩ
C	建议的负载电容与对应晶体串行阻抗 R_S	R_S<70kΩ			15	pF
i_2	LSE 驱动电流	VDD = 3.3V		0.35		uA
g_m	振荡器的跨导	启动		25.3		uA/V
$t_{SU(LSE)}$	启动时间	VDD 是稳定的		800		mS

电路参考设计及要求：

晶体的负载电容以晶体厂商建议为准，C_{L1}=C_{L2}，通常情况 C_{L1}=C_{L2}，可选 12pF 左右。

图 4-6 外接 32.768K 晶体典型电路



注：负载电容 C_L 由下式计算：$C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$，其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容，它的典型值是介于 2pF 至 7pF 之间。

4.3.6 内部时钟源特性

表 4-13 内部高速(HSI)RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{HSI}	频率			8		MHz
$DuCy_{HSI}$	占空比		45	50	55	%
ACC_{HSI}	HSI 振荡器的精度	T_A = 0℃～70℃	-1.6		1.6	%
		T_A = -40℃～85℃	-2.2		2.2	%
$t_{SU(HSI)}$	HSI 振荡器启动时间			10		us
$I_{DD(HSI)}$	HSI 振荡器功耗		120	180	270	uA

表 4-14 内部低速(LSI)RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{LSI}	频率		25	39	60	KHz
$DuCy_{LSI}$	占空比		45	50	55	%
$t_{SU(LSI)}$	LSI 振荡器启动时间			100		us
$I_{DD(LSI)}$	LSI 振荡器功耗			0.6		uA

4.3.7 PLL 特性

表 4-15 PLL 特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{PLL_IN}	PLL 输入时钟		3	8	25	MHz
	PLL 输入时钟占空比		40		60	%
F_{PLL_OUT}	PLL 倍频输出时钟		18		144(1)	MHz
t_{LOCK}	PLL 锁定时间				200	us

注：1.须选择合适倍频，满足 PLL 输出频率范围。

表 4-16 PLL2 和 PLL3 特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{PLL_IN}	PLL 输入时钟		3		25	MHz
	PLL 输入时钟占空比 1		40		60	%
F_{PLL_OUT}	PLL 倍频输出时钟		30		75(1)	MHz
F_{VCO}	VCO 输出时钟		60		150	MHz
t_{LOCK1}	PLL 锁定时间				200	us

注：1.须选择合适倍频，满足 PLL 输出频率范围。

4.3.8 从低功耗模式唤醒的时间

表 4-17 低功耗模式唤醒的时间[1]

符号	参数	条件	典型值	单位
$t_{wusleep}$	从睡眠模式唤醒	使用 HSI RC 时钟唤醒	2.4	us
t_{wustop}	从停止模式唤醒（调压器处于运行模式）	HSI RC 时钟唤醒	23.1	us
	从停止模式唤醒（调压器为低功耗模式）	调压器从低功耗模式唤醒时间 + HSI RC 时钟唤醒 +	76.7	us
$t_{WUSTDBY}$	从待机模式唤醒	LDO 稳定时间 + HSI RC 时钟唤醒 + 代码加载时间(2)（举例 256K）	8.9	ms

注：1.以上为同类芯片实测参数，实际数值会稍有偏差。

2.代码加载时间以当前芯片配置 0 等待运行区域容量和加载配置时钟大小计算可得。

4.3.9 存储器特性

表 4-18 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{prog}	操作频率(1)	T_A = -40℃～85℃			60	MHz
t_{prog_page}	页（256 字节）编程时间	T_A = -40℃～85℃		2		ms
t_{erase_page}	页（256 字节）擦除时间	T_A = -40℃～85℃		16		ms

t_{erase_sec}	扇区（4K 字节）擦除时间	T_A = -40℃～85℃		16		ms
V_{prog}	编程电压		2.4		3.6	V

注：1.flash 的操作频率包括读、编程、擦除，时钟来自于 HCLK。

表 4-19 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
N_{END}	擦写次数	T_A = 25℃	10K	80K(1)		次
t_{RET}	数据保存期限		20			年

注：1.实测操作擦写次数，非担保。

4.3.10 I/O 端口特性

表 4-20 通用 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IH}	标准 I/O 脚，输入高电平电压		0.41*（V_*-1.8）+1.3		V_*+0.3	V
	FT IO 引脚，输入高电平电压		0.42*（V_*-1.8）+1		5.0	V
V_{IL}	标准 I/O 脚，输入低电平电压		-0.3		0.28*（V_*-1.8）+0.6	V
	FT IO 引脚，输入低电平电压		-0.3		0.32*（V_*-1.8）+0.55	V
V_{hys}	标准 I/O 脚施密特触发器电压迟滞		150			mV
	FT IO 引脚施密特触发器电压迟滞		90			
I_{lkg}	输入漏电流	标准 IO 端口			1	uA
		FT IO 端口			3	
R_{PU}	上拉等效电阻		30	40	50	kΩ
R_{PD}	下拉等效电阻		30	40	50	kΩ
C_{IO}	I/O 引脚电容			5		pF

注：I/O 引脚由 V_{IO}、V_{DD} 或 V_{BAT} 供电，上表中 V_*根据具体的引脚可表示为 V_{IO}、V_{DD} 或 V_{BAT}。

输出驱动电流特性

GPIO(通用输入/输出端口)可以吸收或输出多达±8mA 电流,并且吸收或输出±20mA 电流(不严格达到 V_{OL}/V_{OH})。在用户应用中，所有 IO 引脚驱动总电流不能超过 4.2 节给出的绝对最大额定值：

表 4-21-1 输出电压特性（不包括 PC13～PC15 引脚）

符号	参数	条件	最小值	最大值	单位
V_{OL}	输出低电平，8 个引脚灌电流	TTL 端口，I_{IO} = 8mA		0.4	V
V_{OH}	输出高电平，8 个引脚源电流	2.7V< V_* <3.6V	V_*-0.4		
V_{OL}	输出低电平，8 个引脚灌电流	CMOS 端口，I_{IO} = 8mA		0.4	V
V_{OH}	输出高电平，8 个引脚源电流	2.7V< V_* <3.6V	V_*-0.4		
V_{OL}	输出低电平，8 个引脚灌电流	I_{IO} = 20mA		1.0	V
V_{OH}	输出高电平，8 个引脚源电流	2.7V< V_* <3.6V	V_*-1.2		
V_{OL}	输出低电平，8 个引脚灌电流	I_{IO} = 6mA		0.4	V
V_{OH}	输出高电平，8 个引脚源电流	2.4V< V_* <2.7V	V_*-0.6		

注：1.以上条件中如果多个 IO 引脚同时驱动，电流总和不能超过表 3.2 节给出的绝对最大额定值。另外多个 IO 引脚同时驱动时，电源/地线点上的电流很大，会导致压降使内部 IO 的电压达不到表中电源电压，从而导致驱动电流小于标称值。

*2.上表中 V*根据具体的引脚可表示为 V_{IO} 或 V_{DD}。*

表 4-23-2 输出电压特性（针对 PC13～PC15 引脚）

符号	参数	条件	最小值	最大值	单位
V_{OL}	输出低电平，3 个引脚吸收电流	I_{IO} = +5mA 2.7V≤ V_* ≤3.6V		0.4	V
V_{OH}	输出高电平，3 个引脚输出电流	I_{IO} = +1.5mA 2.7V≤ V_* ≤3.6V	V_*-0.4		
V_{OL}	输出低电平，3 个引脚吸收电流	I_{IO} = +4mA 2.4V≤ V_* ≤3.6V		0.4	V
V_{OH}	输出高电平，3 个引脚输出电流	I_{IO} = +1mA 2.4V≤ V_* ≤3.6V	V_*-0.4		

注：上表中 V_*根据具体的引脚可表示为 V_{DD} 或 V_{BAT}。

表 4-22 输出交流特性（不包括 PC13～PC15 引脚）

MODEx[1:0]配置	符号	参数	条件	最小值	最大值	单位
10（2MHz）	$F_{max(IO)out}$	最大频率	CL=50pF，V_*=2.7-3.6V		2	MHz
	$t_{f(IO)out}$	输出高至低电平的下降时间	CL=50pF，V_*=2.7-3.6V		125	ns
	$t_{r(IO)out}$	输出低至高电平的上升时间			125	ns
01（10MHz）	$F_{max(IO)out}$	最大频率	CL=50pF，V_*=2.7-3.6V		10	MHz
	$t_{f(IO)out}$	输出高至低电平的下降时间	CL=50pF，V_*=2.7-3.6V		25	ns
	$t_{r(IO)out}$	输出低至高电平的上升时间			25	ns
11（50MHz）	$F_{max(IO)out}$	最大频率	CL=30pF，V_*=2.7-3.6V		50	MHz
			CL=50pF，V_*=2.7-3.6V		30	MHz
	$t_{f(IO)out}$	输出高至低电平的下降时间	CL=30pF，V_*=2.7-3.6V		5	ns
			CL=50pF，V_*=2.7-3.6V		8	ns
	$t_{r(IO)out}$	输出低至高电平的上升时间	CL=30pF，V_*=2.7-3.6V		5	ns
			CL=50pF，V_*=2.7-3.6V		8	ns
	t_{EXTIpw}	EXTI 控制器检测到外部信号的脉冲宽度		10		ns

注：1.上表中 V_*根据具体的引脚可表示为 V_{IO} 或 V_{DD}。

2.PC13、PC14 和 PC15 作为 GPIO 输出脚时只能工作在 2MHz 以下，最大驱动负载为 30pF。

3.USB 接口 I/O 仅符合 MODEx[1:0]=10b 或 01b 项的参数。

4.3.11 NRST 引脚特性

表 4-23 外部复位引脚特性

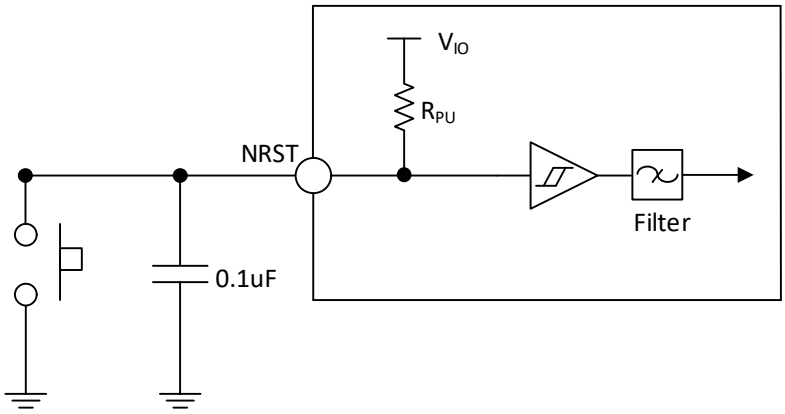
符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压		-0.3		0.28*(V_{IO}-1.8)+0.6	V
$V_{IH(NRST)}$	NRST 输入高电平电压		0.41*(V_{IO}-1.8)+1.3		V_{IO}+0.3	V
$V_{hys(NRST)}$	NRST 施密特触发器电压		150			mV

	迟滞					
R_{PU} (1)	弱上拉等效电阻		30	40	55	kΩ
$V_{F(NRST)}$	NRST 输入可被滤波脉宽				100	ns
$V_{NF(NRST)}$	NRST 输入无法滤波脉宽		300			ns

注：1.上拉电阻是一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMOS/NMOS 开关的电阻很小(约占 10%)。

电路参考设计及要求：

图 4-7 外部复位引脚典型电路



4.3.12 TIM 定时器特性

表 4-24 TIMx 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器基准时钟		1		$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 72MHz	13.9		ns
F_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK}$ = 72MHz	0	36	MHz
R_{esTIM}	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时，16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 72MHz	0.0139	910	us
t_{MAX_COUNT}	最大可能的计数			65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 72MHz		59.6	s

4.3.13 I2C 接口特性

图 4-8 I2C 总线时序图

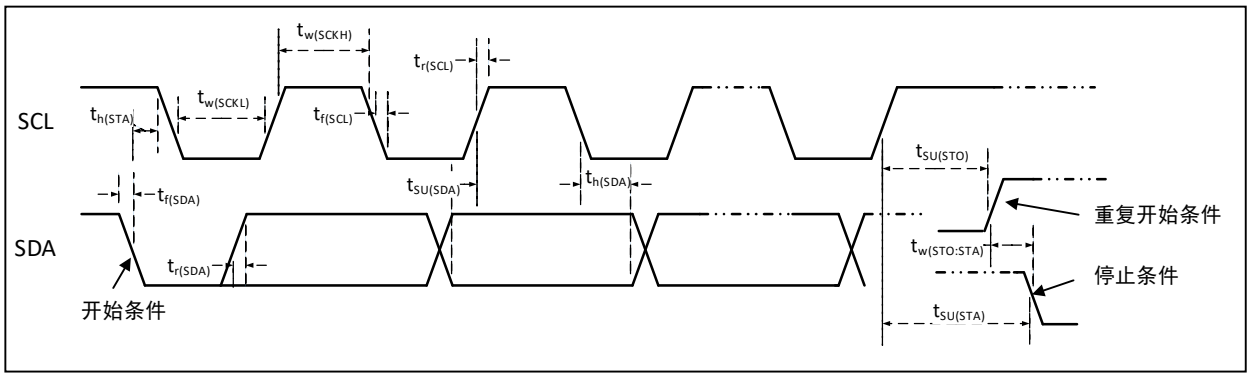


表 4-25 I2C 接口特性

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
$t_{w(SCKL)}$	SCL 时钟低电平时间	4.7		1.2		us
$t_{w(SCKH)}$	SCL 时钟高电平时间	4.0		0.6		us
$t_{SU(SDA)}$	SDA 数据建立时间	250		100		ns
$t_{h(SDA)}$	SDA 数据保持时间	0		0	900	ns
$t_{r(SDA)}/t_{r(SCL)}$	SDA 和 SCL 上升时间		1000	20		ns
$t_{f(SDA)}/t_{f(SCL)}$	SDA 和 SCL 下降时间		300			ns
$t_{h(STA)}$	开始条件保持时间	4.0		0.6		us
$t_{SU(STA)}$	重复的开始条件建立时间	4.7		0.6		us
$t_{SU(STO)}$	停止条件建立时间	4.0		0.6		us
$t_{w(STO:STA)}$	停止条件至开始条件的时间(总线空闲)	4.7		1.2		us
C_b	每条总线的容性负载		400		400	pF

4.3.14 SPI 接口特性

图 4-9 SPI 主模式时序图

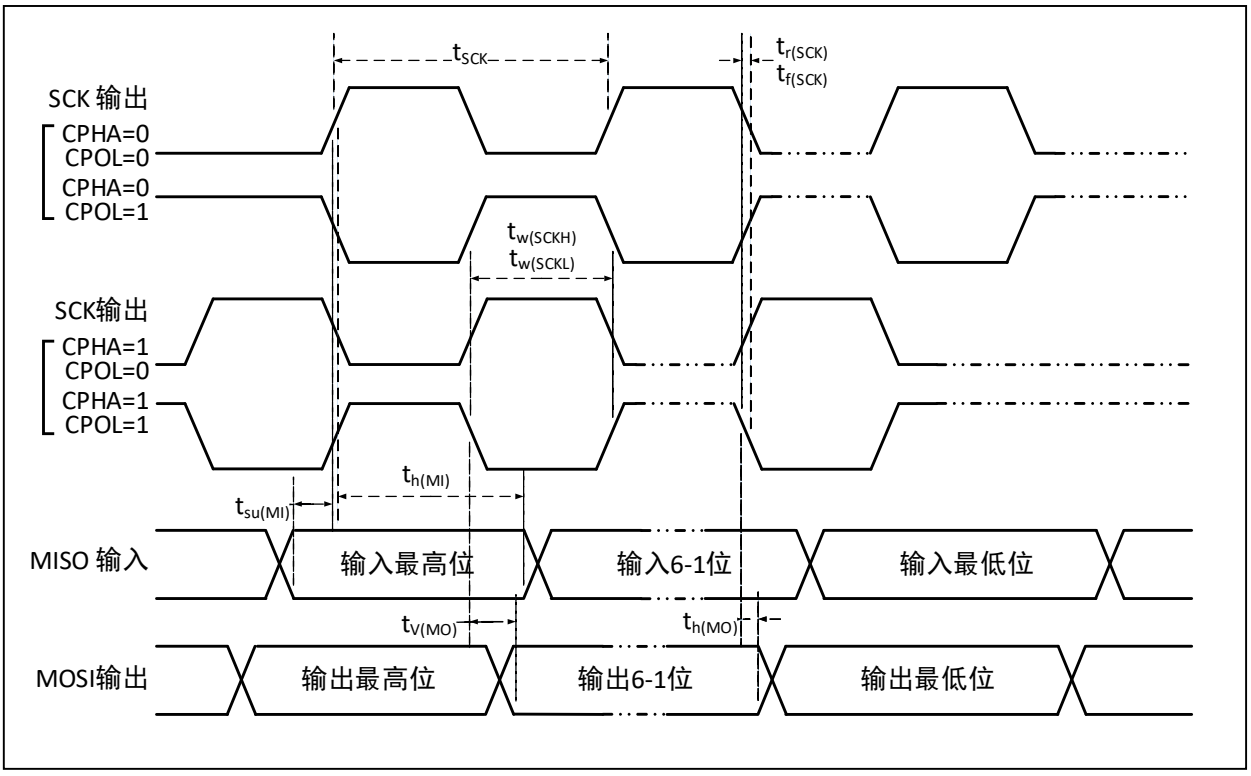


图 4-10 SPI 从模式时序图（CPHA=0）

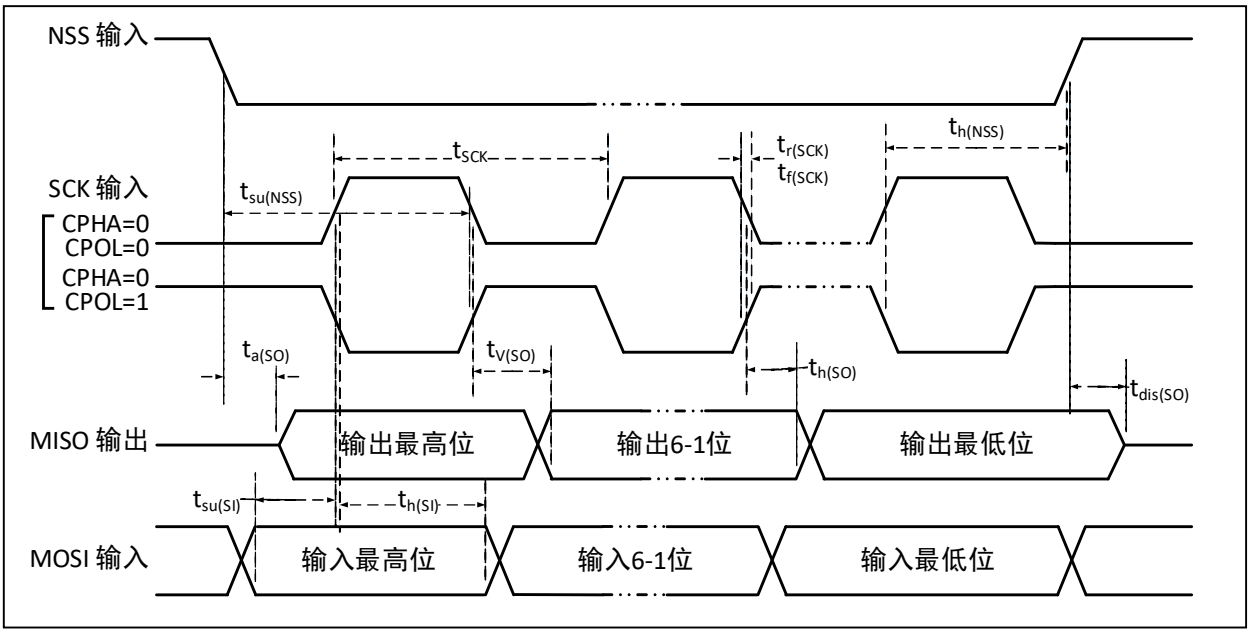


图 4-11 SPI 从模式时序图（CPHA=1）

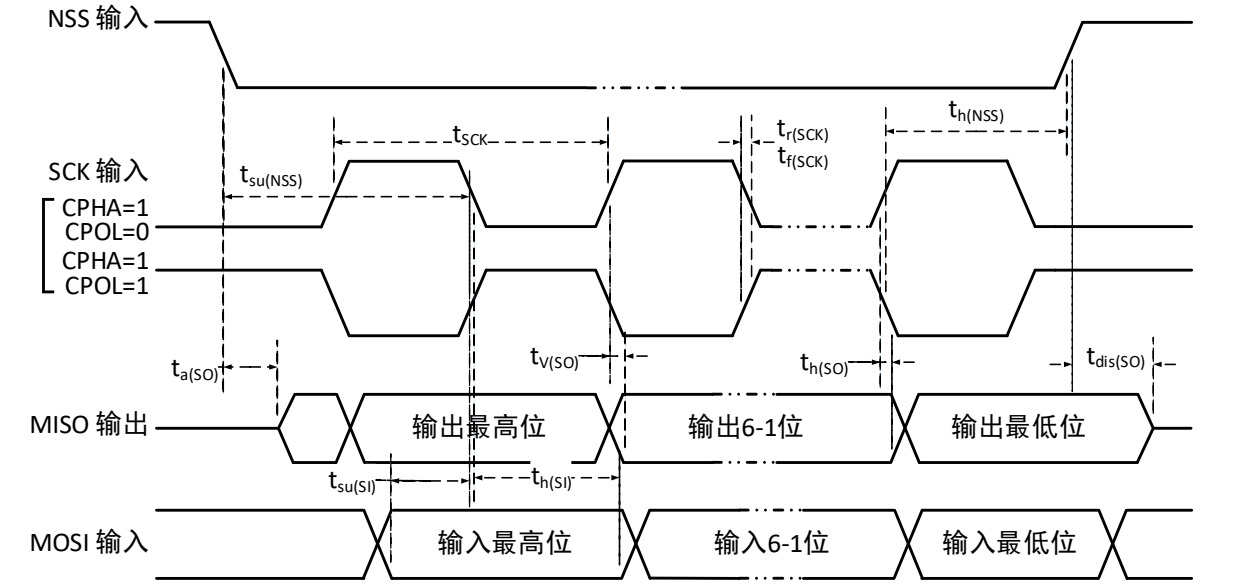


表 4-26 SPI 接口特性

符号	参数	条件	最小值	最大值	单位
f_{SCK}/t_{SCK}	SPI 时钟频率	主模式		36	MHz
		从模式		36	MHz
$t_{r(SCK)}/t_{f(SCK)}$	SPI 时钟上升和下降时间	负载电容：C = 30pF		20	ns
$t_{SU(NSS)}$	NSS 建立时间	从模式	$2t_{PCLK}$		ns
$t_{h(NSS)}$	NSS 保持时间	从模式	$2t_{PCLK}$		ns
$t_{w(SCKH)}/t_{w(SCKL)}$	SCK 高电平和低电平时间	主模式，f_{PCLK} = 36MHz，预分频系数=4	40	60	ns
$t_{SU(MI)}$	数据输入建立时间	主模式	5		ns
$t_{SU(SI)}$		从模式	5		ns

$t_{h(MI)}$	数据输入保持时间	主模式	5		ns
$t_{h(SI)}$		从模式	4		ns
$t_{a(SO)}$	数据输出访问时间	从模式，f_{PCLK} = 20MHz	0	$1t_{PCLK}$	ns
$t_{dis(SO)}$	数据输出禁止时间	从模式	0	10	ns
$t_{V(SO)}$	数据输出有效时间	从模式（使能边沿之后）		25	ns
$t_{V(MO)}$		主模式（使能边沿之后）		5	ns
$t_{h(SO)}$	数据输出保持时间	从模式（使能边沿之后）	15		ns
$t_{h(MO)}$		主模式（使能边沿之后）	0		ns

4.3.15 I2S 接口特性

图 4-12 I2S 总线主模式时序图（飞利浦协议）

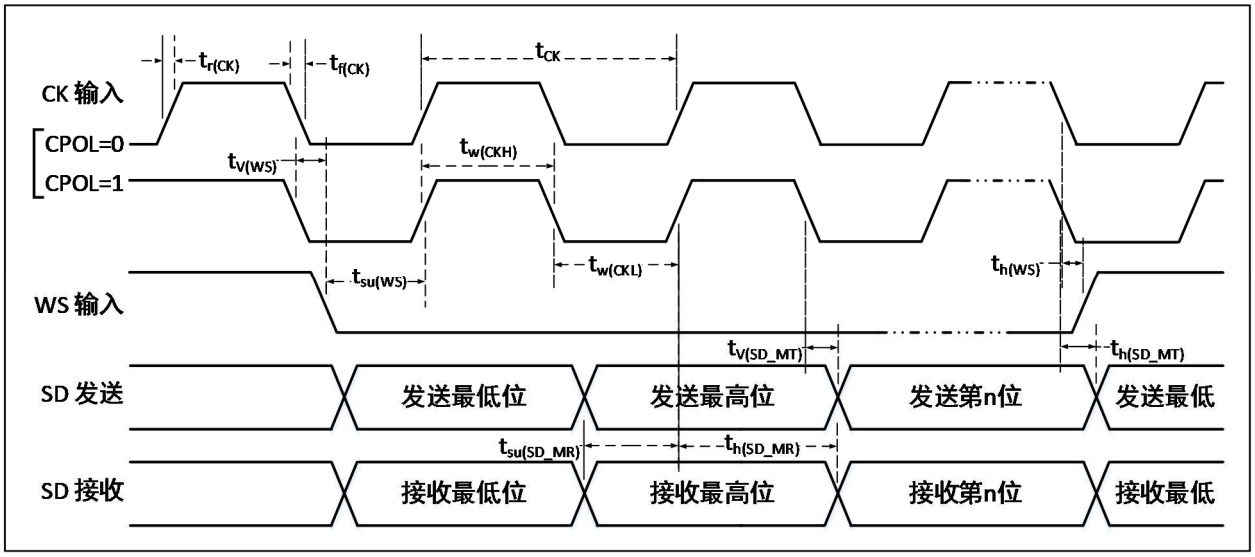


图 4-13 I2S 总线从模式时序图（飞利浦协议）

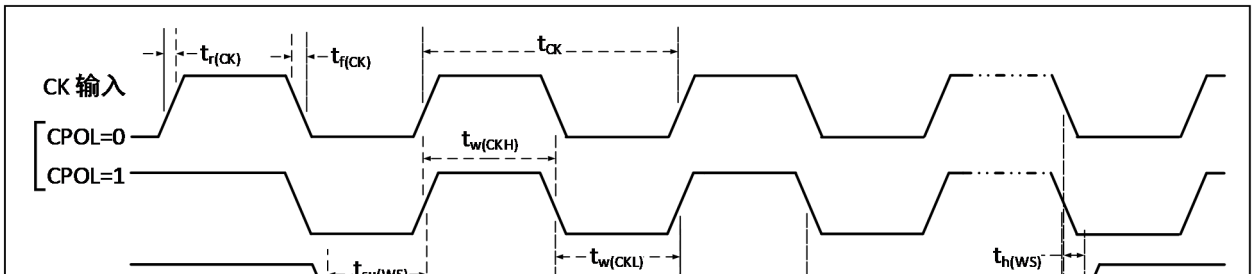


表 4-27 I2S 接口特性

符号	参数	条件	最小值	最大值	单位
f_{CK}/t_{CK}	I2S 时钟频率	主模式		8	MHz
		从模式		8	MHz

$t_{r(CK)}/t_{f(CK)}$	I2S 时钟上升和下降时间	负载电容：C = 30pF		20	ns
$t_{v(WS)}$	WS 有效时间	主模式		5	ns
$t_{su(WS)}$	WS 建立时间	从模式	10		ns
$t_{h(WS)}$	WS 保持时间	主模式	0		ns
		从模式	0		ns
$t_{w(CKH)}/t_{w(CKL)}$	SCK 高电平和低电平时间	主模式，f_{PCLK} = 36MHz，预分频系数=4	40	60	ns
$t_{su(SD_MR)}$ $t_{su(SD_SR)}$	数据输入建立时间	主模式	8		ns
		从模式	8		ns
$t_{h(SD_MR)}$ $t_{h(SD_SR)}$	数据输入保持时间	主模式	5		ns
		从模式	4		ns
$t_{h(SD_MT)}$	数据输出保持时间	主模式（使能边沿之后）		5	ns
$t_{h(SD_ST)}$		从模式（使能边沿之后）		5	ns
$t_{v(SD_MT)}$	数据输出有效时间	主模式（使能边沿之后）		5	ns
$t_{v(SD_ST)}$		从模式（使能边沿之后）		4	ns

4.3.16 USB 接口特性

表 4-28 USB 模块特性

符号	参数	条件	最小值	最大值	单位
V_{DD}	USB 操作电压		3.0	3.6	V
V_{SE}	单端接收器阈值	V_{DD} = 3.3V	1.2	1.9	V
V_{OL}	静态输出低电平			0.3	V
V_{OH}	静态输出高电平		2.8	3.6	V
V_{HSSQ}	高速压制信息检测阈值		100	150	mV
V_{HSDSC}	高速断开连接检测阈值		500	625	mV
V_{HSOI}	高速空闲电平		-10	10	mV
V_{HSOH}	高速数据高电平		360	440	mV
V_{HSOL}	高速数据低电平		-10	10	mV

4.3.17 SD/MMC 接口特性

图 4-14 SD 高速模式时序图

图 4-15 SD 默认模式时序图

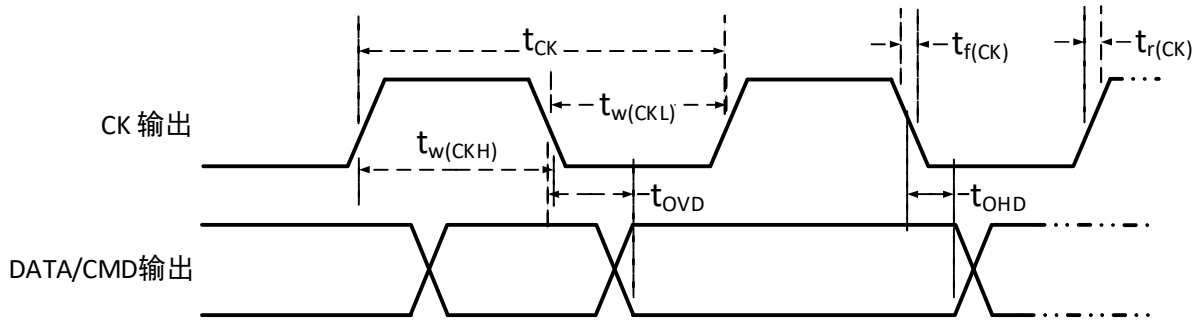


表 4-29 SD/MMC 接口特性

符号	参数	条件	最小值	最大值	单位
f_{CK}/t_{CK}	数据传输模式下的时钟频率	CL≤30pF		48	MHz
$t_{W(CKL)}$	时钟低电平时间	CL≤30pF	6		ns
$t_{W(CKH)}$	时钟高电平时间	CL≤30pF	6		
$t_{r(CK)}$	上升时间	CL≤30pF		4	
$t_{f(CK)}$	下降时间	CL≤30pF		4	
CMD/DAT 输入（参考 CK）					
t_{ISU}	输入建立时间	CL≤30pF	7		ns
t_{IH}	输入保持时间	CL≤30pF	2		
在 MMC 和 SD 高速模式下，CMD/DAT 输出（参考 CK）					
t_{OV}	输出有效时间	CL≤30pF		5	ns
t_{OH}	输出保持时间	CL≤30pF	20		
在 SD 默认模式下，CMD/DAT 输出（参考 CK）					
t_{OVD}	输出有效默认时间	CL≤30pF		8	ns
t_{OHD}	输出保持默认时间	CL≤30pF	20		

4.3.18 FSMC 特性

图 4-16 异步总线复用 PSRAM/NOR 读操作波形

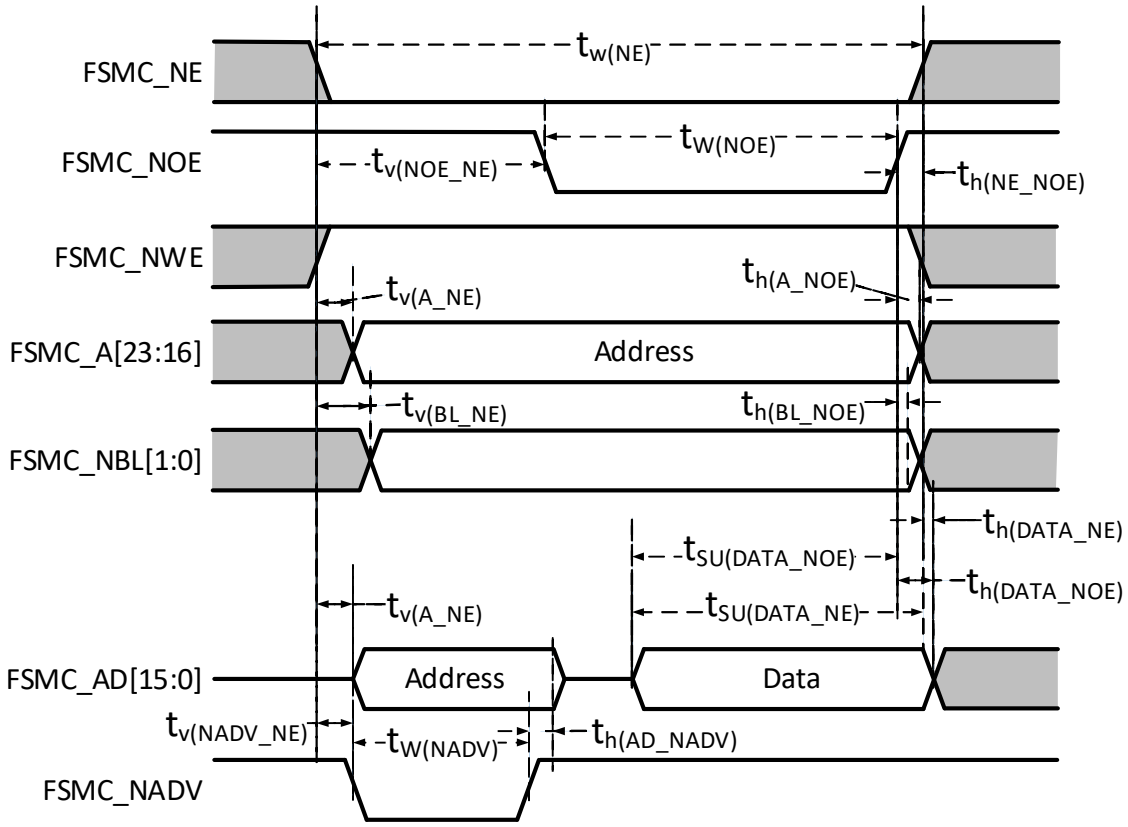


表 4-30 异步总线复用的 PSRAM/NOR 读操作时序

符号	参数	最小值	最大值	单位
$t_{W(NE)}$	FSMC_NE 低电平时间	$7t_{HCLK}$		ns
$t_{V(NOE_NE)}$	FSMC_NE 低至 FSMC_NOE 低	0		
$t_{W(NOE)}$	FSMC_NOE 低时间	$7t_{HCLK}$		
$t_{h(NE_NOE)}$	FSMC_NOE 高至 FSMC_NE 高保持时间	0		
$t_{V(A_NE)}$	FSMC_NE 低至 FSMC_A 有效	0	5	
$t_{V(NADV_NE)}$	FSMC_NE 低至 FSMC_NADV 低	0	5	
$t_{W(NADV)}$	FSMC_NADV 低时间	t_{HCLK}		
$t_{h(AD_NADV)}$	FSMC_NADV 高之后 FSMC_AD(地址)有效保持时间	$2t_{HCLK}$		
$t_{h(A_NOE)}$	FSMC_NOE 高之后的地址保持时间	0		
$t_{h(BL_NOE)}$	FSMC_NOE 高之后的 FSMC_BL 保持时间	0		
$t_{V(BL_NE)}$	FSMC_NE 低至 FSMC_BL 有效	0	5	
$t_{SU(DATA_NE)}$	数据至 FSMC_NE 高的建立时间	$3t_{HCLK}$		
$t_{SU(DATA_NOE)}$	数据至 FSMC_NOE 高的建立时间	$3t_{HCLK}$		
$t_{h(DATA_NE)}$	FSMC_NE 高之后的数据保持时间	0		
$t_{h(DATA_NOE)}$	FSMC_NOE 高之后的数据保持时间	0		

图 4-17 异步总线复用 PARAM/NOR 写操作波形

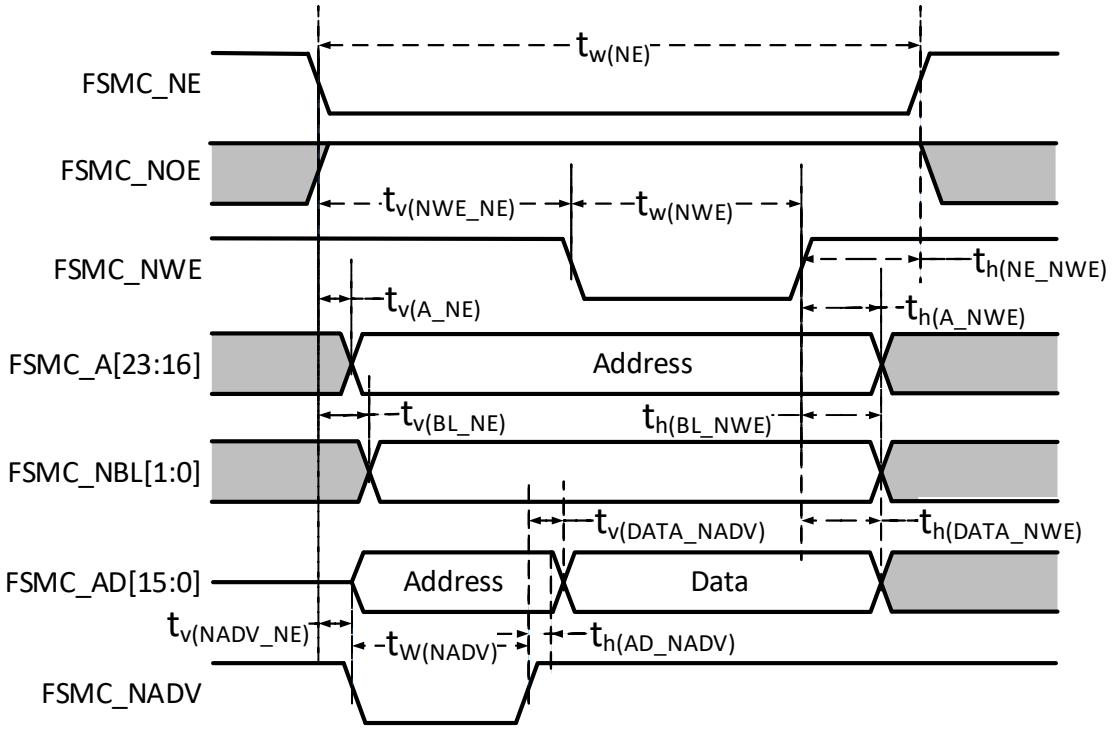


表 4-31 异步总线复用 PARAM/NOR 写操作时序

符号	参数	最小值	最大值	单位
$t_{W(NE)}$	FSMC_NE 低电平时间	$5t_{HCLK}$		ns
$t_{V(NEW_NE)}$	FSMC_NE 低至 FSMC_NWE 低	$3t_{HCLK}$		
$t_{W(NWE)}$	FSMC_NWE 低时间	$2t_{HCLK}$		
$t_{h(NE_NWE)}$	FSMC_NWE 高至 FSMC_NE 高保持时间	t_{HCLK}		
$t_{V(A_NE)}$	FSMC_NE 低至 FSMC_A 有效	0	5	
$t_{V(NADV_NE)}$	FSMC_NE 低至 FSMC_NADV 低	0	5	
$t_{W(NADV)}$	FSMC_NADV 低时间	t_{HCLK}		
$t_{h(AD_NADV)}$	FSMC_NADV 高之后 FSMC_AD(地址)有效保持时间	$2t_{HCLK}$		
$t_{h(A_NWE)}$	FSMC_NWE 高之后的地址保持时间	t_{HCLK}		
$t_{V(BL_NE)}$	FSMC_NE 低至 FSMC_BL 有效	0	5	
$t_{h(BL_NWE)}$	FSMC_NWE 高之后的 FSMC_BL 保持时间	t_{HCLK}		
$t_{V(DATA_NADV)}$	FSMC_NADV 高至数据保持时间	$2t_{HCLK}$		
$t_{h(DATA_NWE)}$	FSMC_NWE 高之后的数据保持时间	t_{HCLK}		

图 4-18 同步总线复用 NOR/PARAM 读波形

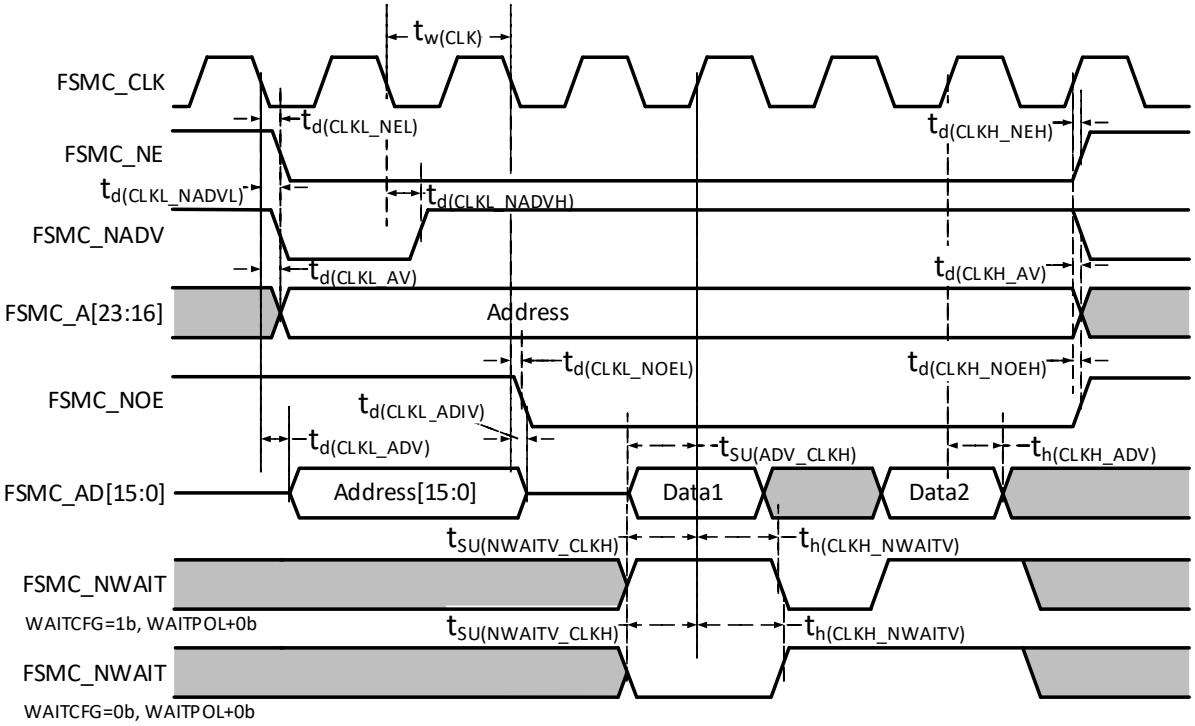


表 4-32 同步总线复用 NOR/PSRAM 读时序

符号	参数	最小值	最大值	单位
$t_{w(CLK)}$	FSMC_CLK 周期	$2t_{HCLK}$		ns
$t_{d(CLKL_NEL)}$	FSMC_CLK低至FSMC_NE低	0	5	
$t_{d(CLKH_NEH)}$	FSMC_CLK高至FSMC_NE高	$0.5t_{HCLK}$	$0.5t_{HCLK}$	
$t_{d(CLKL_NADVL)}$	FSMC_CLK低至FSMC_NADV低	0	5	
$t_{d(CLKL_NADVH)}$	FSMC_CLK低至FSMC_NADV高	0	5	
$t_{d(CLKL_AV)}$	FSMC_CLK低至FSMC_Ax有效(x = 16…23)	0	5	
$t_{d(CLKH_AIV)}$	FSMC_CLK高至FSMC_Ax无效(x = 16…23)	0	5	
$t_{d(CLKL_NOEL)}$	FSMC_CLK低至FSMC_NOE低	$2t_{HCLK}$		
$t_{d(CLKH_NOEH)}$	FSMC_CLK高至FSMC_NOE高	t_{HCLK}		
$t_{d(CLKL_ADV)}$	FSMC_CLK低至FSMC_AD[15:0]有效	0	5	
$t_{d(CLKL_ADIV)}$	FSMC_CLK低至FSMC_AD[15:0]无效	0	5	
$t_{SU(ADV_CLKH)}$	FSMC_CLK高之前FSMC_AD[15:0]有效数据	8		
$t_{h(CLKH_ADV)}$	FSMC_CLK高之后FSMC_AD[15:0]有效数据	8		
$t_{SU(NWAITV_CLKH)}$	FSMC_CLK高之前FSMC_NWAIT有效	6		
$t_{h(CLKH_NWAITV)}$	FSMC_CLK高之后FSMC_NWAIT有效	2		

图 4-19 同步总线复用 PSRAM 写波形

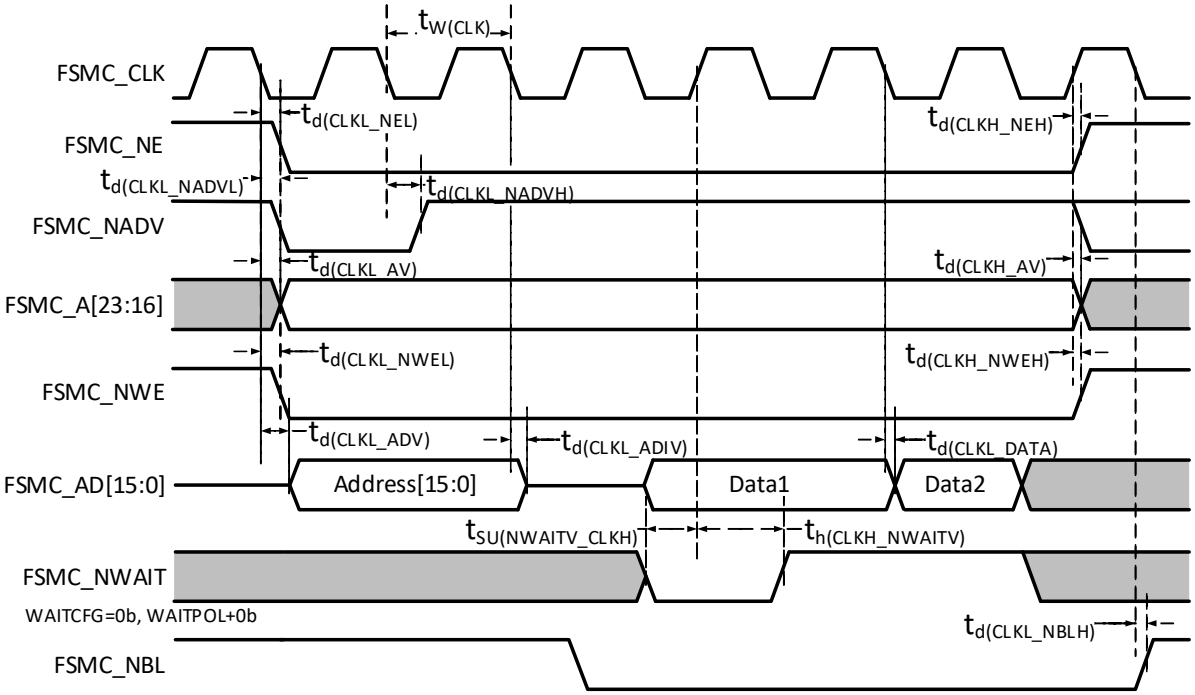


表 4-33 同步总线复用 PSRAM 写时序

符号	参数	最小值	最大值	单位
$t_{W(CLK)}$	FSMC_CLK 周期	$2t_{HCLK}$		ns
$t_{d(CLKL_NEL)}$	FSMC_CLK低至FSMC_NE低	0	5	
$t_{d(CLKH_NEH)}$	FSMC_CLK高至FSMC_NE高	$0.5t_{HCLK}$	$0.5t_{HCLK}$	
$t_{d(CLKL_NADVL)}$	FSMC_CLK低至FSMC_NADV低	0	5	
$t_{d(CLKL_NADVH)}$	FSMC_CLK低至FSMC_NADV高	0	5	
$t_{d(CLKL_AV)}$	FSMC_CLK低至FSMC_Ax有效(x = 16…23)	0	5	
$t_{d(CLKH_AIV)}$	FSMC_CLK高至FSMC_Ax无效(x = 16…23)	0	5	
$t_{d(CLKL_NWEL)}$	FSMC_CLK低至FSMC_NWE低	0		
$t_{d(CLKH_NWEH)}$	FSMC_CLK高至FSMC_NWE高	0		
$t_{d(CLKL_ADV)}$	FSMC_CLK低至FSMC_AD[15:0]有效	0	5	
$t_{d(CLKL_ADIV)}$	FSMC_CLK低至FSMC_AD[15:0]无效	0	5	
$t_{d(CLKL_DATA)}$	FSMC_CLK低之后FSMC_AD[15:0]有效	2		
$t_{SU(NWAITV_CLKH)}$	FSMC_CLK高之前FSMC_NWAIT有效	6		
$t_{h(CLKH_NWAITV)}$	FSMC_CLK高之后FSMC_NWAIT有效	2		
$t_{d(CLKL_NBLH)}$	FSMC_CLK低至FSMC_NBL高	2		

NAND 控制器波形和时序

测试条件：NAND 操作区域，选择 16 位数据宽度，使能 ECC 计算电路，512 字节页面大小，其他时序配置为设置寄存器 FSMC_PCR2=0x0002005E，FSMC_PMEM2=0x01020301，FSMC_PATT2=0x01020301。

图 4-20 NAND 控制器读操作波形

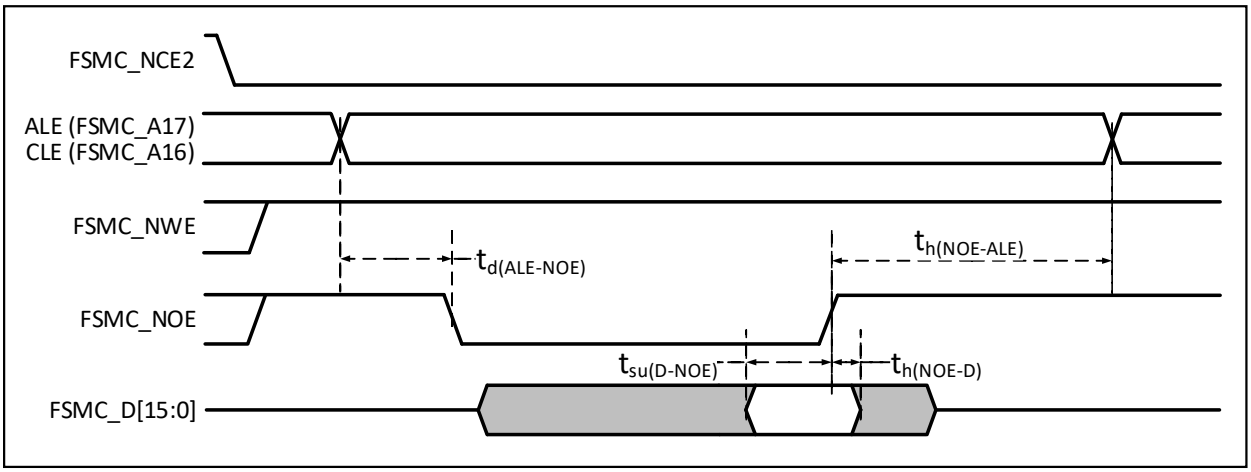


图 4-21 NAND 控制器写操作波形

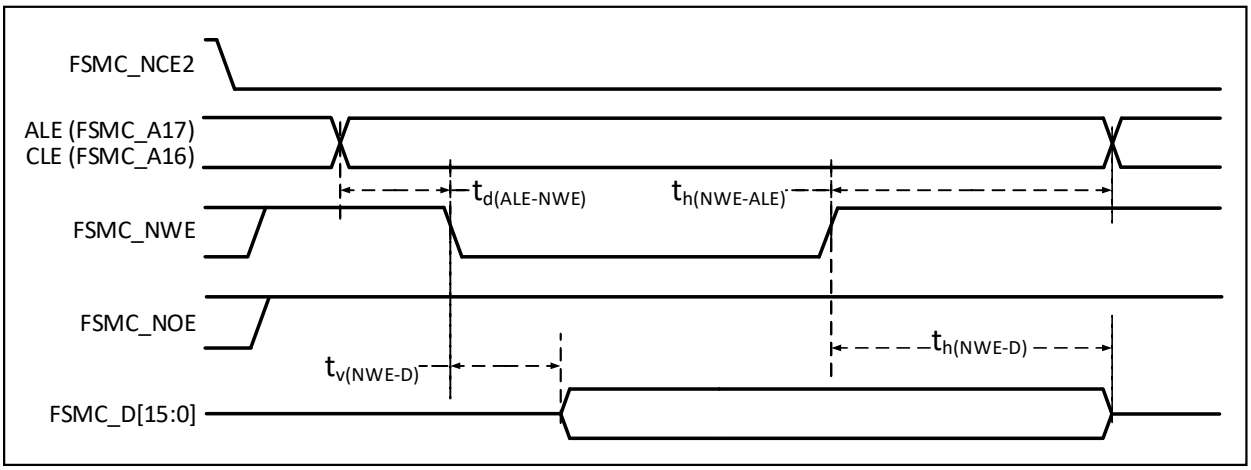


图 4-22 NAND 控制器在通用存储空间的读操作波形

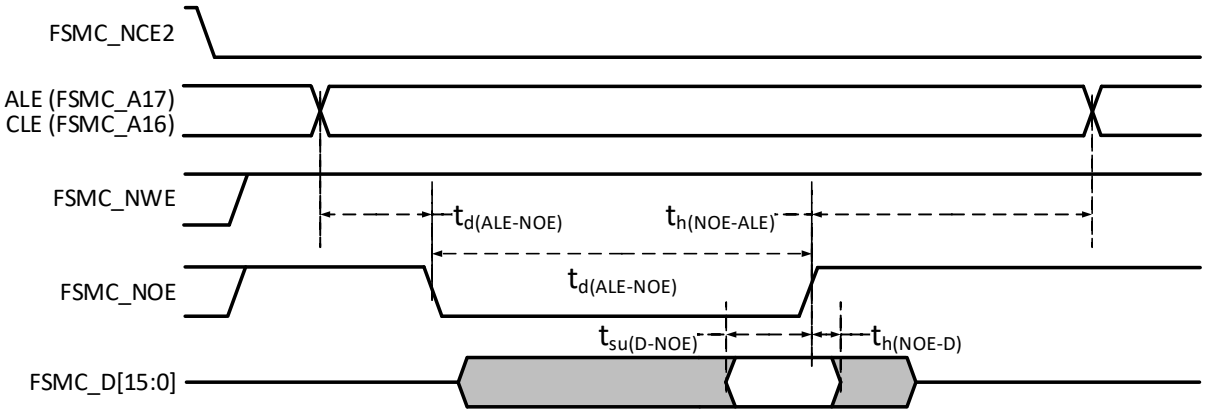


图 4-23 NAND 控制器在通用存储空间的写操作波形

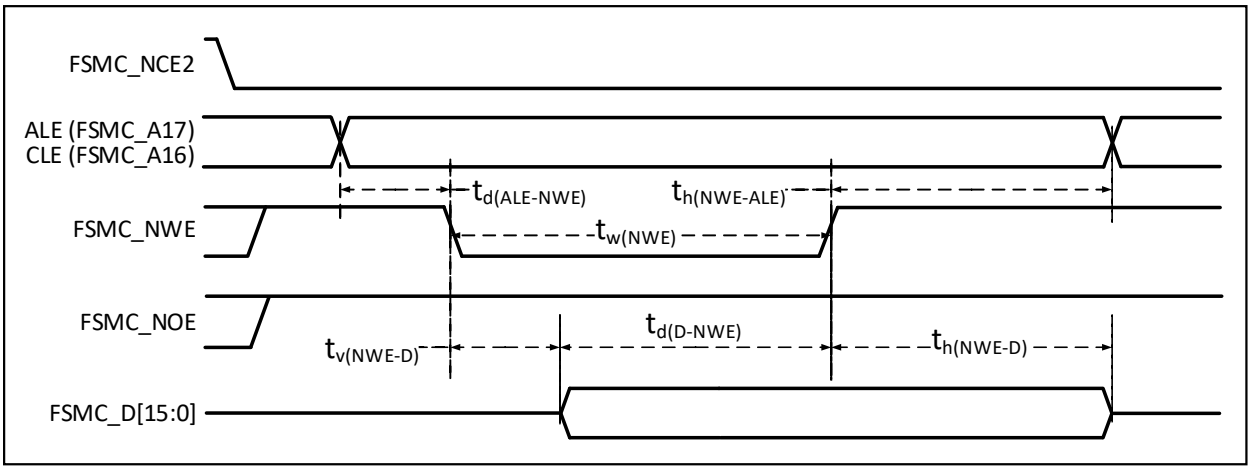


表 4-34 NAND 闪存读写周期的时序特性

符号	参数	最小值	最大值	单位
$t_{d(D-NWE)}$	FSMC_NWE 高之前至 FSMC_D[15:0]数据有效	$4t_{HCLK}$		ns
$t_{w(NOE)}$	FSMC_NOE低时间	$4t_{HCLK}$		
$t_{su(D-NOE)}$	FSMC_NOE高之前至FSMC_D[15:0]数据有效	20		
$t_{h(NOE-D)}$	FSMC_NOE高之后至FSMC_D[15:0]数据有效	15		
$t_{w(NWE)}$	FSMC_NWE低时间	$4t_{HCLK}$		
$t_{v(NWE-D)}$	FSMC_NWE低至FSMC_D[15:0]数据有效	0		
$t_{h(NWE-D)}$	FSMC_NWE高至FSMC_D[15:0]数据无效	$2t_{HCLK}$		
$t_{d(ALE-NWE)}$	FSMC_NWE低之前至FSMC_ALE有效	$2t_{HCLK}$		
$t_{h(NWE-ALE)}$	FSMC_NWE高至FSMC_ALE无效	$2t_{HCLK}$		
$t_{d(ALE-NOE)}$	FSMC_NOE低之前至FSMC_ALE有效	$2t_{HCLK}$		
$t_{h(NOE-ALE)}$	FSMC_NOE高至FSMC_ALE无效	$4t_{HCLK}$		

4.3.19 DVP 接口特性

图 4-24 DVP 时序波形

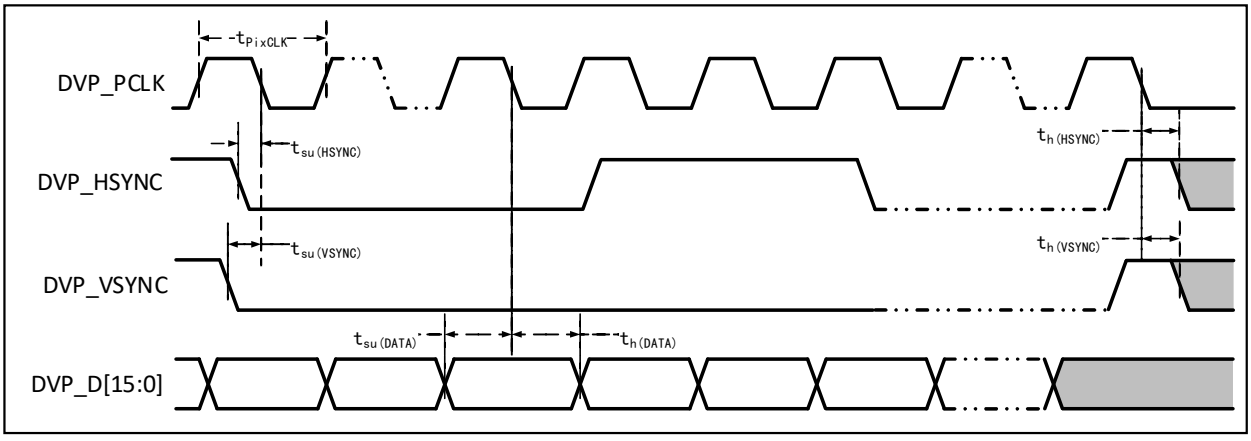


表 4-35 DVP 接口特性

符号	参数及描述	最小值	最大值	单位
f_{PixCLK}/t_{PixCLK}	像素时钟输入频率		144	MHz

$DuCy_{(PixCLK)}$	像素时钟的占空比	15		%
$t_{su(DATA)}$	数据建立时间	2		ns
$t_{h(DATA)}$	数据保持时间	1		
$t_{su(HSYNC)}/t_{su(VSYNC)}$	HSYNC/VSYNC信号输入建立时间	2		
$t_{h(HSYNC)}/t_{h(VSYNC)}$	HSYNC/VSYNC信号输入保持时间	1		

4.3.20 千兆以太网接口特性

图 4-25 ETH-SMI 时序波形

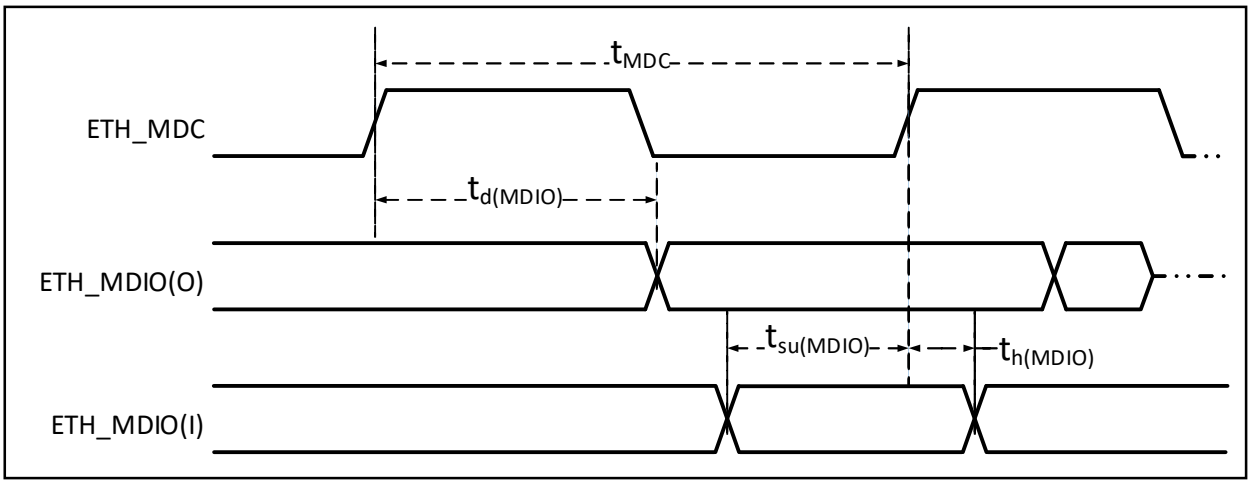


表 4-36 以太网 MAC 的 SMI 信号特性

符号	参数及描述	最小值	典型值	最大值	单位
f_{MDC}/t_{MDC}	MDC 时钟频率			2.5	MHz
$t_{d(MDIO)}$	MDIO写数据的有效时间	0		300	ns
$t_{su(MDIO)}$	读数据建立时间	10			
$t_{h(MDIO)}$	读数据保持时间	10			

图 4-26 ETH-RMII 信号时序波形

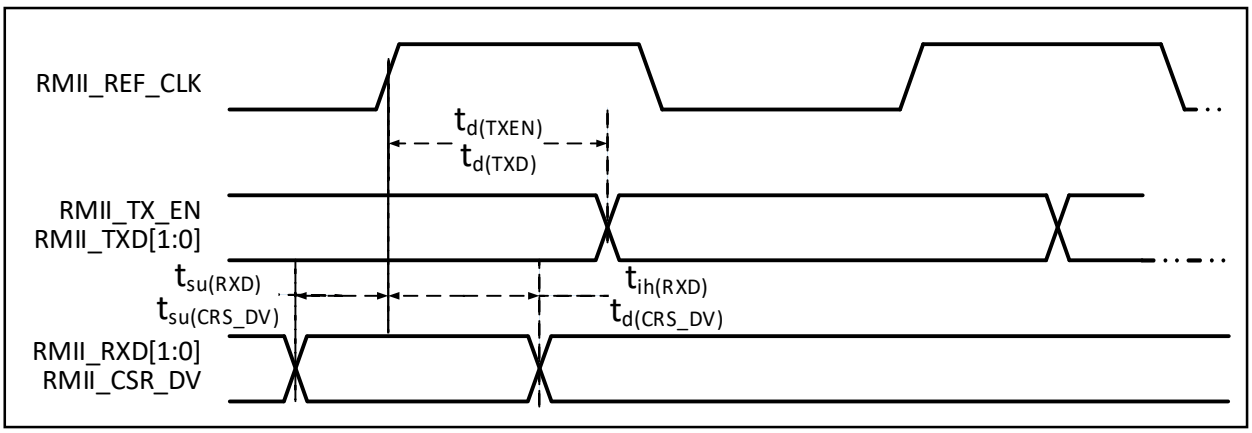


表 4-37 以太网 MAC 信号 RMII 信号特性

符号	参数及描述	最小值	典型值	最大值	单位
$t_{su(RXD)}$	接收数据的建立时间	4			ns

$t_{ih(RXD)}$	接收数据的保持时间	2			
$t_{su(CRS_DV)}$	载波侦测信号建立时间	4			
$t_{ih(CRS_DV)}$	载波侦测信号保持时间	2			
$t_{d(TXEN)}$	传输使能有效延迟时间			16	
$t_{d(TXD)}$	数据传输有效延迟时间			16	

图 4-27 ETH-MII 信号时序波形

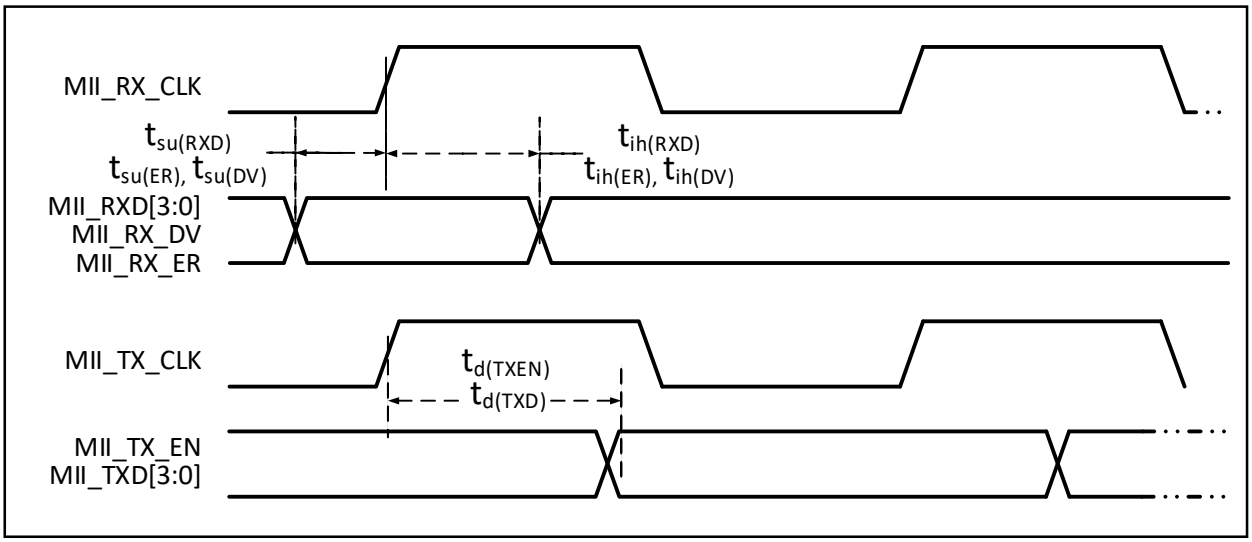


表 4-38 以太网 MAC 信号 MII 信号特性

符号	参数及描述	最小值	典型值	最大值	单位
$t_{su(RXD)}$	接收数据的建立时间	10			ns
$t_{ih(RXD)}$	接收数据的保持时间	10			
$t_{su(DV)}$	数据有效信号建立时间	10			
$t_{ih(DV)}$	数据有效信号保持时间	10			
$t_{su(ER)}$	错误信号建立时间	10			
$t_{ih(ER)}$	错误信号保持时间	10			
$t_{d(TXEN)}$	传输使能有效延迟时间			16	
$t_{d(TXD)}$	数据传输有效延迟时间			16	

图 4-28 ETH-RGMII 信号时序波形

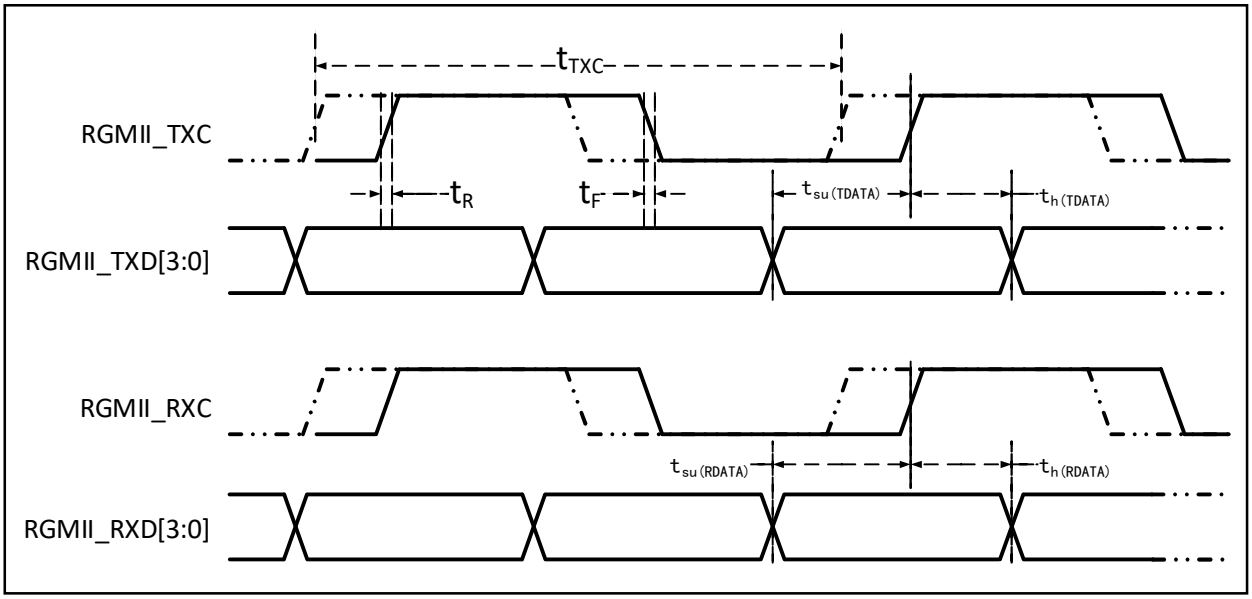


表 4-39 以太网 MAC 信号 RGMII 信号特性

符号	参数及描述	最小值	典型值	最大值	单位
f_{TXC}/t_{TXC}	TXC/RXC 时钟频率	7.2	8	8.8	ns
t_R	TXC/RXC上升时间			2.0	
t_F	TXC/RXC下降时间			2.0	
$t_{su(TDATA)}$	发送数据建立时间	1.2	2.0		
$t_{h(TDATA)}$	发送数据保持时间	1.2	2.0		
$t_{su(RDATA)}$	输入数据建立时间	1.2	2.0		
$t_{h(RDATA)}$	输入数据保持时间	1.2	2.0		

4.3.21 12 位 ADC 特性

表 4-40 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		2.4		3.6	V
V_{REF+}	正参考电压	V_{REF+}不能高于 V_{DDA}	2.4		V_{DDA}	V
I_{VREF}				160	220	uA
I_{DDA}				480	530	uA
f_{ADC}	ADC 时钟频率				14	MHz
f_S	采样速率		0.05		1	MHz
f_{TRIG}	外部触发频率				16	$1/f_{ADC}$
V_{AIN}	转换电压范围		0		V_{REF+}	V
R_{AIN}	外部输入阻抗				50	kΩ
R_{ADC}	采样开关电阻			0.6	1	kΩ
C_{ADC}	内部采样和保持电容			8		pF
t_{CAL}	校准时间			40		$1/f_{ADC}$
t_{lat}	注入触发转换时延				2	$1/f_{ADC}$
t_{latr}	常规触发转换时延				2	$1/f_{ADC}$

t_s	采样时间		1.5		239.5	$1/f_{ADC}$
t_{STAB}	上电时间				1	us
t_{CONV}	总的转换时间（包括采样时间）		14		252	$1/f_{ADC}$

注：以上均为设计参数保证。

公式：最大 R_{AIN}

$$R_{AIN} < \frac{Ts}{f_{ADC} \times C_{ADC} \times \ln 2^{N+2}} - R_{ADC}$$

上述公式用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N=12(表示 12 位分辨率)。

表 4-41 f_{ADC} = 14MHz 时的最大 R_{AIN}

T_S(周期)	t_S (us)	最大 R_{AIN}(kΩ)
1.5	0.11	0.4
7.5	0.54	5.9
13.5	0.96	11.4
28.5	2.04	25.2
41.5	2.96	37.2
55.5	3.96	50
71.5	5.11	无效
239.5	17.1	无效

表 4-42 ADC 误差

符号	参数	条件	最小值	典型值	最大值	单位
EO	偏移误差	f_{PCLK2} = 56 MHz, f_{ADC} = 14 MHz, R_{AIN} < 10 kΩ, V_{DDA} = 3.3V		±4		LSB
ED	微分非线性误差			±2		
EL	积分非线性误差			±2.5		

C_p表示 PCB 与焊盘上的寄生电容（大约 5pF），可能与焊盘和 PCB 布局质量有关。较大的 C_p数值将降低转换精度，解决办法是降低 f_{ADC}值。

图 4-29 ADC 典型连接图

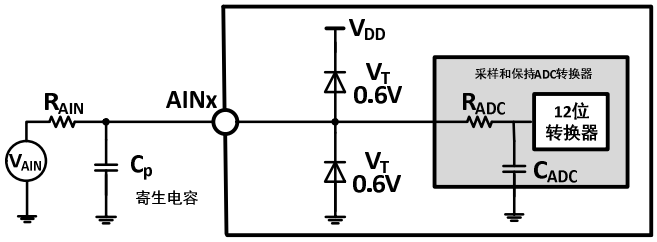
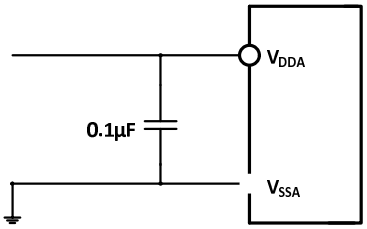


图 4-30 模拟电源及退耦电路参考



4.3.22 温度传感器特性

表 4-43 温度传感器特性

符号	参数	条件	最小值	典型值	最大值	单位
R_{TS}	温度传感器测量范围		-40		85	℃
A_{TSC}	温度传感器的测量误差			±12		℃
Avg_Slope	平均斜率（负温度系数）		3.8	4.3	4.8	mV/℃
V_{25}	在 25℃时的电压		1.34	1.40	1.46	V
T_{S_temp}	当读取温度时，ADC 采样时间	f_{ADC} = 14MHz			17.1	us

4.3.23 DAC 特性

表 4-44 DAC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		2.4	3.3	3.6	V
V_{REF+}	正参考电压	V_{REF+}不能高于 V_{DDA}	2.4	3.3	3.6	V
R_L(1)	缓冲器打开时的负载电阻		5			kΩ
	缓冲器关闭时的负载电阻		15			kΩ
C_L(1)	缓冲器打开时负载电容				50	pF
V_{OUT_MIN}(1)	缓冲器打开，12 位 DAC 转换		3			mV
V_{OUT_MAX}(1)					V_{REF+}-0.01	V
V_{OUT_MIN}(1)	缓冲器关闭，12 位 DAC 转换			0.1		mV
V_{OUT_MAX}(1)					V_{REF+}-1LSB	V
I_{VREF+}	无负载，输入值 0x800			58		uA
	无负载，V_{REF+}=3.6V 时，输入值 0xF1C			194		
	无负载，V_{REF+}=3.6V 时，输入值 0x555（最差）			331		
I_{DDA}	缓冲器打开无负载，输入值 0x800			170		uA
	缓冲器打开无负载，VREF+=3.6V，输入值 0xF1C			150		
	缓冲器打开无负载，VREF+=3.6V，输入值 0x555（最差）			170		
DNL	微分非线性误差			±2		LSB
INL	积分非线性误差	经过失调误差和增益误差校正后		±4		LSB
失调	偏移误差				±8	mV
		V_{REF+}=3.6V			±10	LSB
增益误差		DAC配置为12位		±0.4		%
放大器增益(1)	开环时放大器的增益	5kΩ的负载（最大）	80	85		dB
$t_{SETTLING}$	设置时间(全范围：输入代码从最小值转变为最大值，DAC_OUT 达到其终值的 ±1LSB)	C_{LOAD}≤50pF R_{LOAD}≥5kΩ		3	4	us
更新速率	当输入代码为较小变化时(从数值i变到i+1LSB)，得到正确DAC_OUT的最大频率	C_{LOAD}≤50pF R_{LOAD}≥5kΩ			1	MS/s
t_{WAKEUP}	从关闭状态唤醒的时间（PDV18 从 1 变到 0）	C_{LOAD}≤50pF， R_{LOAD}≥5kΩ，输入代		6.5	10	us

		码介于最小和最大可能数值之间				
PSRR+(1)	供电抑制比(相对于V_{DDA})(静态直流测量)	没有R_{LOAD},C_{LOAD}≤50pF		-100	-75	dB

注：1.来源设计或仿真非实测。

4.3.24 OPA 特性

表 4-45 OPA 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		2.4	3.3	3.6	V
C_{MIR}	共模输入电压		0		V_{DDA}-0.9	V
$V_{IOFFSET}$	输入失调电压			±2.5	±8	mV
I_{LOAD}	驱动电流				600	uA
$I_{DDOPAMP}$	消耗电流	无负载，静态模式		195		uA
C_{MRR}(1)	共模抑制比	@1KHz		96		dB
P_{SRR}(1)	电源抑制比	@1KHz		86		dB
A_V(1)	开环增益	C_{LOAD}=5pF		136		dB
G_{BW}(1)	单位增益带宽	C_{LOAD}=5pF		19		MHz
P_M(1)	相位裕度	C_{LOAD}=5pF		93		
S_R(1)	压摆率	C_{LOAD}=5pF		8		V/us
t_{WAKUP}(1)	关闭到唤醒建立时间，0.1%	输入V_{DDA}/2, C_{LOAD}=5pF, R_{LOAD}=4kΩ			368	ns
R_{LOAD}	电阻性负载		4			kΩ
C_{LOAD}	电容性负载				50	pF
V_{OHSAT}(2)	高饱和输出电压	R_{LOAD}=4kΩ，输入 V_{DDA}	V_{DDA}-45			mV
		R_{LOAD}=20kΩ，输入 V_{DDA}	V_{DDA}-10			
V_{OLSAT}(2)	低饱和输出电压	R_{LOAD}=4kΩ，输入 0			0.5	mV
		R_{LOAD}=20kΩ，输入 0			0.5	
EN(1)	等效输入电压噪声	R_{LOAD}=4kΩ，@1KHz		83		$\frac{nv}{\sqrt{Hz}}$
		R_{LOAD}=4kΩ，@10KHz		42		

注：1.设计参数保证

2.负载电流会限制饱和输出电压。

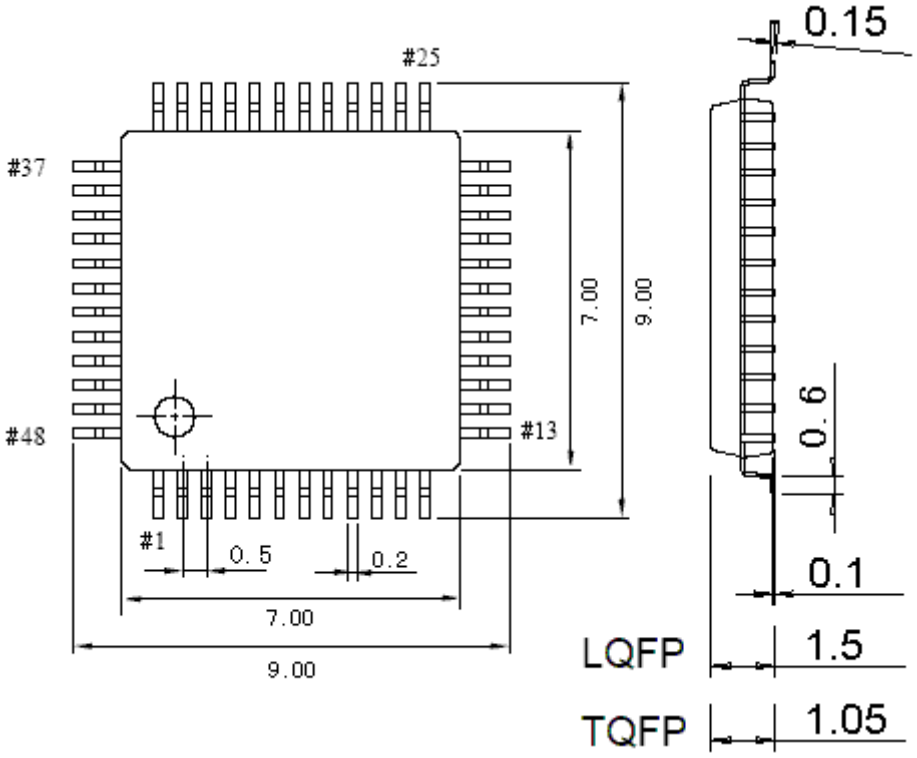
第 5 章 封装及订货信息

芯片封装

封装形式	塑体尺寸	引脚节距		封装说明	订货型号
LQFP48	7*7mm	0.5mm	19.7mil	LQFP48（7*7）贴片	CH32F203CBT6
LQFP64M	10*10mm	0.5mm	19.7mil	LQFP64M（10*10）贴片	CH32F203RBT6
LQFP64M	10*10mm	0.5mm	19.7mil	LQFP64M（10*10）贴片	CH32F203RCT6
LQFP100	14*14mm	0.5mm	19.7mil	LQFP100（14*14）贴片	CH32F203VCT6
LQFP64M	10*10mm	0.5mm	19.7mil	LQFP64M（10*10）贴片	CH32F205RBT6
LQFP100	14*14mm	0.5mm	19.7mil	LQFP100（14*14）贴片	CH32F207VCT6

说明：尺寸标注的单位是 mm（毫米），引脚中心间距总是标称值，没有误差，除此之外的尺寸误差不大于±0.2mm 或者±10%两者中的较大值。

5.1 LQFP48 封装



5.2 LQFP64M 封装

5.3 LQFP100 封装

系列产品命名规则

举例： CH32 V 3 03 R 8 T 6

产品系列

F = 基于 Arm 内核
V = 基于青稞 RISC-V 内核

产品类型

0 = 青稞 V2A 内核
1 = M3/青稞 V3A 内核，主频@72M
2 = M3/青稞 V4B_C 内核，主频@144M
3 = 青稞 V4F 浮点内核，主频@144M

产品子系列

03 = 通用型
05 = 连接型（USB 高速、SDIO、双 CAN）
07 = 互联型（USB 高速、双 CAN、以太网、DVP、SDIO、FSMC）
08 = 无线型（蓝牙 BLE5.3、CAN、USB、以太网）

引脚数目

J = 8 脚	A = 16 脚	F = 20 脚
G = 28 脚	K = 32 脚	T = 36 脚
C = 48 脚	R = 64 脚	W = 68 脚
V = 100 脚	Z = 144 脚	

闪存存储容量

4 = 16K 闪存存储器
6 = 32K 闪存存储器
8 = 64K 闪存存储器
B = 128K 闪存存储器
C = 256K 闪存存储器

封装

T = LQFP
U = QFN R = QSOP
P = TSSOP M = SOP

温度范围

6 = -40°C～85°C
7 = -40°C～105°C
3 = -40°C～125°C
D = -40°C～150°C