USB3.0 千兆网卡芯片 CH398

手册

版本：1.4

https://wch.cn

1、概述

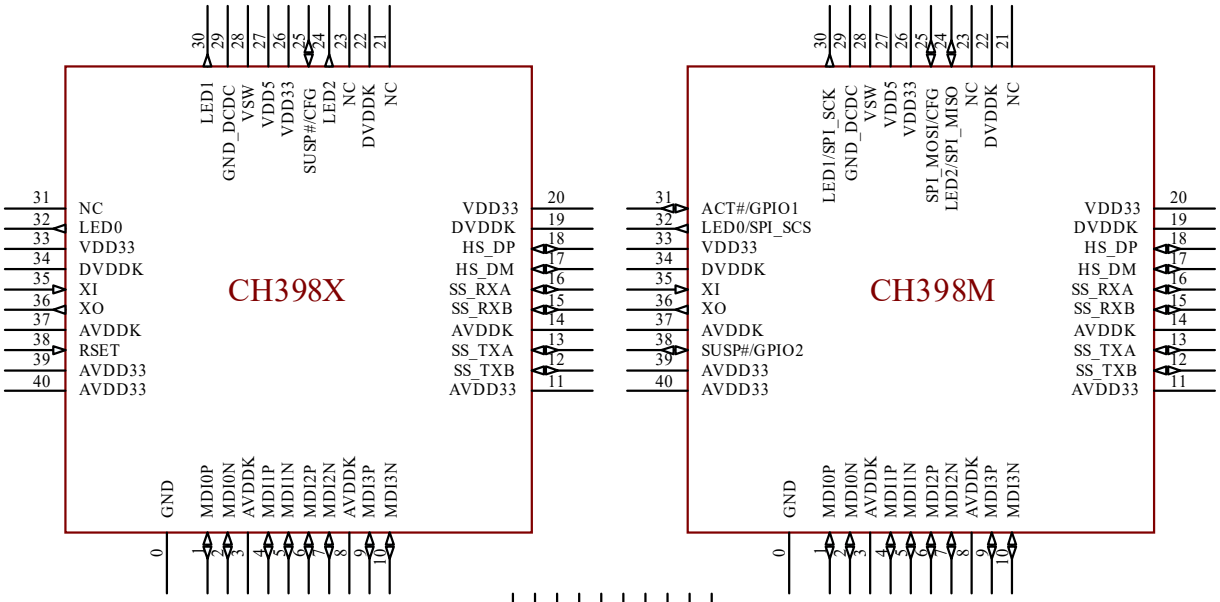
CH398 是一款高集成度的 USB3.0 千兆网卡芯片,内置 RISC-V 处理器、符合 USB3.2 Gen1 及 USB2.1 规范的控制器及收发器、符合 IEEE802.3 协议规范、支持 10M/100M/1000M 网络的以太网 MAC+PHY，单芯片即可实现 USB 到以太网的桥接功能，适配各类服务器、计算机、笔记本、平板等的标准 USB 主机接口，用于通过 USB 扩展高速以太网接口。

CH398 采用工业级设计，兼容 CDC-NCM 和 CDC-ECM，支持免驱以及性能更优、功能更全的厂商驱动，支持 Windows、Linux、macOS、鸿蒙、Android 安卓、iOS 以及统信、麒麟等操作系统，可应用于计算机和工控机主板、扩展坞、外设、嵌入式系统等场景。

2、特点

- 单芯片 USB3.0 转 10M/100M/1000M 以太网，集成 USB PHY 和以太网 PHY
- 支持 CDC-NCM 协议和 CDC-ECM 协议及 RNDIS 协议，免安装驱动程序或可选厂商驱动程序
- 支持 10Mbps、100Mbps 和 1000Mbps 速率，兼容 IEEE 802.3、IEEE 802.3u 和 IEEE 802.3ab
- 支持 10BASE-T、100BASE-TX、1000BASE-T 及自动协商
- 支持 1000BASE-T 标准 CAT5E、CAT6 双绞线超百米传输距离
- 支持 IEEE 802.3az 节能协议
- 支持 USB3.2 Gen1，向前兼容 USB3.1、USB3.0、USB2.1、USB2.0、USB1.1 协议规范
- 支持 LPM(Link Power Management)，支持符合 USB3.2 Gen1 协议规范的 U1/U2/U3 以及符合 USB2.1 协议规范的 L1/L2 电源管理模式
- 内置 TX/RX 封包缓冲
- 支持 IPv4/IPv6 封包校验，支持 IPv4 TCP/UDP/HEAD 和 IPv6 TCP/UDP 封包校验生成和检查
- 支持 IPV4/IPV6 的 TCP 大包分片
- 支持 IEEE 802.3x 流量控制和半双工冲突压力回退流量控制
- 支持 IEEE 802.3Q VLAN 标记
- 支持巨型帧传输
- 支持休眠模式和低功耗的睡眠模式，支持网络低功耗配置，支持动态电源管理
- 支持通过魔术包和网络唤醒包等事件进行远程唤醒
- 内置以太网收发器支持 Auto-MDIX 自动交换 TX/RX，自动识别正负信号线
- 支持 LED 闪烁频率和占空比配置
- 内置 LDO 调压器和 DC-DC 降压器，支持单一 5V 或者单一 3.3V 供电，外围精简
- 支持 25MHz 无源晶振或外置时钟输入
- 工业级温度范围：-40～85℃
- 提供 QFN40 封装形式

3、引脚排列



封装形式	塑体尺寸	引脚节距		封装说明	订货型号
QFN40E	5*5mm	0.4mm	15.7mil	四边无引线 40 脚	CH398X5
QFN40E	5*5mm	0.4mm	15.7mil	四边无引线 40 脚	CH398Y5
QFN40	5*5mm	0.4mm	15.7mil	四边无引线 40 脚	CH398M

注：0#引脚是 QFN 封装的底板，是必要连接。

4、引脚定义

表 4-1 引脚定义

引脚号			引脚名称	类型[1]	引脚说明
CH398Y	CH398X	CH398M			
17	27	27	VDD5	P	LDO 和 DCDC 的 5V 电源输入，建议外接 10uF 电容。 如果 VDD5 电压小于 3.6V 则应短接 VDD33。

22	26	26	VDD33	P	3.3V 电压 LDO 输出和主 3.3V 电源输入，用于 I/O 和 USB 电源，建议外接 0.1uF 并联 4.7uF 对地电容，该 LDO 输出电源同时用于 VDD33 和 AVDD33。
13	20、33	20、33	VDD33	P	辅助 3.3V 电源输入，建议外接 0.1uF 对地电容。
1、4、30	11、39、40	11、39、40	AVDD33	P	模拟 3.3V 电源输入，用于 USB 和以太网，建议各外接 0.1uF 对地电容，建议 AVDD33 再整体并联一个 4.7uF 对地电容。
7、26、38	3、8、14、37	3、8、14、37	AVDDK	P	模拟 1.1V 电源输入，用于以太网和 USB3.0，建议各外接 0.1uF 对地电容，建议 AVDDK 再整体并联一个 1uF 对地电容。
10、14、15	19、22、34	19、22、34	DVDDK	P	内核 1.1V 电源输入，建议各外接 0.1uF 对地电容。
16	28	28	VSW	P	DCDC 输出端，需贴近引脚串接电感产生 1.1V 电源，且 1.1V 电源需就近放置对地电容，建议用 2.2uH 电感且至少一个 10uF 电容，该 DCDC 输出电源同时用于 AVDDK 和 DVDDK。
0	0	0	GND	P	公共接地端，QFN 底板，必须充分连接全局 GND。
18	29	29	GND_DCDC	P	DCDC 接地端，必须充分连接全局 GND。
3	17	17	HS_DM	USB2	USB2.0 差分信号线 D-。
2	18	18	HS_DP	USB2	USB2.0 差分信号线 D+。
6	13	13	SS_TXA	USB3	USBSS 差分发送信号线 TX+/TX-或 TX-/TX+(自动识别交叉)。
5	12	12	SS_TXB	USB3	
9	16	16	SS_RXA	USB3	USBSS 差分接收信号线 RX+/RX-或 RX-/RX+(自动识别交叉)。
8	15	15	SS_RXB	USB3	
11	-	-	VBUS_DET	I	USB 总线 VBUS 状态检测输入，应将 VBUS 电源通过两个电阻分压后接入该引脚;不用此功能时，该引脚需通过电阻或直接接 VDD33。
12	-	-	WAKEUP#	I	芯片唤醒控制引脚，内置上拉电阻，芯片睡眠时，如果检测到该引脚输入低电平，则先唤醒芯片再唤醒 USB 主机。
			LED2	O	以太网端口状态指示灯 2。 该引脚可以配合固件或驱动实现以太网端口状态指示灯 2 等功能。
27	35	35	XI	I	晶体振荡器输入端，接外部 25MHz 晶体一端及对地电容。
28	36	36	XO	O	晶体振荡器反相输出端，接外部 25MHz 晶体另一端及对地电容。
31	1	1	MDI0P	ETH	1000Base-T 的第一对差分线， 同时为 10BASE-T/100BASE-TX 的差分发送端；或 MDIX 的 10BASE-T/100BASE-TX 的差分接收端。
32	2	2	MDI0N	ETH	
34	4	4	MDI1P	ETH	1000Base-T 的第二对差分线， 同时为 10BASE-T/100BASE-TX 的差分接收端；或 MDIX 的 10BASE-T/100BASE-TX 的差分发送端。
35	5	5	MDI1N	ETH	
36	6	6	MDI2P	ETH	1000BASE-T 的第三对差分线。
37	7	7	MDI2N	ETH	

39	9	9	MDI3P	ETH	1000BASE-T 的第四对差分线。
40	10	10	MDI3N	ETH	
19	32	32	LED0	O	以太网端口状态指示灯 0。
-	-		SPI_SCS	O	SPI Flash 片选信号输出端。
20	30	30	LED1	O	以太网端口状态指示灯 1。
-	-		SPI_SCK	O	SPI Flash 串行时钟信号输出端。
-	24	24	LED2	O	以太网端口状态指示灯 2。 在复位期间作为厂商驱动模式配置引脚,默认不加下拉电阻为自动选择,如果外加下拉电阻(典型 6K8)置低电平则强制为厂商驱动模式。
	-		SPI_MISO	I	SPI Flash 串行数据输入端。
-	25	-	SUSP#	O	睡眠状态输出引脚，可用于驱动 LED，睡眠时输出低电平，正常工作时输出高电平。
		25	CFG	I	1.1V 电源配置引脚。在复位期间作为电源配置引脚，用于选择 1.1V 电源的来源，内置上拉电阻。 (1)CFG 悬空（内部上拉高电平）且 VSW 有电感则使用内置 DCDC 产生 1.1V 电源； (2)CFG 悬空（内部上拉高电平）且断开 VSW 或其电感则支持外部 1.1V 电源供电； (3)CFG 外加下拉电阻(典型 6K8)置低电平且断开 VSW 或其电感则使用内置低压 LDO 产生 1.1V 电源，整体功耗很大，必须额外散热，仅用于特定环境。
	-		SPI_MOSI	O	SPI Flash 串行数据输出端。
29	38	-	RSET	I	外置参考电阻，接 2.49KΩ±1%的电阻到地。
-	-	38	SUSP#	O	睡眠状态输出引脚，可用于驱动 LED，睡眠时输出低电平，正常工作时输出高电平。
			GPIO2	I/O	通用 GPIO2，用于 I/O 口输入或输出，可配合固件或驱动实现指定功能。
-	-	31	ACT#	O	USB 配置指示，USB 配置前为输出高电平，USB 配置后输出低电平。
			GPIO1	I/O	通用 GPIO1，用于 I/O 口输入或输出，可配合固件或驱动实现指定功能。
21、23、24、25、33	21、23、31	21、23	NC	-	空脚，建议悬空。

注 1：引脚类型缩写解释：

USB3 = USB3.0 信号引脚；
USB2 = USB2.0 信号引脚；
ETH = 以太网信号引脚；
I = 信号输入；
O = 信号输出；
P = 电源或地；
NC = 空脚。

5、功能说明

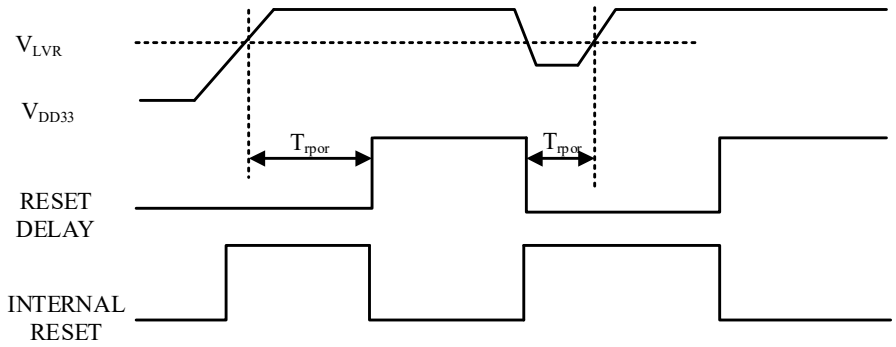
5.1 时钟源

CH398 芯片正常工作时需要外部向 XO 引脚提供 25MHz 时钟信号，时钟信号可通过 CH398 内置的反相器由晶体稳频振荡产生。外围电路需要在 XI 和 XO 引脚之间连接一个 25MHz 晶体，XI 和 XO 引脚各对地接负载电容，具体电容值参考晶体手册，典型约 20pF。

5.2 上电复位

芯片内置上电复位模块，一般无需外部提供复位信号，当电源上电时，芯片内部 POR 上电复位模块会产生上电复位时序，并延时 T_{rpor} 以等待电源稳定。在运行过程中，当电源电压低于 V_{LVR} 时，芯片内部 LVR 低压复位模块会产生低压复位直到电压回升，并延时以等待电源稳定。图 5-1 为上电复位过程以及低压复位过程。

图 5-1 上电复位图



5.3 USB 接口以及固件

5.3.1 USB2.0 高速设备控制器（USBHS）

CH398 内置 480Mbps USB2.0 高速控制器和收发器。支持 USB2.1、USB2.0、USB1.1、USB1.0 协议规范。控制器支持总线挂起、复位、唤醒和恢复等功能，支持 LPM（Link Power Management）功能，支持 L1/L2 电源管理模式。

5.3.2 USB3.0 超高速设备控制器（USBSS）

CH398 还内置了 5Gbps 超高速 USB 3.0 控制器和收发器。支持 USB3.2 Gen 1、USB3.1、USB3.0 等协议规范，支持 LPM 功能，支持 U1/U2/U3 管理模式。该控制器模块为应用代码提供了链接层寄存器访问接口，用于管理设备的连接和断开、总线状态、电源模式，提供了设备（DEVICE）功能访问接口，用于实现 USB3.0 协议规范的各种数据传输及上层协议。

5.3.3 内部固件

内部固件预置了三种不同的模式，分别对应 CDC-NCM、CDC-ECM、厂商定义驱动程序。固件将根据用户的配置要求和计算机的命令，自动选择并启用相应的模式。

5.4 10/100/1000M 以太网控制器及收发器（MAC+PHY）

CH398 内置 10/100/1000M 快速以太网 MAC 控制器和千兆收发器 PHY，兼容 IEEE 802.3、IEEE 802.3u 和 IEEE 802.3ab 协议标准，可以单芯片实现 USB 到以太网的桥接功能。支持自动协商和 Auto-MDIX，通过 4 对差分线（MDI0N/MDI0P、MDI1N/MDI1P、MDI2N/MDI2P、MDI3N/MDI3P）外接网络变压器和 RJ45 接口，信号线上无需 50Ω电阻，网络变压器的中心抽头并联后通过一个电容接地，外围元器件少，电路精简。

以太网控制器支持 IPv4/IPv6 封包校验，支持 IPv4 TCP/UDP/HEAD 和 IPv6 TCP/UDP 封包校验的生成和检查。支持符合 IEEE 802.3x 标准的流量控制和半双工冲突压力回退流量控制。支持符合 IEEE 802.3Q 标准的 VLAN 标记。支持魔术包唤醒，在休眠模式下可选网络低功耗，具有自动电源管理功能，可以节省在空载或者轻载下的功耗，支持 10BASE-T 节能模式。

以太网 MAC 与 USB 控制器之间采用紧密耦合的高速连接，提高了数据通信效率，支持满带宽的双向传输。厂商驱动提供了更多选项，功能更全。

5.5 LED 指示灯和 GPIO

CH398 提供了 3 路以太网 LED 灯控制，可通过配置工具软件自行配置 LED 的极性、功能、闪烁周期和占空比。其中，CH398M 的 LED 灯引脚与 SPI 接口复用，可用于其他通用功能的扩展或者外接 SPI Flash 时通过 Flash 更新内部的配置字。

CH398M 还提供了 2 个 GPIO 引脚（GPIO1 和 GPIO2），可配合固件或驱动实现指定功能。

5.6 SPI 接口和 SPI FLASH

CH398M 提供 SPI 接口，SPI 时钟频率不超过 50MHz。SPI 接口支持连接可选的外部 SPI Flash 存储芯片，SPI Flash 中存储有自定义的 MAC 地址，MAC 过滤配置、USB 厂商 ID、产品 ID、USB 电源配置和厂商自定义字符串等信息。

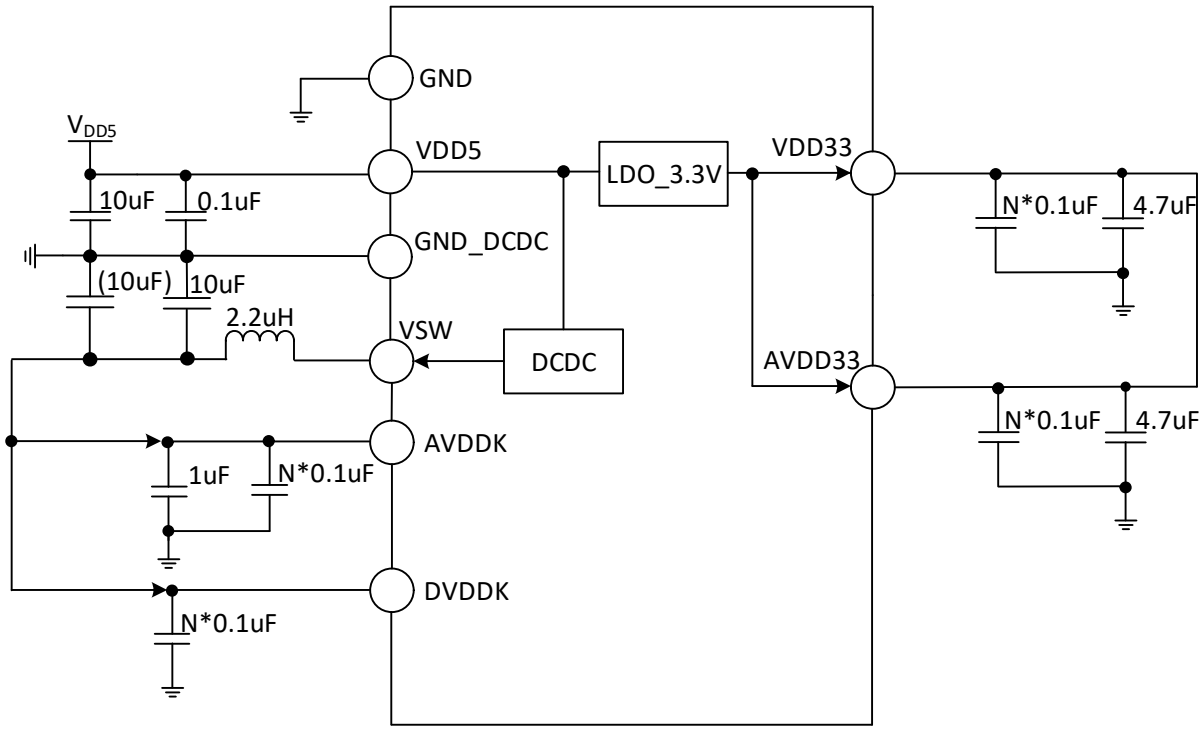
CH398M 具有两种用户配置加载模式：从 SPI Flash 加载或厂商预置。

CH398M 会在上电时自动检测外部 SPI Flash 是否存在，如果存在，将检测固定区域内的标志字，如果有效，就自动读取此区域内的配置参数，用以更新内部的配置参数；或者没有驱动时通过外部 Flash 安装厂商驱动、获取产品资料或 APP 软件。当 SPI Flash 不存在或者 SPI Flash 中数据无效时，CH398M 默认将使用厂商预置的配置数据。配置数据包括 MAC 配置信息含全球唯一的 MAC 地址、USB 配置信息等，详细信息请参考相关手册。

5.7 供电方案说明

5.7.1 启用 DCDC 的单一 5V 供电方案

图 5-2-1 单一 5V 供电方案示意图



注：VDD33、AVDD33、AVDDK 以及 DVDDK 在芯片封装中有多个引脚，同名电源引脚短接，VDD33 与 AVDD33

必须短接（或通过磁珠短接），AVDDK 与 DVDDK 必须短接（或通过磁珠短接）。

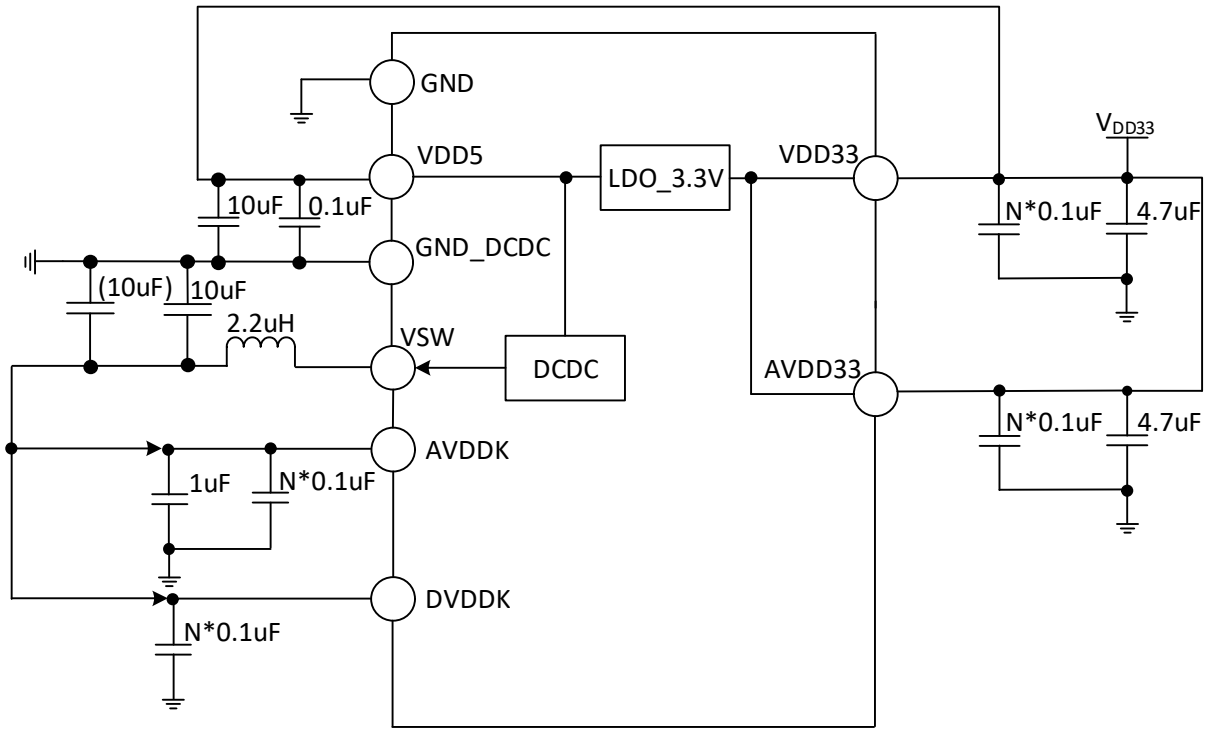
CH398 支持单一 5V 供电方案，使用内置的 3.3V LDO 和 DCDC。上图 5-2-1 为 CH398 单一 5V 供电方案示意图。额定 5V 从 VDD5 输入，提供给内置 LDO_3.3V 调压器和 DC-DC 降压器，LDO_3.3V 调压器在 VDD33 引脚产生 3.3V 再外部连接到 AVDD33，DCDC 降压器产生 1.1V，外部连接到 AVDDK 和 DVDDK。3.3V 电源的对地电容累计不小于 4.7uF，1.1V 电源的对地电容累计不小于 10uF，建议双电容并联，5V 电源的对地电容不小于 10uF。

5V 供电方案需考虑芯片散热。如果 5V 电源为带电插拔，则建议加上 5.5V 过压保护器件。

5.7.2 启用 DCDC 的单一 3.3V 供电方案

CH398 支持单一 3.3V 供电方案，使用内置的 DCDC，更适合板载应用。下图 5-2-2 为 CH398 单一 3.3V 供电方案示意图。额定 3.3V 连接到 VDD33 和 AVDD33，同时，额定 3.3V 从 VDD5 输入，提供给 DC-DC 降压器，DCDC 降压器产生 1.1V，外部连接到 AVDDK 和 DVDDK。3.3V 电源的对地电容累计不小于 4.7uF，1.1V 电源的对地电容累计不小于 10uF，建议双电容并联。

图 5-2-2 单一 3.3V 供电方案示意图



注：VDD33、AVDD33、AVDDK 以及 DVDDK 在芯片封装中有多个引脚，同名电源引脚短接，VDD33 与 AVDD33 必须短接（或通过磁珠短接），AVDDK 与 DVDDK 必须短接（或通过磁珠短接）。

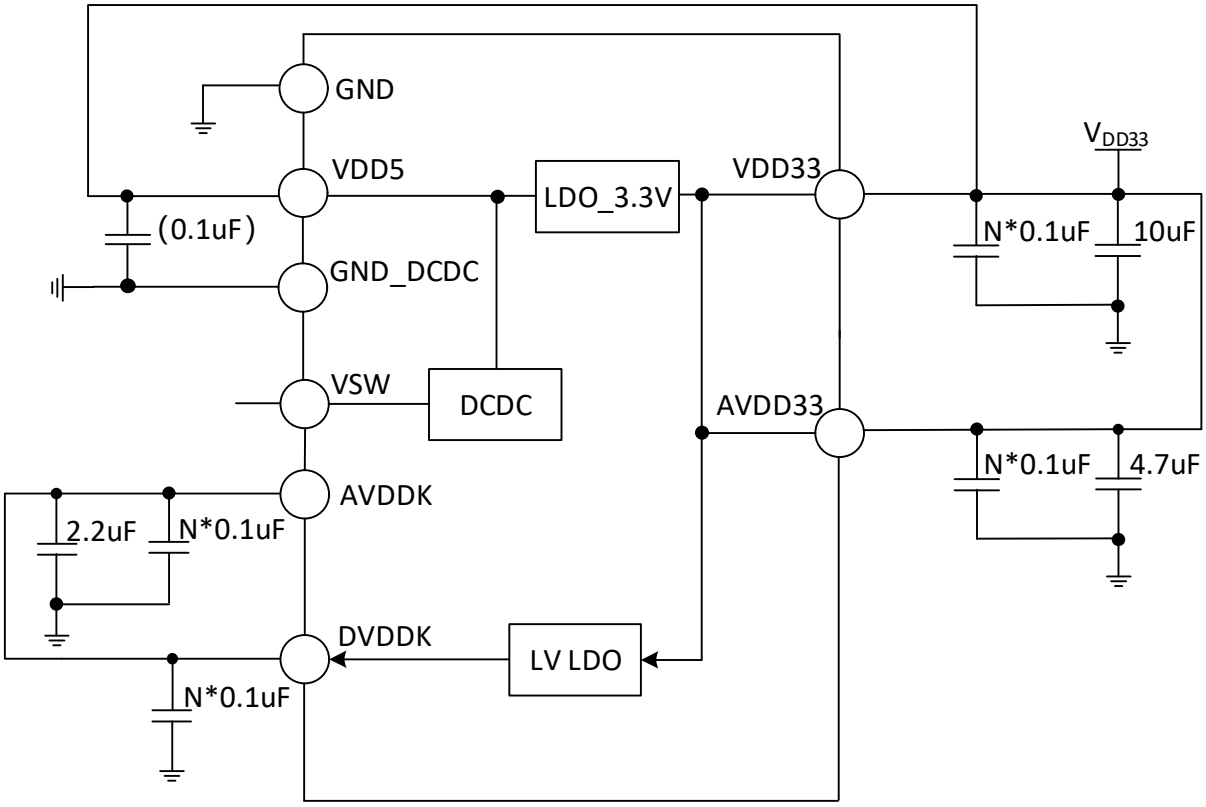
5.7.3 外部 3.3V 和 1.1V 双供电方案

CH398 支持外部 3.3V 和 1.1V 双供电方案，不使用内置 DCDC，VSW 引脚悬空。外部 3.3V 电源连接到 VDD33 和 AVDD33 及 VDD5，同时，外部 1.1V 电源连接到 AVDDK 和 DVDDK。3.3V 电源的对地电容累计不小于 4.7uF，1.1V 电源的对地电容累计不小于 4.7uF。

5.7.4 非 DCDC 的单一 3.3V 供电方案

CH398 提供了不使用内置 DCDC 的单一 3.3V 供电方案，VSW 引脚悬空，CFG 引脚外加下拉电阻(典型 6K8)置低电平。外部 3.3V 电源连接到 VDD33 和 AVDD33 及 VDD5，使用内置的低压 LDO 产生 1.1V 电源，整体功耗很大，芯片发热影响长期可靠性，必须额外散热，仅用于特定环境下的临时应用。

图 5-2-3 单一 3.3V 非 DCDC 供电方案示意图



注：VDD33、AVDD33、AVDDK 以及 DVDDK 在芯片封装中有多个引脚，同名电源引脚短接，VDD33 与 AVDD33 必须短接（或通过磁珠短接），AVDDK 与 DVDDK 必须短接（或通过磁珠短接）。

5.8 芯片参数配置

在较大批量应用时，CH398 的厂商识别码 VID 和产品识别码 PID 以及产品信息可以定制。在少量应用时，可以使用官方提供的配置工具通过 USB 接口进行参数配置及固件更新。参数主要包括芯片的厂商识别码 VID、产品识别码 PID、最大电流值、BCD 版本号、厂商信息和产品信息字符串描述符等。同时 CH398M 芯片带有 SPI 接口，支持通过外挂的 SPI FLASH 芯片实现参数配置加载。

6、参数

6.1 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

名称	参数说明	最小值	最大值	单位
T_A	工作时的环境温度	-40	85	℃
T_J	结温度范围	-40	100	℃
T_S	储存时的环境温度	-55	150	℃
V_{DD5}	VDD5 输入电源电压	-0.4	6.0	V
V_{DD33}	VDD33/AVDD33 电源电压	-0.4	4.0	V
V_{DDK}	AV_{DDK}/DV_{DDK} 模拟或内核电源电压	-0.4	1.4	V
V_{USB2}	USB2.0 信号引脚上的电压	-0.4	AV_{DD33}+0.4	V
V_{USB3}	USB3.0 信号引脚上的电压	-0.3	AV_{DDK}+0.3	V
V_{ETH}	ETH 信号引脚上的电压	-0.4	AV_{DD33}+0.4	V
V_{IN}	其他引脚上的输入电压	-0.4	V_{DD33}+0.4	V
V_{ESD}	USB 信号引脚上的静电 ESD 耐压（HBM）	5K		V
	ETH 信号引脚上的静电 ESD 耐压（HBM）	3K		V
PD	QFN40 封装允许最大功耗	1.2		W
θ_{JA}	封装热阻	50		℃/W

6.2 电气参数（测试条件：T_A = 25℃，V_{DD5} = 5.0V 或 V_{DD5} = V_{DD33} = AV_{DD33} = 3.3V）

6.2.1 工作条件和 I/O 特性

名称	参数说明		最小值	典型值	最大值	单位
V_{DD5}	VDD5 输入电源电压	单一 5V 供电	3.8	5.0	5.5	V
		单一 3.3V 供电	3.15	3.3	3.45	V
V_{DD33}	VDD33/AVDD33 的电源电压		3.15	3.3	3.45	V
V_{DDK}	CH398X 和 CH398Y 的 AV_{DDK}/DV_{DDK} 模拟或内核电源电压	内置 DCDC 产生	1.08	1.14	1.17	V
		内置低压 LDO 产生	1.05	1.13	1.15	V
		外供 1.1V 电源[1]	1.08	1.14	1.17	V
	CH398M 的 AV_{DDK}/DV_{DDK} 模拟或内核电源电压	内置 DCDC 产生	1.1	1.16	1.21	V
		内置低压 LDO 产生	1.07	1.16	1.18	V
		外供 1.1V 电源[1]	1.1	1.16	1.21	V
V_{IL}	低电平输入电压		0		0.9	V
V_{IH}	高电平输入电压		1.9		V_{DD33}	V
V_{OL}	低电平输出电压	灌电流 8mA			0.4	V
V_{OH}	高电平输出电压	源电流 8mA	V_{DD33}-0.4			V
R_{PU}	内部上拉的等效电阻		30	40	60	kΩ
R_{PD}	内部下拉的等效电阻		30	40	60	kΩ
$V_{POR/PDR}$	上电或掉电复位的电压阈值		2.4	2.7	2.95	V

注：1. AV_{DDK}/DV_{DDK} 电流较大，考虑 PCB 走线压降损失，建议额定 1.1V 再加 30～50mV。

6.2.2 工作电流（使用内置 DC-DC）

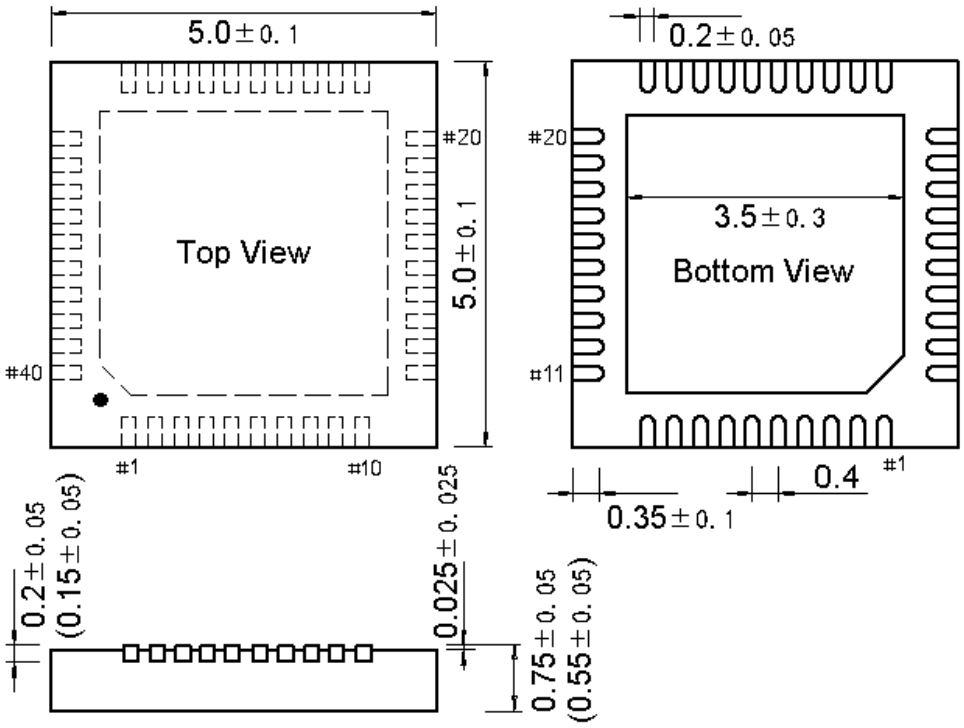
工作条件		单一 5V 供电	单一 3.3V 供电	单位
		I_{VDD5}	I_{VDD33}	
USB3.0	以太网连接断开	61.0	78.4	mA
	以太网处于 1000Mbps 空闲负载模式下	163	194	mA

	以太网处于 1000Mbps 重度负载模式下	164	197	mA
	以太网处于 100Mbps 空闲负载模式下	73.8	92.2	mA
	以太网处于 100Mbps 重度负载模式下	85.0	103	mA
	以太网处于 10Mbps 空闲负载模式下	72.7	90.3	mA
	以太网处于 10Mbps 重度负载模式下	80.3	97.1	mA
USB2.0	以太网连接断开	32.4	36.4	mA
	以太网处于 1000Mbps 空闲负载模式下	137	155	mA
	以太网处于 1000Mbps 重度负载模式下	145	163	mA
	以太网处于 100Mbps 空闲负载模式下	46.3	51.5	mA
	以太网处于 100Mbps 重度负载模式下	60.5	66.4	mA
	以太网处于 10Mbps 空闲负载模式下	45.0	49.7	mA
	以太网处于 10Mbps 重度负载模式下	52.2	56.3	mA
支持快醒的睡眠电流		18.6	21.6	mA

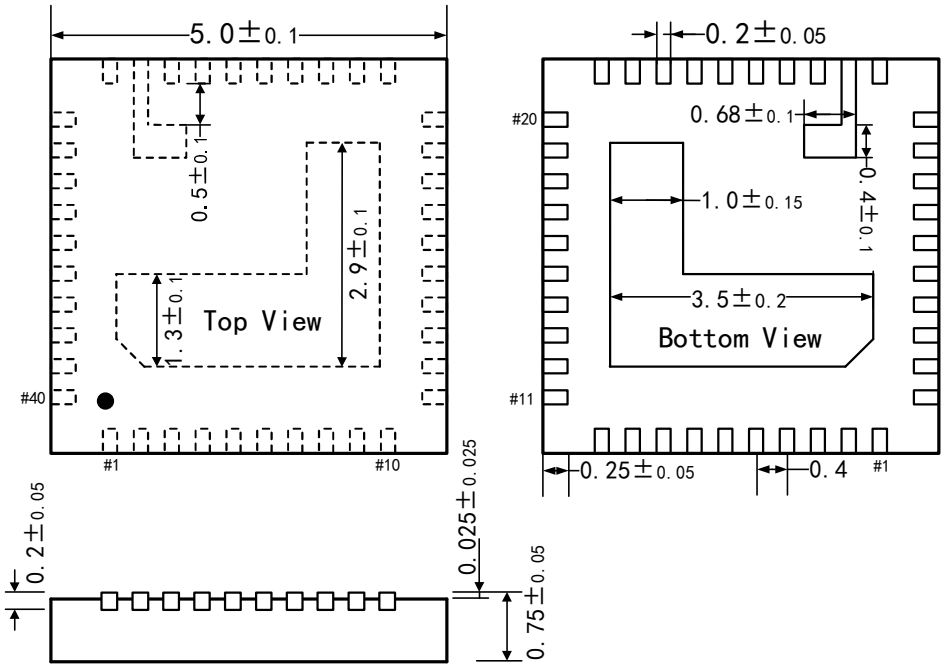
7、封装信息

说明：尺寸标注的单位是 mm（毫米）。
引脚中心间距是标称值，没有误差，除此之外的尺寸误差不大于±0.2mm。

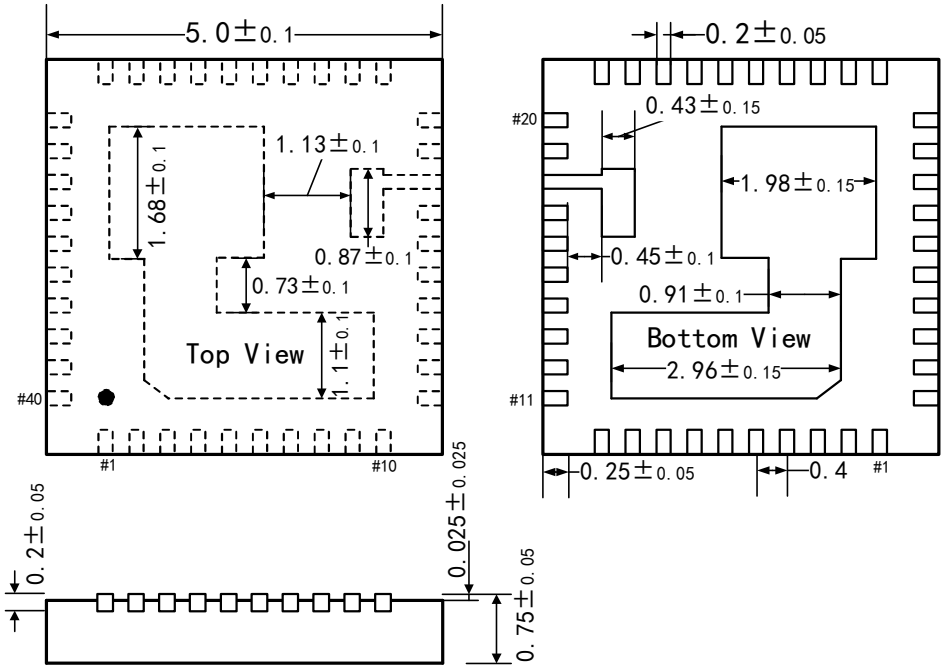
7.1 QFN40



7.2 QFN40E（CH398X）

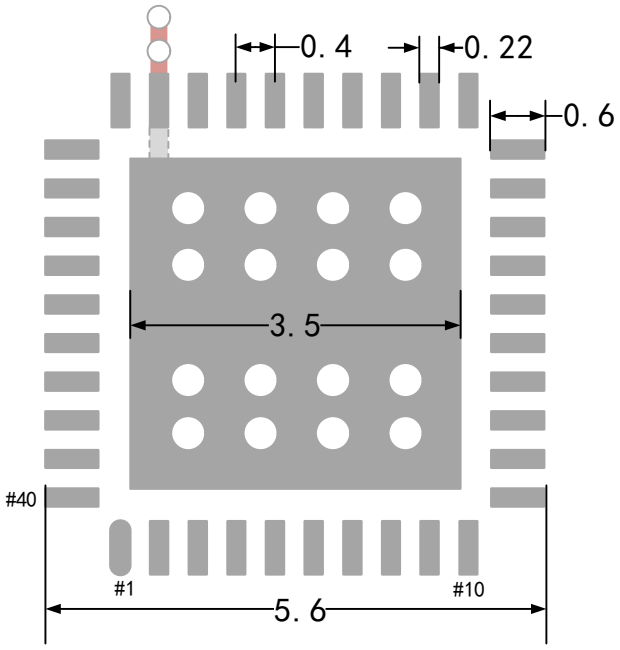


7.3 QFN40E（CH398Y）



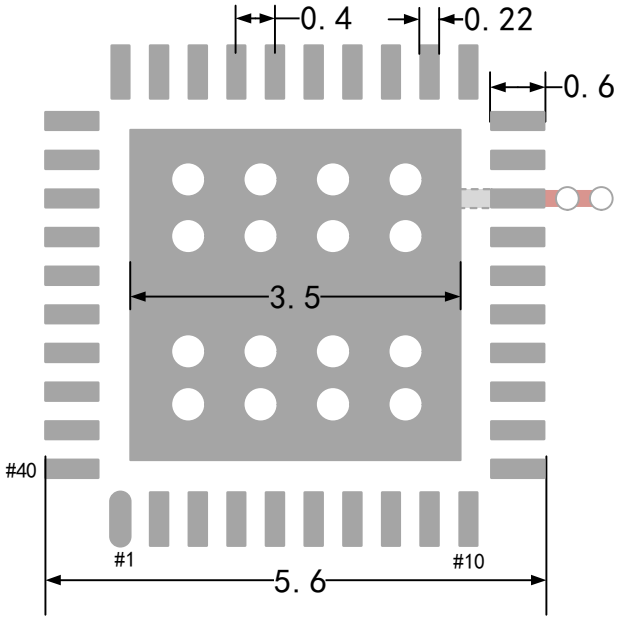
7.4 CH398X 和 CH398M 对应的 PCB 焊盘图

该 PCB 焊盘图可同时适用于 CH398X 和 CH398M。如图虚线所示，建议 29 脚 GND_DCDC 与底板 GND 连接，底板和 29 脚外侧均分别多打过孔，充分连接到全局 GND，底板至少 16 个过孔，且大面积铺铜，以缓解 DC-DC 峰值电流的影响，并加强芯片散热。



7.5 CH398Y 对应的 PCB 焊盘图

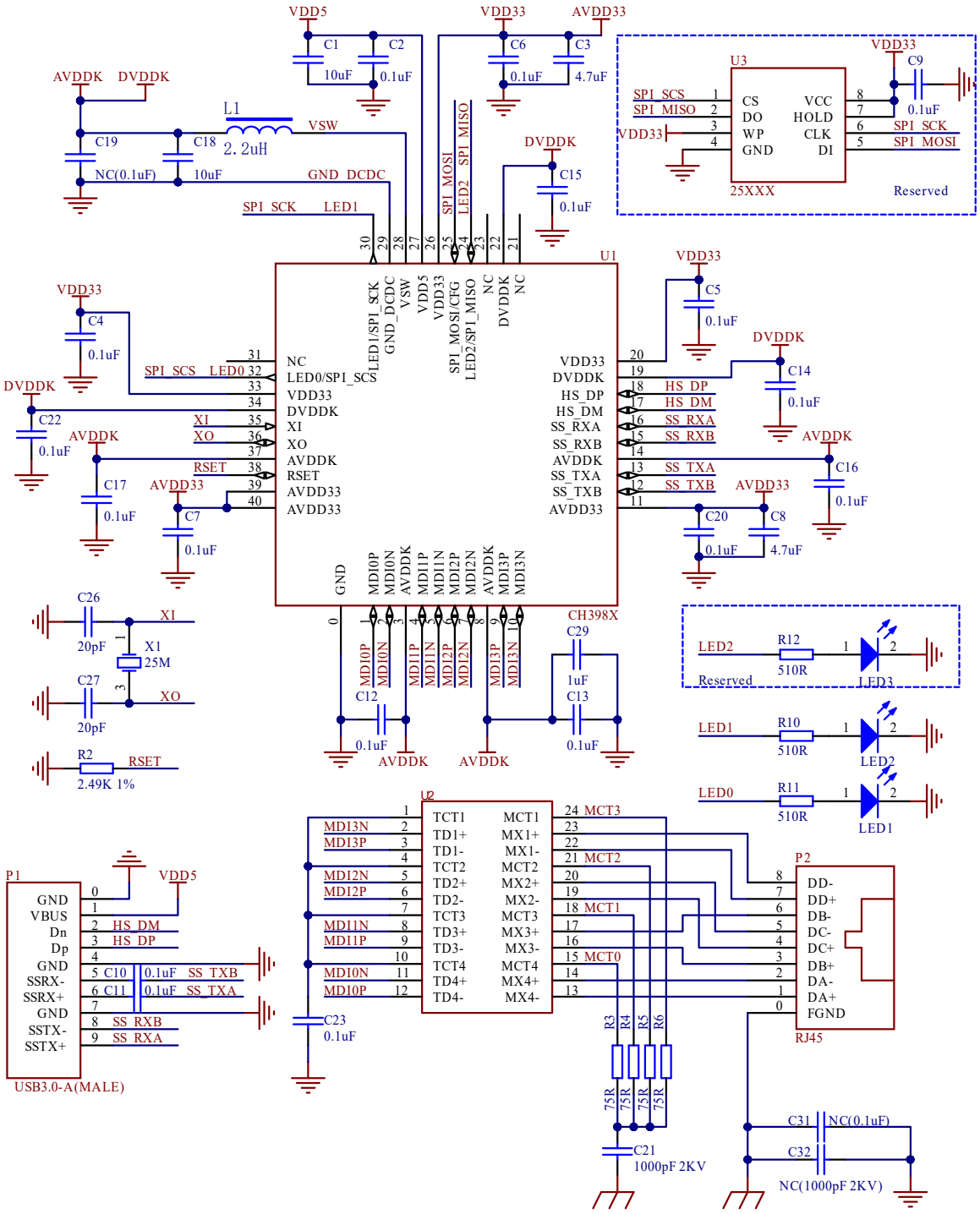
该 PCB 焊盘图适用于 CH398Y。如图虚线所示，建议 18 脚 GND_DCDC 与底板 GND 连接，底板和 18 脚外侧均分别多打过孔，充分连接到全局 GND，底板至少 16 个过孔，且大面积铺铜，以缓解 DC-DC 峰值电流的影响，并加强芯片散热。


0.4
0.22
0.6
3.5
#40
#1
#10
5.6

8、应用

8.1 基于 CH398X 的 USB 网卡应用参考

图 8-1 USB 以太网桥接芯片 CH398X 应用参考



上图 8-1 是由 CH398X 实现的单芯片 USB 网卡应用参考图。

R11、R10、R12 和 LED1、LED2、LED3 是可选的 LED 指示灯。

晶体 X1 频率是 25MHz，频偏建议不超过 30ppm，XI 和 XO 引脚的对地电容参考晶体手册。

L1 是内置 DC-DC 使用的功率电感，其典型饱和电流应不小于 400mA，C18、C19 是 DC-DC 输出端的滤波电容，支持 4.7uF，但建议总容量不低于 10uF。

U2 是网络变压器，靠近芯片侧的中心抽头连接在一起，通过 C23 电容接地，靠近 RJ45 接口一侧的中心抽头分别通过 4 个 75R 电阻 R3、R4、R5 和 R6 串接高压电容 C21 到参考地。

上图 8-1 中，两处虚线框内均为保留器件，默认不需要焊接。

8.2 板载 USB 转以太网

对于板载应用，建议将 VDD5 和 VDD33、AVDD33 都接 3.3V 电源。