CA-IF1051 具有±58V 故障保护的 CAN 收发器，支持 CAN FD

1. 产品特性

- 满足 ISO 11898-2:2016 和 ISO 11898-5:2007 物理层标准
- 'Turbo' CAN：
  - 所有器件均支持经典 CAN 和 5Mbps CAN FD(灵活数据速率)
  - 具有超低对称传输延时和快速环路响应，提高时间裕量
- 未上电时，具有理想的无源特性：
  - 总线和逻辑侧均处于高阻态(空载)
  - 上电/断电过程中，总线与 RXD 输出端无扰动
- 集成保护功能提高系统可靠性
  - CANH、CANL 具有±58V 故障保护
  - ±30V 扩展共模输入范围(CMR)
  - V_{CC}、V_{IO} 欠压保护
  - 发送器超时检测避免总线闭锁，允许最低传输速率为 5.5 kbps
  - 热关断
- 超低环路延时：130ns (典型值)
- 独立的 2.5V 至 5.5V V_{IO} 逻辑供电电源(CA-IF1051VS)
- 结温范围：-55°C 至 150°C
- 提供 8 引脚 SO 封装

2. 典型应用

- 工业自动化
- 楼宇自动化
- HVAC 系统
- 分布式管理
- 自动售货机
- 安防系统

3. 概述

CA-IF1051S/CA-IF1051VS 为控制器局域网(CAN)收发器，符合 ISO11898-2:2016 和 ISO 11898-5:2007 物理层技术规范。该系列器件设计用于高速 CAN FD 网络，可支持高达 5Mbps 的传输速率。CAN 总线端口提供高达±58V 的故障保护，满足恶劣环境中的过压保护需求。接收器输入共模范围(CMR)高达±30V，远远超出 ISO 11898 规范要求的-2V 至+7V，非常适合节点间存在较大地电位偏差的 CAN 总线网络。此外，CA-IF1051VS 具有独立的逻辑供电电源引脚(V_{IO})，可接受 2.5V 至 5.5V 供电范围，方便连接不同逻辑电平的 CAN 控制器，无需额外的电平转换器。

发送器提供显性状态超时检测，避免由于控制器错误或 TXD 输入故障而导致的总线闭锁。当 TXD 处于显性状态(低电平)的时间超出 t_{DOM} 时，驱动器立即释放总线，使输出保持在隐性电平。此外，两款器件还提供静音模式控制(关闭发送器工作)，满足 CAN 通信的基本需求。

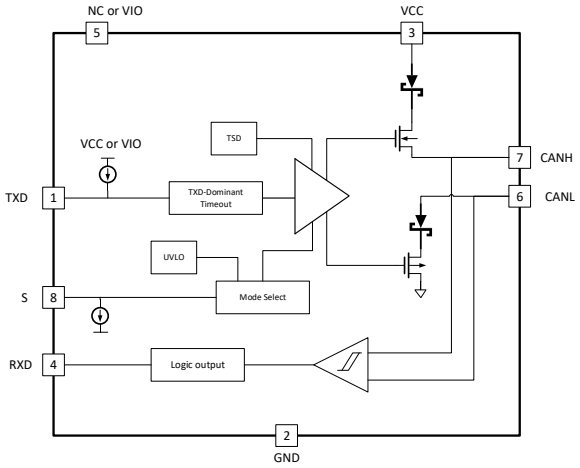
CA-IF1051S/CA-IF1051VS 采用 8 引脚 SOIC 封装，两款器件均可工作在-55°C 至+150°C 结温范围。

器件信息

器件型号	封装	封装尺寸(标称值)
CA-IF1051S	SOIC8(S)	4.9mm x 3.9mm
CA-IF1051VS	SOIC8(S)	4.9mm x 3.9mm

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

简化框图



4. 订购信息

表 4-1 有效订购器件型号

型号	封装	封装尺寸
CA-IF1051S	SOIC8	4.9mm*3.9mm
CA-IF1051VS	SOIC8	4.9mm*3.9mm

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

目录

1. 产品特性.....1
2. 典型应用.....1
3. 概述.....1
4. 订购信息.....2
5. 修订历史.....3
6. 引脚功能描述.....4
7. 产品规格.....5
7.1. 绝对最大额定值.....5
7.2. ESD 额定值.....5
7.3. 建议工作条件.....5
7.4. 热信息.....5
7.5. 电气特性.....6
7.6. 开关特性.....8
7.7. 典型工作特性曲线与波形.....9
8. 参数测量信息.....11
9. 详细说明.....15
9.1. CAN 总线状态.....15
9.2. 接收器.....15
9.3. 发送器.....16
9.4. 保护功能.....16
9.4.1. 欠压锁存.....16
9.4.2. 过压故障保护.....16
9.4.3. 热关断.....16
9.4.4. 限流保护.....17
9.4.5. 发送器超时检测.....17
9.5. 器件断电状态.....18
9.6. 浮空引脚.....18
9.7. 工作模式.....18
9.7.1. 常态模式.....18
9.7.2. 静音模式.....18
10. 应用信息.....19
11. 封装信息.....21
12. 焊接信息.....22
13. 卷带信息.....23
14. 重要声明.....24

5. 修订历史

修订版本号	修订内容	修订页码
Version 1.00	N/A	N/A
Version 1.01	更新格式	6
Version 1.02	更新输出端口 RXD 的 VOH 和 VOL 测试条件以及典型值	6

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

6. 引脚功能描述

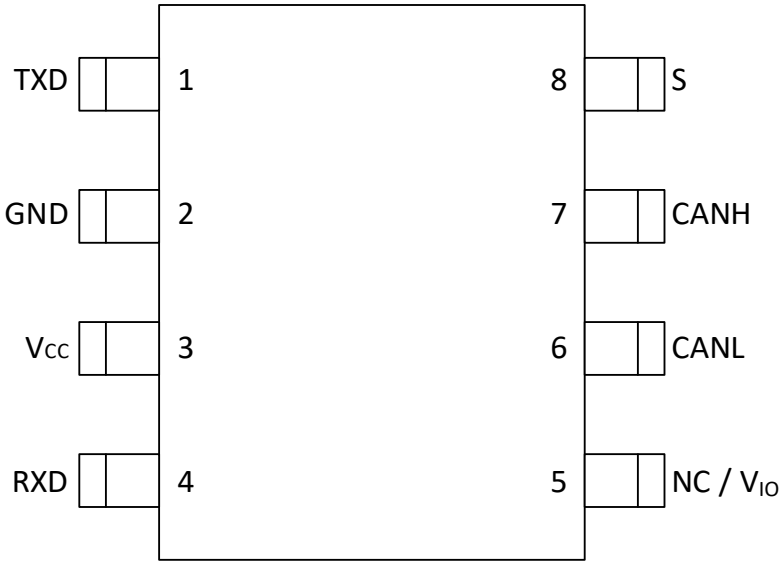


图 6-1 CA-IF1051S /CA-IF1051VS 引脚配置

表 6-1 CA-IF1051S/CA-IF1051VS 引脚功能描述

引脚名称	引脚编号		类型	描述
	CA-IF1051S	CA-IF1051VS		
TXD	1	1	输入	发送器数据输入端。当 TXD 为低电平时，CANH、CANL 输出为显性状态；当 TXD 为高电平时，CANH、CANL 输出为隐性状态。
GND	2	2	地	接地
V_{CC}	3	3	电源	电源输入，在 V_{CC} 与 GND 之间外接一个至少 0.1μF 的旁路电容，电容需靠近电源引脚安装。
RXD	4	4	输出	接收器数据输出端，总线为隐性状态时，RXD 输出高电平；总线为显性状态时，RXD 输出低电平。
NC	5		NC	浮空，请勿从外部连接这些引脚，应将其置于悬空状态。
V_{IO}		5	电源	逻辑电源输入，用于逻辑电路供电。在 V_{IO} 与 GND 之间外接一个至少 0.1μF 的旁路电容，电容需靠近电源引脚安装。
CANL	6	6	总线 I/O	CAN 总线差分输入/输出，低电平逻辑端。
CANH	7	7	总线 I/O	CAN 总线差分输入/输出，高电平逻辑端。
S	8	8	输入	静音状态控制引脚，S 接高电平，发送器置于静音状态；S 接低电平或开路，器件处于正常工作模式。

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

7. 产品规格

7.1. 绝对最大额定值

参数		最小值	最大值	单位
V_{CC}	5V 电源电压	-0.3	7	V
V_{IO}	I/O 逻辑电源电压	-0.3	7	V
V_{BUS}	CAN 总线 I/O 电压(CANH，CANL)	-58	58	V
$V_{(DIFF)}$	CANH 与 CANL 间的最大差分电压	-58	58	V
$V_{(Logic_Input)}$	逻辑侧端口输入电压(TXD，S)	-0.3	+7	V
$V_{(Logic_Output)}$	逻辑侧端口输出电压(RXD)	-0.3	+7	V
$I_{O(RXD)}$	RXD 接收器输出电流	-8	8	mA
T_J	结温	-55	150	°C
T_{STG}	存储温度	-65	150	°C

注:

1. 工作条件达到或超出上述绝对最大额定值可能会导致器件永久性损坏。这里给出的是器件额定值，并非工作条件，不能据此推断产品能否正常工作。器件长期在超出最大额定值条件下工作会影响产品的可靠性，甚至导致产品损坏。

7.2. ESD 额定值

	测试条件		数值	单位
CA-IF1051S，CA-IF1051VS				
HBM[1] ESD	CAN 总线端口(CANH，CANL)到 GND		±8000	V
	其它管脚		±4000	
CDM ESD	所有管脚		±1500	V
系统级 ESD	CAN 总线端口 (CANH，CANL)到 GND	IEC 61000-4-2 : 未上电时接触放电	±8000[2]	V
ISO7637 瞬态保护，基于 GIFT-ICT CAN EMC 测试	CAN 总线端口 (CANH，CANL)到 GND	脉冲 1	-100	V
		脉冲 2	+75	V
		脉冲 3a	-150	V
		脉冲 3b	+100	V
ISO7637-3 瞬态保护	CAN 总线端口 (CANH，CANL)到 GND	带 100nF 直接耦合电容“慢瞬态脉冲”—上电状态	±85	V

注:

1. JEDEC 文件 JEP155 规定：500V HBM 允许按照标准 ESD 控制过程进行安全生产；
2. 系统板级测试；

7.3. 建议工作条件

参数		最小值	最大值	单位
V_{CC}	5V 电源电压	4.5	5.5	V
V_{IO}	I/O 逻辑电源电压	2.5	5.5	V
I_{OH}(RXD)	RXD 端口输出电流@高电平	-2		mA
I_{OL}(RXD)	RXD 端口输出电流@低电平		2	mA

7.4. 热信息

热参数		SOIC8	单位
$R_{\theta JA}$	IC 结至环境的热阻	125	°C/W

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

7.5. 电气特性

所有参数在建议工作条件下测试，环境温度 T_A = -55°C—125°C(除非另有说明)。

参数		测试条件	最小值	典型值	最大值	单位
电源						
I_{cc}	5V 电源电流	TXD = 0V , R_L = 60 Ω(显性), 图 8- 1		40	70	mA
		TXD = 0V , R_L = 50 Ω(显性), 图 8- 1		45	80	mA
		TXD = 0V , CANH = -12V(显性), 图 8- 1			180	mA
		TXD = V_{CC} , R_L = 50 Ω(隐性), 如图 8- 1		0.7	2.5	mA
		S = V_{CC} (静音模式), 如图 8- 1		0.6	2.5	mA
I_{cc}	I/O 电源电流	TXD = S = 0 or 5.5V		90	300	µA
V_{uv_vcc}	V_{CC} UVLO 电压	上升		4.2	4.4	V
V_{uv_vcc}	V_{CC} UVLO 电压	下降	3.8	4.0	4.25	V
$V_{uv_vcc_hys}$	V_{CC} UVLO 电压	滞回		0.2		V
V_{UV_VIO}	V_{IO} UVLO 电压	CA-IF1051VS	1		2.25	V
$V_{UV_VIO_hys}$	V_{IO} UVLO 电压滞回	CA-IF1051VS		300		mV
逻辑接口(模式选择输入)						
V_{IH}	高电平输入	CA-IF1051VS	0.7*V_{IO}			V
		CA-IF1051S	2			
V_{IL}	低电平输入	CA-IF1051VS			0.3*V_{IO}	V
		CA-IF1051S			0.8	
I_{IH}	高电平输入漏电流	S = V_{CC} or V_{IO} = 5.5V			30	µA
I_{IL}	低电平输入漏电流	S = 0V , V_{CC} = V_{IO} = 5.5V	-2		2	µA
$I_{lek(off)}$	未上电时漏电流	S = 5.5V, V_{CC} = V_{IO} = 0V	-1		1	µA
逻辑接口(TX 输入)						
V_{IH}	输入高电平	CA-IF1051VS	0.7*V_{IO}			V
		CA-IF1051S	2			
V_{IL}	输入低电平	CA-IF1051VS			0.3*V_{IO}	V
		CA-IF1051S			0.8	
I_{IH}	输入高电平漏电流	TXD = V_{CC} = V_{IO} = 5.5V	-2.5	0	1	µA
I_{IL}	输入低电平漏电流	TXD = 0V , V_{CC} = V_{IO} = 5.5V	-100	-47	-7	µA
$I_{lek(off)}$	未上电时漏电流	TXD = 5.5V , V_{CC} = V_{IO} = 0V	-1	0	1	µA
C_i	输入电容	Vin = 0.4*sin(4E6*π*t)+2.5V		5		pF
逻辑接口(RX 输出)						
V_{OH}	输出高电平	Io=-2mA, CA-IF1051VS	0.8*V_{IO}	V_{IO}-0.2		V
		Io=-2mA, CA-IF1051S	4	4.8		
V_{OL}	输出低电平	Io=+2mA, CA-IF1051VS			0.2*V_{IO}	V
		Io=+2mA, CA-IF1051S		0.2	0.4	
$I_{lek(off)}$	未上电时漏电流	RXD = 5.5V , V_{CC} = V_{IO} = 0V	-1	0	1	µA

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

电气特性(续)

所有参数在建议工作条件下测试，环境温度 T_A = -55°C—125°C(除非另有说明)。

参数		测试条件	最小值	典型值	最大值	单位
CAN 总线发送器						
$V_{O(DOM)}$	总线单端输出电压(显性)	TXD = 低电平 , S = 0V , R_L = 50 -65Ω , CANH 端口 , 如图 8- 1	2.75		4.5	V
		TXD = 低电平 , S = 0V , R_L = 50 -65Ω , CANL 端口 , 如图 8- 1	0.5		2.25	V
$V_{OD(DOM)}$	总线差分输出电压(显性)	TXD = 低电平 , R_L = 60 Ω , R_{CM} =165 Ω , -5V ≤ V_{CM} ≤ +10V , 如图 8- 1	1.5		3.0	V
		TXD = 低电平, R_L = 45-50 Ω , R_{CM} open , 如图 8- 1	1.4		3.0	V
		TXD = 低电平, R_L = 50-65 Ω , R_{CM} open , 如图 8- 1	1.5		3.0	V
		TXD = 低电平, R_L = 2240 Ω , R_{CM} open , 如图 8- 1	1.5		5.0	
$V_{O(REC)}$	总线单端输出电压(隐性)	TXD=高电平, 空载, CANH 端口 , 如图 8- 1	2		3	V
		TXD=高电平 , 空载, CANL 端口 , 如图 8- 1	2		3	V
$V_{OD(REC)}$	总线差分输出电压(隐性)	TXD=高电平 , S = 0V , R_L = 60 Ω , 如图 8- 1	-120		12	mV
		TXD=高电平 , S = 0V , 空载 , 如图 8- 1	-50		+50	mV
$I_{OS(SS_DOM)}$	短路电流(显性)	TXD=低电平 , CANL 开路 , CANH = -15V to 40V, 如图 8- 7	-100			mA
		TXD=低电平 , CANH 开路 , CANL = -15V to 40V , 如图 8- 7			100	
$I_{OS(SS_rec)}$	短路电流(隐性)	TXD=高电平, V_{BUS} =-27V to 32V , 如图 8- 7	-5		5	mA
Vsys	瞬态对称性(显性和隐性)	R_L = 60 Ω , R_{CM} open , TXD = 250kHz or 1MHz, 如图 8- 1	0.9		1.1	V/V
Vsys_dc	DC 对称性(显性和隐性)	R_L = 60 Ω , R_{CM} open , 如图 8- 1	-0.4		0.4	V
CAN 接收器(TXD=High，CANH/CANL 由外部驱动)						
V_{CM}	共模输入范围	CANH 或 CANL 到地, RXD 输出有效, 如图 8- 2	-30		+30	V
V_{DIFF_R}	差分输入阈值(隐性)	TXD=高电平 , V_{CM} = -20V to 20V , 如图 8- 2	0.5			
V_{DIFF_D}	差分输入阈值(显性)	TXD=高电平 , V_{CM} = -20V to 20V , 如图 8- 2			0.9	
V_{DIFF_R}	差分输入阈值(隐性)	TXD=高电平 , V_{CM} = -30V to 30V , 如图 8- 2	0.4			
V_{DIFF_D}	差分输入阈值(显性)	TXD=高电平 , V_{CM} = -30V to 30V , 如图 8- 2			1	
$V_{DIFF_(HYST)}$	差分输入滞回			120		mV
R_{IN}	CANH/CANL 输入电阻	TXD=高电平 , V_{CM} = -30V to 30V	15		40	kΩ
R_{DIFF}	差分输入电阻	TXD=高电平 , V_{CM} = -30V to 30V	30		80	kΩ
$R_{DIFF\ (M)}$	输入电阻匹配	CANH = CANL=5V	-2		2	%
I_{LKG}	输入端漏电流	V_{CC} = 0V , V_{CAN} = 5V			4.8	µA
C_{IN}	单端输入电容	CANH 或者 CANL 到地		24	30	pF
C_{IN_DIFF}	差分输入电容	CANH 到 CANL		12	15	pF

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

7.6. 开关特性

所有参数在建议工作条件下测试，环境温度 T_A = -55°C—125°C(除非另有说明)。

参数		测试条件	最小值	典型值	最大值	单位
驱动器开关特性						
t_R	总线驱动上升时间	R_L = 60 Ω , C_L = 100pF , 如图 8- 1		55		ns
t_F	总线驱动下降时间	R_L = 60 Ω , C_L = 100pF , 如图 8- 1		60		ns
t_{ONTXD}	TXD 延迟(隐性到显性)	R_L = 60 Ω , C_L = 100pF , 如图 8- 1		55		ns
t_{OFFTXD}	TXD 延迟(显性到隐性)	R_L = 60 Ω , C_L = 100pF , 如图 8- 1		40		ns
Tsk(p)	脉冲偏差	R_L = 60 Ω , C_L = 100pF , 如图 8- 1		20		ns
t_{DOM}	TXD 显性超时	R_L = 60 Ω , C_L open, 如图 8- 1	2	5	8	ms
接收器开关特性						
t_{ONRXD}	RXD 延迟(隐性到显性)	C_L = 15pF , 如图 8- 1		95		ns
t_{OFFRXD}	RXD 延迟(显性到隐性)	C_L = 15pF , 如图 8- 1		65		ns
t_R	RXD 驱动上升时间	C_L = 15pF , 如图 8- 2		20		ns
t_F	RXD 驱动下降时间	C_L = 15pF , 如图 8- 2		20		ns
器件开关特性						
t_{loop1}	环路延迟时间	隐性到显性 , R_L = 60 Ω, C_L = 100pF , 如图 8- 3		120	160	ns
t_{loop2}	环路延迟时间	显性到隐性 , R_L = 60 Ω,C_L = 100pF , 如图 8- 3		130	175	ns
t_{ONTXD}	模式转换时间	从静默到常态或者从常态到静默 , 如图 8- 4		0.13	10	us
FD 时序特性						
$t_{bit(bus)}$	CAN 总线输出位时间 @2Mbps， TXD 输入	R_L=60 Ω , C_L=100pF , C_{LRX}=15pF , 如图 8- 6	435		530	ns
$t_{bit(bus)}$	CAN 总线输出位时间 @5Mbps， TXD 输入	R_L=60 Ω , C_L=100pF , C_{LRX}=15pF , 如图 8- 6	155		210	ns
$t_{bit(rxd)}$	RXD 输出位时间@2Mbps	R_L=60 Ω , C_L=100pF , C_{LRX}=15pF , 如图 8- 6	400		550	ns
$t_{bit(rxd)}$	RXD 输出位时间@5Mbps	R_L=60 Ω , C_L=100pF , C_{LRX}=15pF ,如图 8- 6	120		220	ns
t_{rec}	接收器脉冲对称性偏差 @2Mbps	R_L=60 Ω , C_L=100pF , C_{LRX}=15pF , 如图 8- 6	-65		40	ns
t_{rec}	接收器脉冲对称性偏差 @5Mbps	R_L=60 Ω , C_L=100pF , C_{LRX}=15pF , 如图 8- 6	-45		15	ns

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

7.7. 典型工作特性曲线与波形

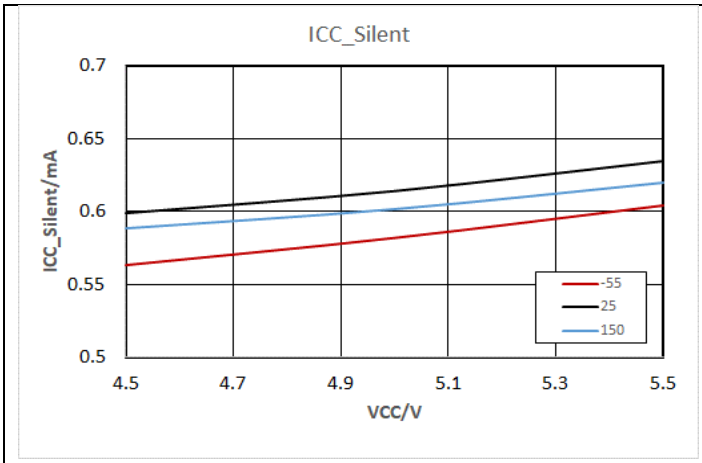


图 7-1 静音模式电流

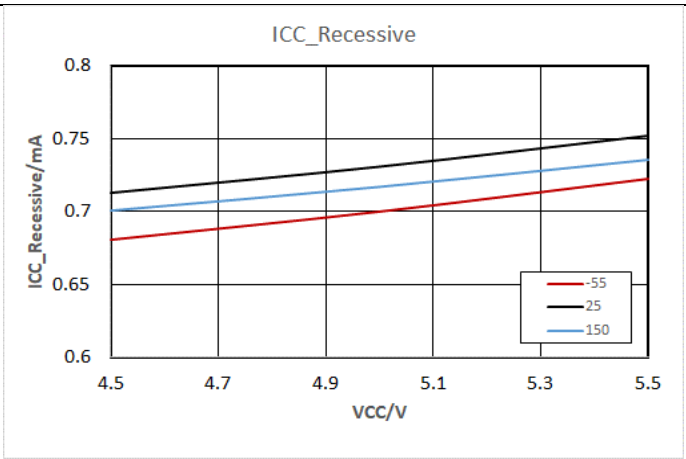


图 7-2 隐性状态电流

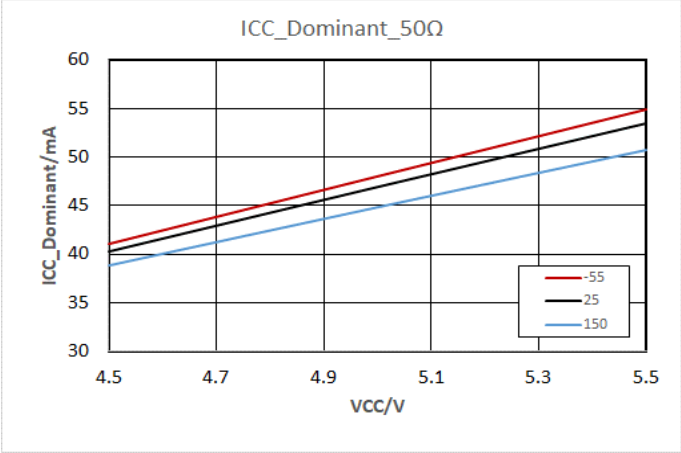


图 7-3 50Ω 负载下显性状态电流

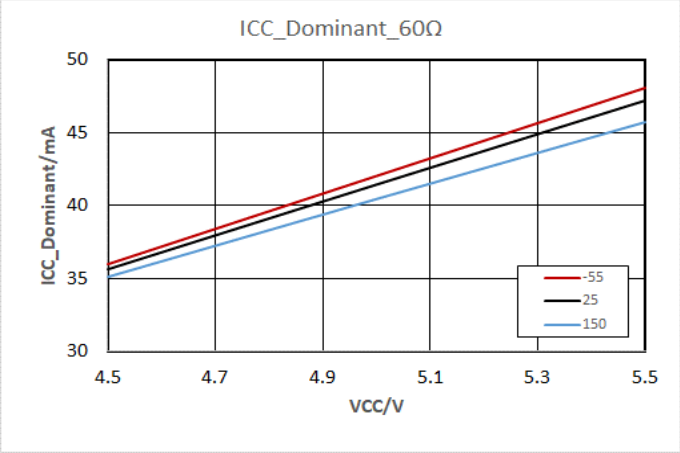


图 7-4 60Ω 负载下显性状态电流

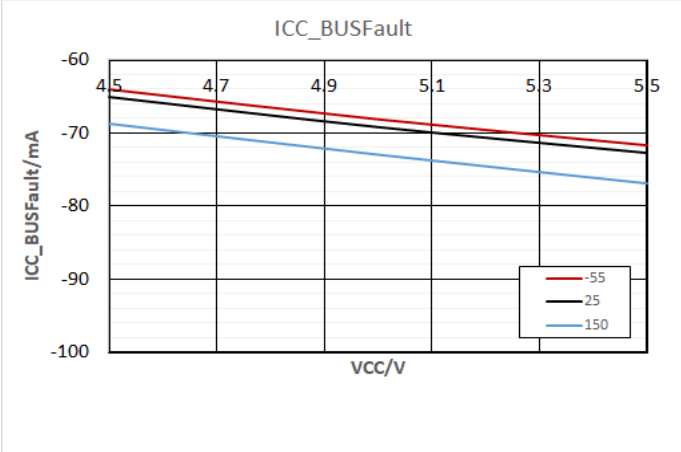


图 7-5 总线故障时电源电流

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

典型工作特性曲线与波形(续)

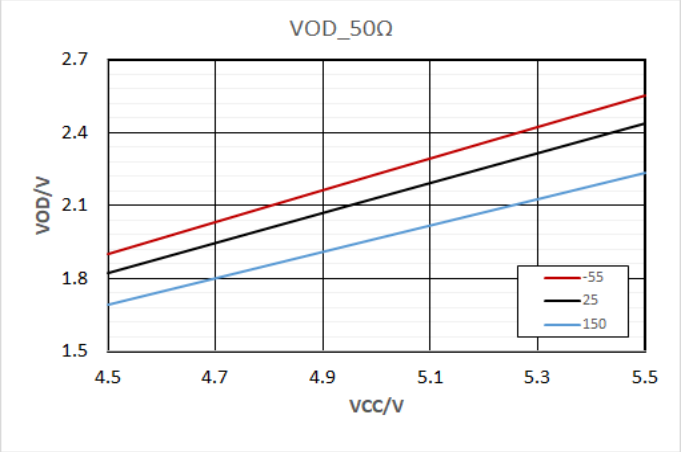


图 7-6 50Ω 负载下差分输出电压

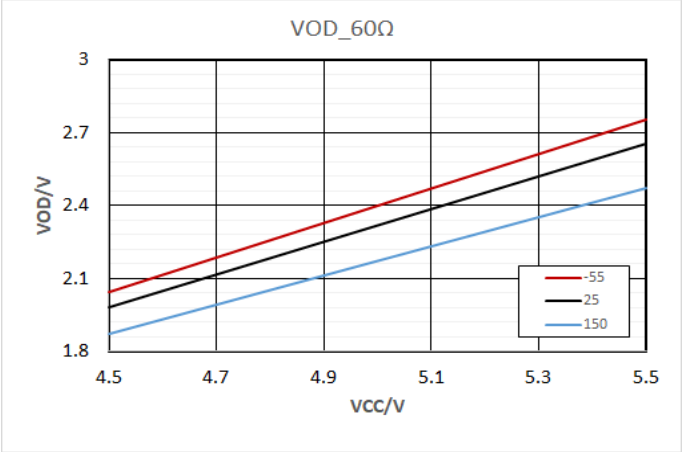


图 7-7 60Ω 负载下差分输出电压

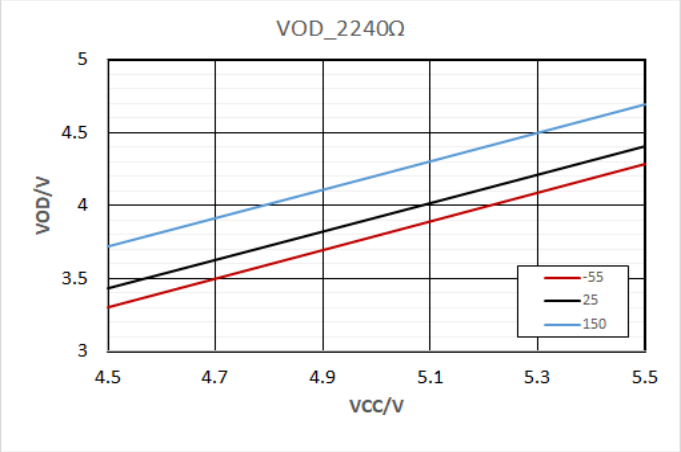


图 7-8 2240Ω 负载下差分输出电压

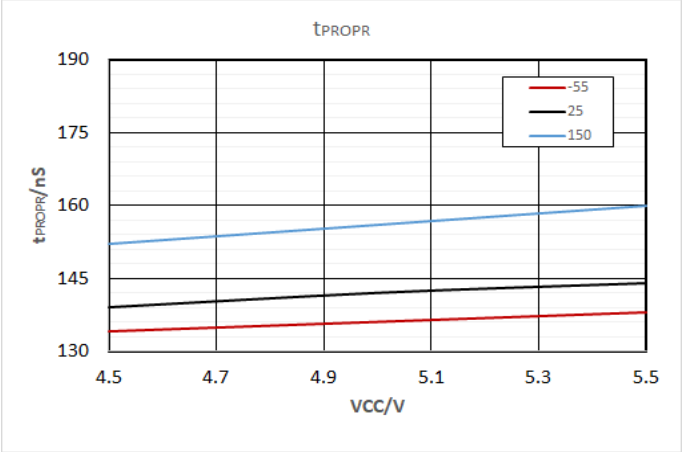


图 7-9 隐性状态到显性状态环路延时

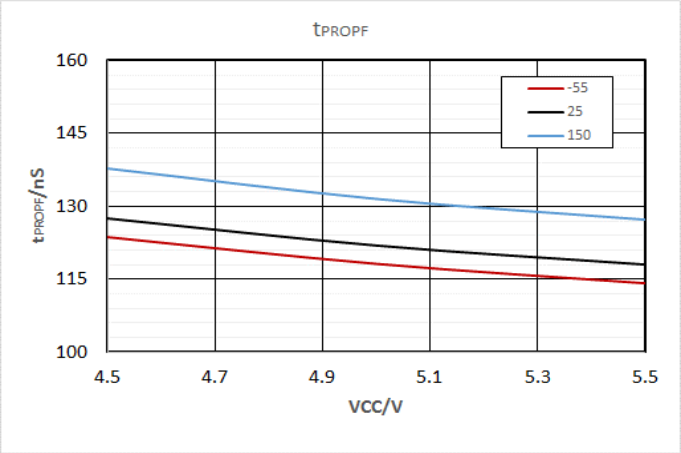


图 7-10 显性状态到隐性状态环路延时

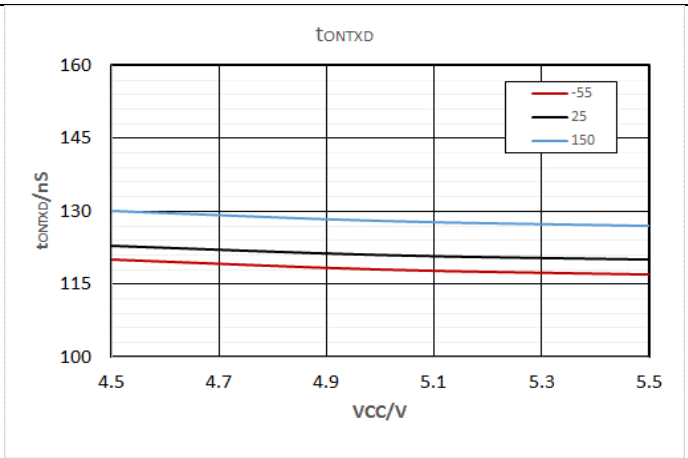


图 7-11 模式转换时间

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

8. 参数测量信息

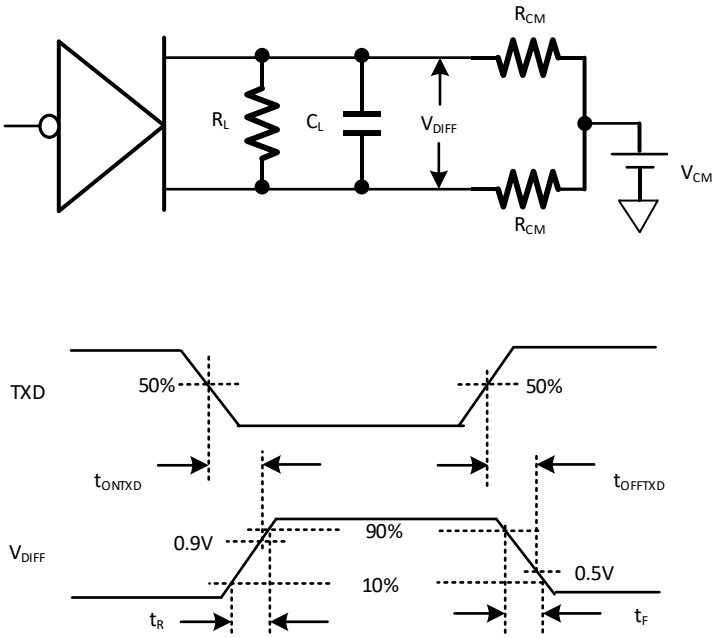


图 8- 1 发送器测试电路与时序图

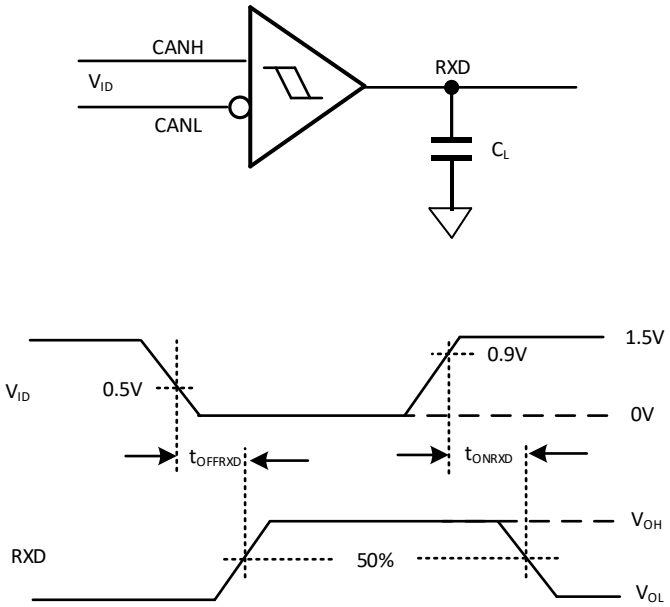


图 8- 2 接收器测试电路与时序图

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

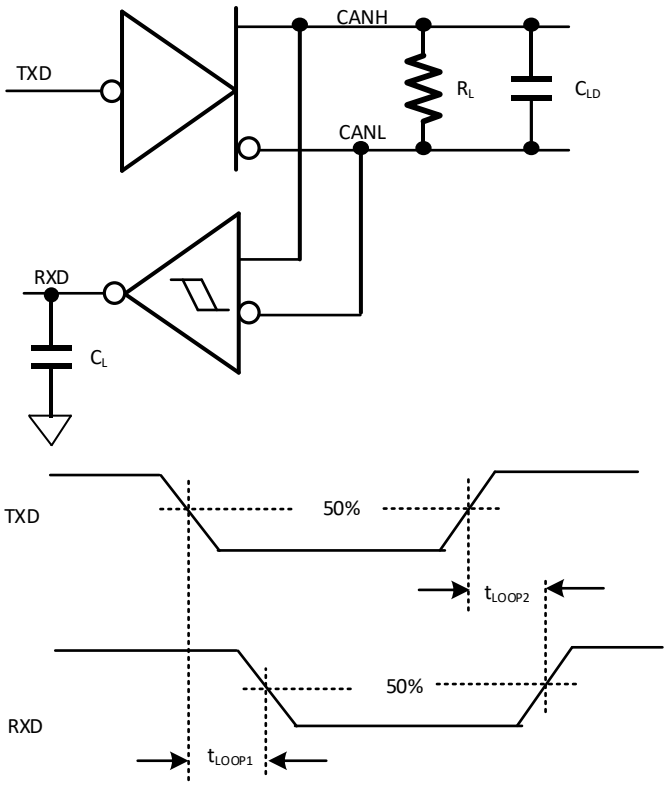


图 8- 3 TXD 到 RXD 的环路延迟

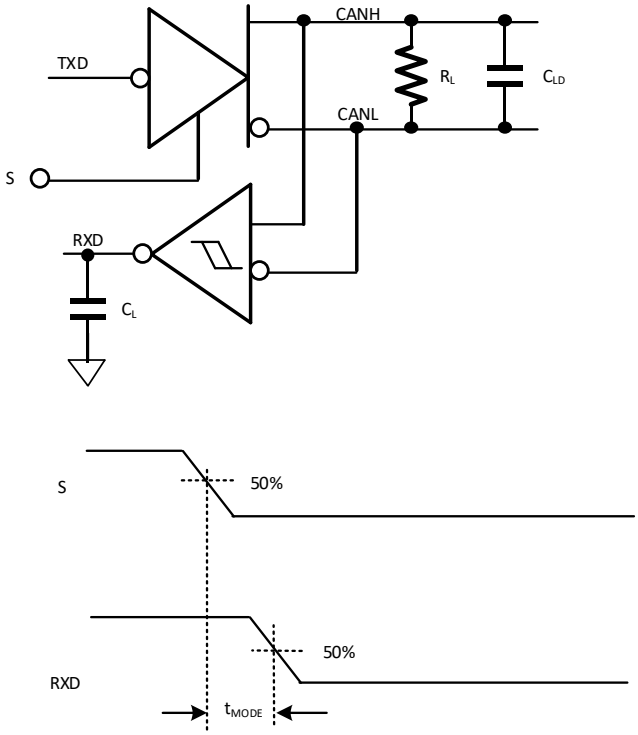


图 8- 4 静默态到常态响应测试电路与波形

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

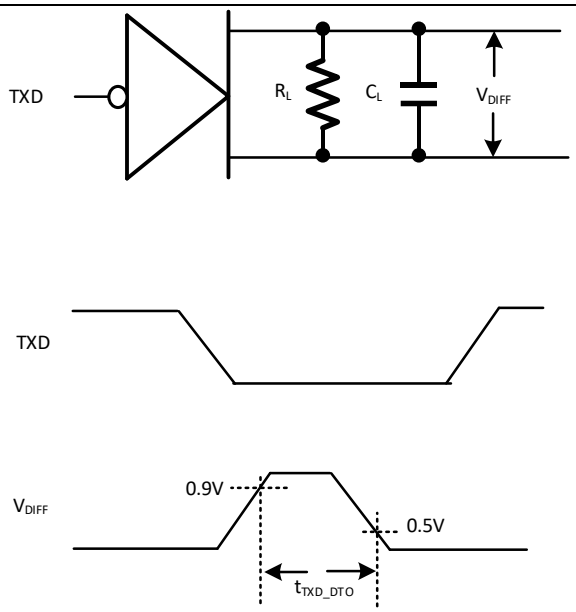


图 8- 5 发送器显性超时检测

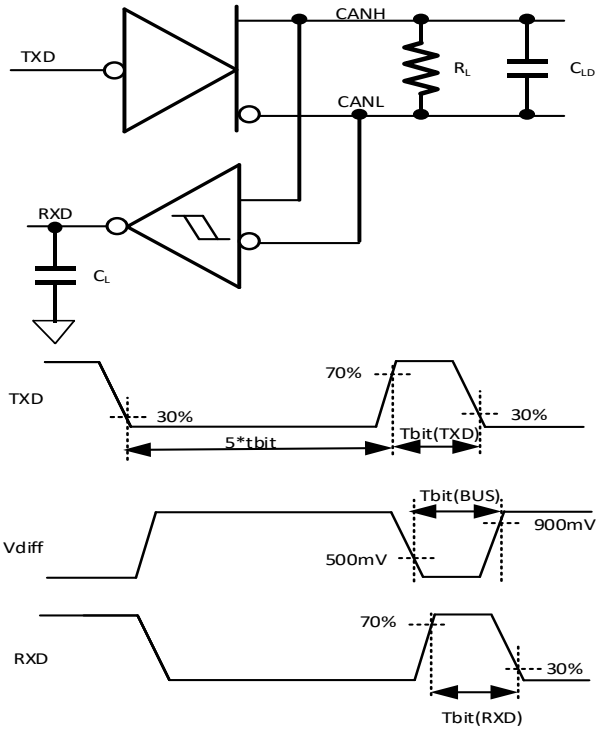


图 8- 6 FD 时序测试图

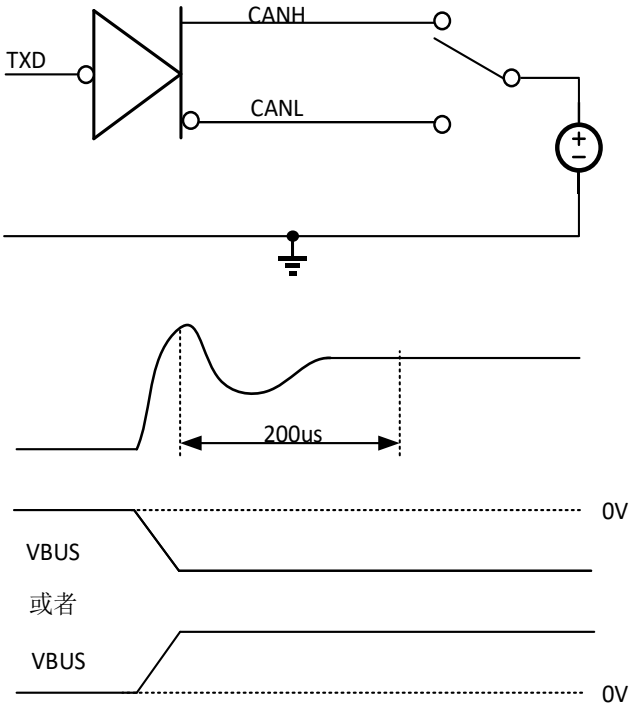


图 8- 7 驱动器输出短路测试电路与波形

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

9. 详细说明

CA-IF1051S/VS 为±58V 故障保护的控制局域网(CAN)收发器，满足 ISO11898-2 (2016)高速 CAN 网络物理层标准规范。全面的保护功能设计，用于支持工作条件恶劣的工业应用。除了提供高压故障保护，这些器件还具有±30V 的输入共模范围，能够在具有较大的地电位偏差的总线节点之间实现可靠通信。发送器的显性超时检测可避免处理器故障时锁定总线。另外，发送器输出 CANH、CANL 具有短路限流保护及热关断保护功能，一旦检测到故障状态，发送器即刻将总线输出置于高阻态，避免过大的功率损耗。

CA-IF1051VS 采用双电源供电，专用的逻辑电源 V_{IO} 可接受低至 2.5V 至 5.5V 的供电电压，当连接低压控制器时，通过采用与微控制器电压相同的 V_{IO}，可以提供兼容于 MCU 逻辑电平的 TXD、S 输入和 RXD 输出，省去了外部电平转换器。

CA-IF1051S/VS 器件可工作在高达 5Mbps 的传输速率，支持 CAN FD。当然，CAN 总线的最大的传输速率还受限于总线负载、节点数、电缆长度等因素。在 CAN 网络设计中，需要考虑信号在系统和电缆上的传输损耗、寄生负载、传输延时、网络平衡性、以及地电位偏差和信号完整性，以留出足够的设计余量。

9.1. CAN 总线状态

CAN 总线具有两个逻辑状态：显性状态和隐性状态。显性状态下(代表“0”数据位，用于确定信息发送的优先级)，CANH-CANL 之间的差分电压介于 1.5V 至 3V(高于 0.9V)，该状态对应于 TXD/RXD 的逻辑“0”；隐性状态下(代表“1”数据位，总线空闲状态)，总线通过内部电阻拉至总线侧电源 $V_{CC}/2$，CANH-CANL 之间的差分电压介于-120mV 至+12mV，或接近 0V(低于 0.5V，取决于总线负载)，对应于 TXD/RXD 的逻辑“1”，详见*图 9-1*。

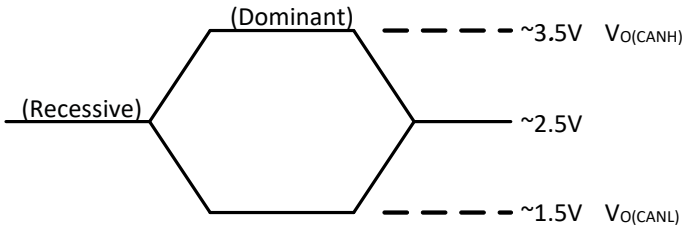


图 9-1 总线逻辑状态电压定义

9.2. 接收器

接收器将总线的差分输入(CANH 和 CANL)转换成 CAN 控制器需要的单端输出信号 RXD，内部比较器检测差分电压 $V_{DIFF} = (V_{CANH}-V_{CANL})$，门限电压约为 0.7V。如果 $V_{DIFF} > 0.9V$，则在 RXD 引脚输出逻辑低电平；如果 $V_{DIFF} < 0.5V$，RXD 输出逻辑高电平。CANH、CANL 的共模输入电压范围为±30V。当 CANH、CANL 短路，或处于空闲状态时，RXD 输出高电平，详见*表 9-1*。

表 9-1 接收器真值表

$V_{ID}=V_{CANH}-V_{CANL}$	总线状态	RXD
$V_{ID} \geq 0.9V$	显性	低电平
$0.5V < V_{ID} < 0.9V$	不确定	不确定
$V_{ID} \leq 0.5V$	隐性	高电平
开路($V_{ID} \approx 0V$)	开路	高电平

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

9.3. 发送器

发送器将来自 CAN 控制器的单端输入信号 (TXD)转换成差分输出 CANH、CANL，真值表如*表 9-2* 所示。内部发送器超时检测确保显性电平未超出 t_{DOM} 的前提下，收发器处于正常工作状态。CANH、CANL 输出具有短路限流保护，热关断则进一步限制器件的最大功耗。

表 9-2 发送器真值表 [1]

输入		TXD 低电平时间	输出		总线状态
S	TXD		CANH	CANL	
低电平或开路	低电平	< t_{DOM}	高电平	低电平	显性
	低电平	> t_{DOM}	$V_{CC}/2$	$V_{CC}/2$	隐性
	高电平或开路 [2]	X	$V_{CC}/2$	$V_{CC}/2$	隐性
高电平	X	X	$V_{CC}/2$	$V_{CC}/2$	隐性

注：

1. X = 无关。
2. TXD 输入具有内部弱上拉。

9.4. 保护功能

9.4.1. 欠压锁存

器件在 V_{CC} 和 V_{IO} 电源端提供欠压检测，当出现 V_{CC} 或 V_{IO} 欠压故障时提供有效保护。注意，CA-IF1051S 只有单路供电电源 V_{CC}，故仅提供 V_{CC} 欠压检测。欠压故障解除时，经过 t_{ONTXD} 延迟后，CA-IF1051S/VS 恢复正常工作状态，欠压锁存状态如*表 9-3* 所示。主控制器应该在 t_{ONTXD} 延迟结束后再尝试发送或接收数据。

表 9-3 欠压锁存

V_{CC}	V_{IO}	器件状态	总线输出		RXD	
			CA-IF1051VS	CA-IF1051S	CA-IF1051VS	CA-IF1051S
> V_{UV_VCC}	> V_{UV_IO}	常态	取决于 TXD	取决于 TXD	总线状态镜像输出	总线状态镜像输出
< V_{UV_VCC}	> V_{UV_IO}	保护模式	高阻	高阻	高电平	高电平
> V_{UV_VCC}	< V_{UV_IO}	保护模式 (CA-IF1051S)	高阻	取决于 TXD	高阻	总线状态镜像输出
< V_{UV_VCC}	< V_{UV_IO}	保护模式	高阻	高阻	高阻	高阻

9.4.2. 过压故障保护

CA-IF1051S/VS 器件内部为驱动器输出和发送器输入(CANH/CANL)提供±58V 过压故障保护，当总线意外短路到电源时，可以保护器件不被损坏。±58V 保护电压不受器件是否供电的影响。

9.4.3. 热关断

CA-IF1051S/VS 内部集成热关断保护，当器件的结温超出热关断门限 $T_{J(shutdown)}$时，将关闭驱动器，阻断 TXD 驱动器输出与总线的连接。热关断期间，CAN 总线偏置在隐性电平，接收器则保持有效工作状态。一旦结温降低到正常工作范围，器件自动退出热关断，恢复正常工作。

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

9.4.4. 限流保护

CA-IF1051S/VS 器件的发送器还提供输出短路保护，一旦发生输出短路到电源或短路到地的故障时，驱动器将限制输出电流。当然，由于此时处于最大限流状态，有可能消耗较大的电源电流，而热关断功能为输出短路提供了二次防护。一旦短路故障解除，发送器将退出限流保护而进入有效工作状态。

9.4.5. 发送器超时检测

CA-IF1051S/VS CAN 收发器具有显性超时检测功能，超时时间为 t_{DOM}，由此避免由于 CAN 控制器故障而将总线钳制在低电平(显性状态)。当 TXD 保持在显性状态对应电平(低电平)的时间超出 t_{DOM} 时，器件关闭发送器，将总线释放到隐性状态，参见*图 9-2*。超时故障解除后，在 TXD 收到的信号上升沿重新使能发送器，收发器恢复正常工作。发送器超时周期限制了 CA-IF1051 的最小数据传输速率，按照 CAN 总线通信协议，允许在最差工作环境下，连续发送 11 个显性位，据此可以估算出 CA-IF1051 所允许的最低速率是：11bits /t_{DOM} = 11/ 2ms = 5.5kbps，即将 CA-IF1051S/VS 的最低速率限制在 5.5kbps。

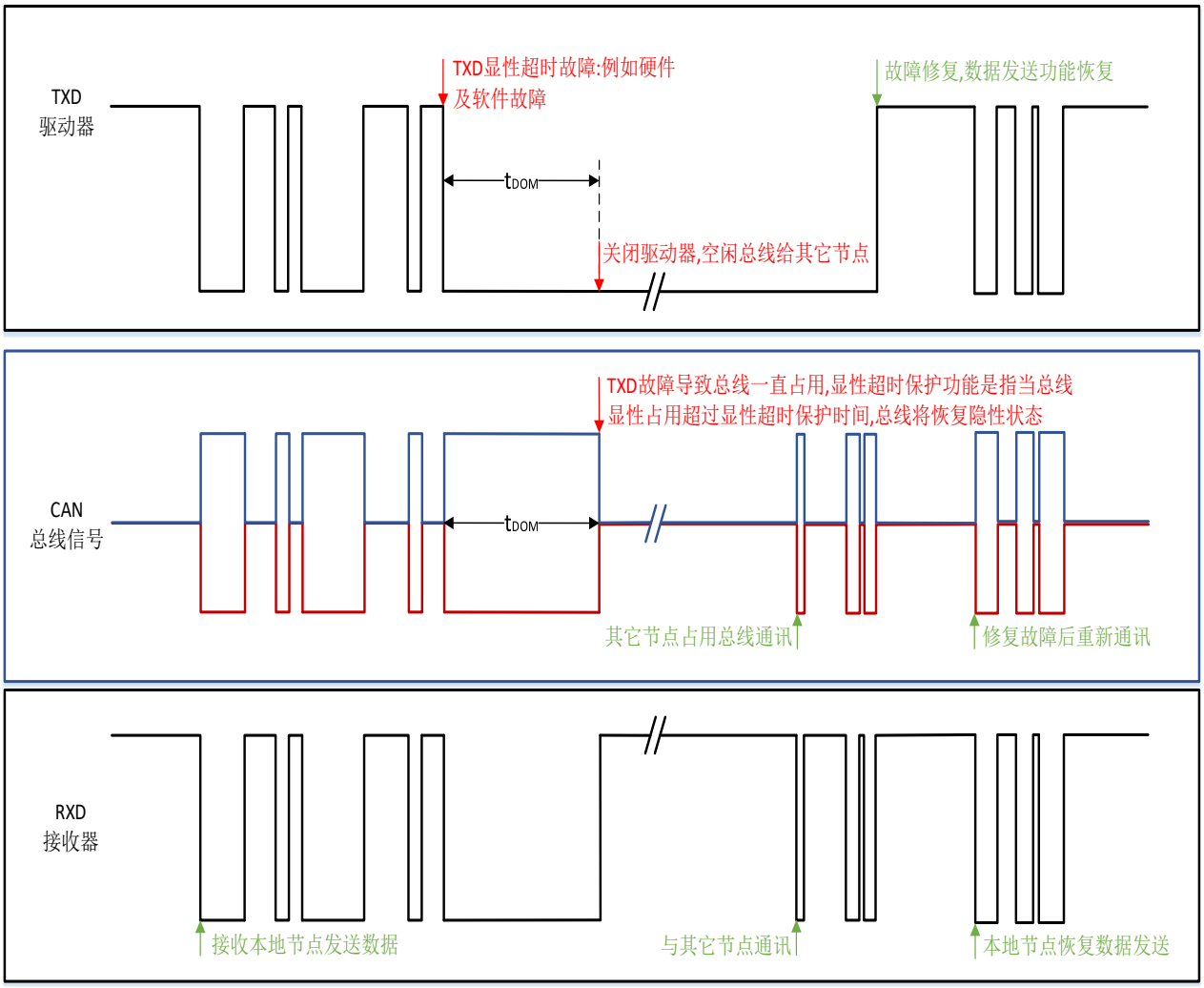


图 9- 2 发送器显性超时保护时序图

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

9.5. 器件断电状态

CA-IF1051S/VS 器件设计具有理想的无源输出状态，即在没有供电时，对总线呈现为“空载”，总线端 CANH、CANL 具有超低漏电流，避免未上电的总线节点加重总线负载。

9.6. 浮空引脚

对于关键的逻辑输入引脚，器件内部提供上拉或下拉。例如，TXD 端口内部上拉至 V_{CC} 或 V_{IO}，该引脚悬空时，将总线输出置于隐性状态。当 S 端口悬空时，其内部下拉至地，使器件处于正常工作模式。

9.7. 工作模式

CA-IF1051S/VS 具有两种工作模式，即常态模式和静音模式。工作模式由 S 引脚的输入选择。

9.7.1. 常态模式

将 S 端口拉低或悬空时，器件处于常规工作模式。在此模式下，CAN 收发器均保持正常工作并支持双向总线通信。驱动器将 TXD 输入信号转换成差分输出，通过 CANH、CANL 端口送入总线；接收器则将总线输入转换成 RXD 单端输出。

9.7.2. 静音模式

当 S 引脚置于高电平时，器件处于静音模式。在此模式下，禁止 CAN 驱动器工作，断开 TXD 到总线的通信；而接收器依然保持正常工作模式。

表 9-4 工作模式选择

S	工作模式	驱动器	接收器
低电平或浮空	常态	使能	使能
高电平	静音	禁止	使能

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

10. 应用信息

CA-IF1051S/VS CAN 收发器通常配合具有 CAN 协议数据链路层协议的主机处理器或 FPGA 工作，这些器件可支持高达 5Mbps 的通信速率，当然，总线网络的最高速率还受限于总线负载、节点数、电缆长度以及匹配等因素。设计 CAN 总线网络时，必须考虑信号在电缆上的传输损耗、寄生负载、延时、网络的不均衡性、地电位偏差以及信号完整性，因此，实际系统中的最高速率、最远传输距离常常低于理论值。根据 ISO11898 标准，CAN 总线的最高节点数为 30，考虑到 CA-IF1051S/VS 较高的输入阻抗(最小值为 30kΩ)，并且驱动器能够在 60Ω 总线负载时提供最小 1.5V 的差分驱动电压(45Ω 总线负载下提供至少 1.4V 差分输出)，通过谨慎设计网络布局，可以允许多达 110 个 CA-IF1051S/VS 节点挂接在同一 CAN 总线上。*图 10-1*，*图 10-2* 分别为 CA-IF1051VS 和 CA-IF1051S 的典型应用电路，其中，*图 10-1* 中，V_{IO} 与 MCU 共用同一电源，以保持逻辑输入、输出电平的兼容性。

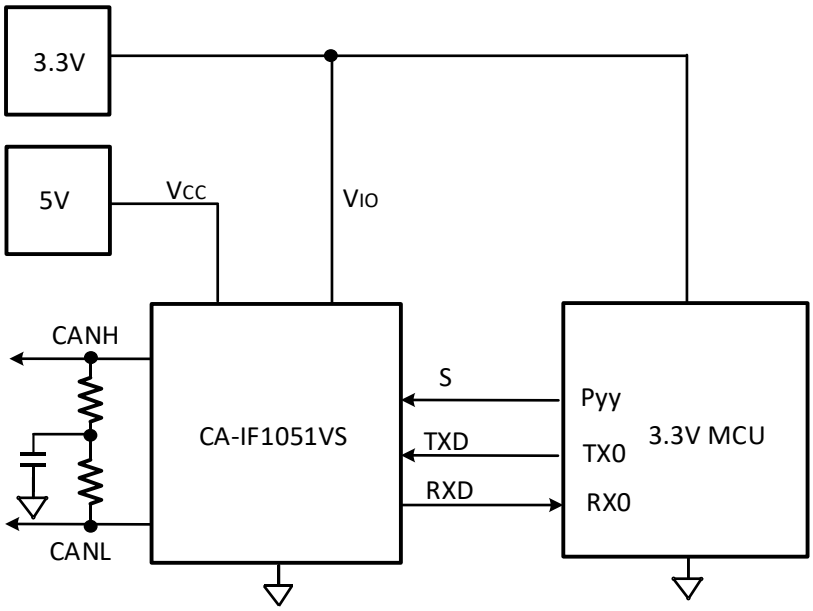


图 10- 1 CA-IF1051VS CAN 总线典型应用电路

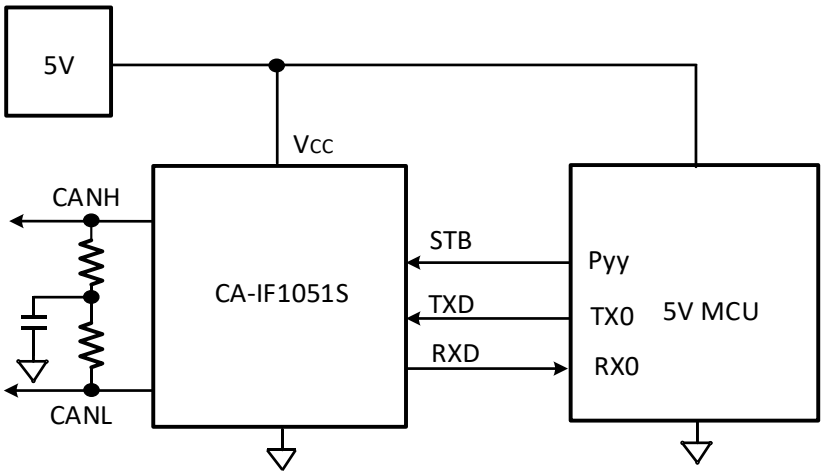


图 10- 2 CA-IF1051S CAN 总线典型应用电路

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

在多节点 CAN 总线网络中，保持线路阻抗均匀非常重要，由此需要提供适当的终端匹配。网络拓扑不能使用星形、树形或环形拓扑，在网络相距最远的两个端点之间挂接任何一个节点都会产生一个“接头”，而高速信号在这些电缆“接头”上将产生信号反射，在总线上引入干扰。设计中，需要使用尽可能短的电缆挂接每个节点，尤其是对于高速传输网络。*图 10-3* 给出了 CAN 总线的典型拓扑，在总线的两个端点可采用单个 120Ω 电阻(R_T)匹配总线，其中，120Ω 为电缆的特征阻抗；如果需要增加共模滤波，也可以将其分隔成两个 60Ω 的电阻进行终端匹配。

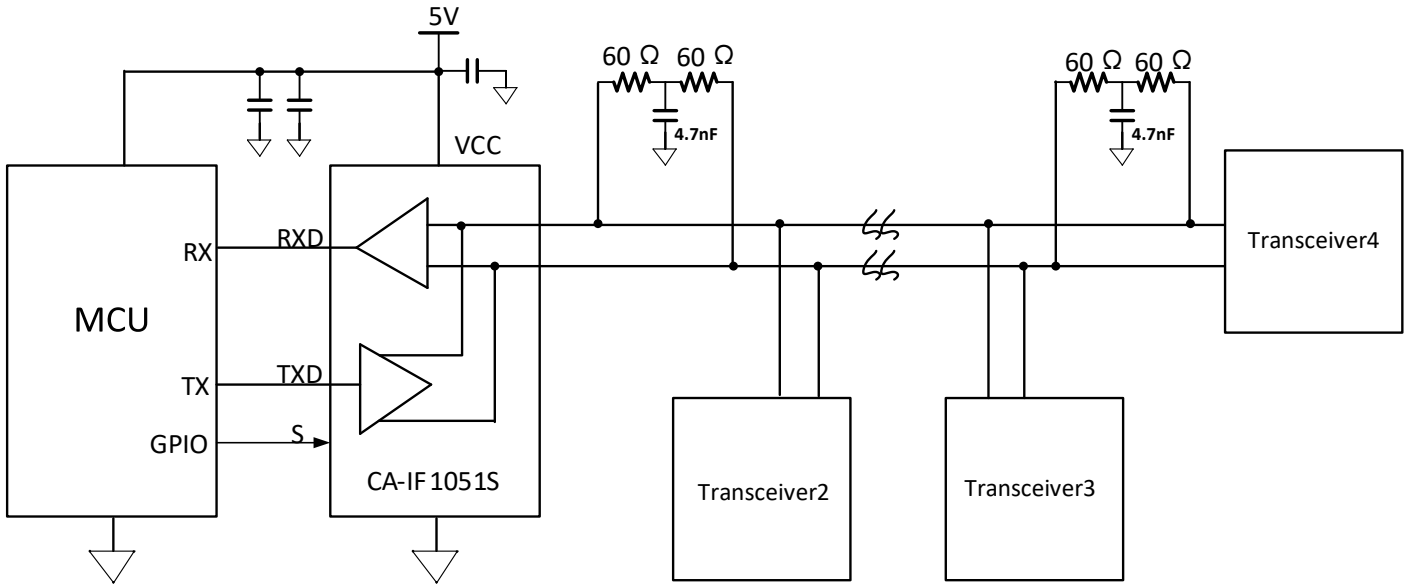


图 10-3 典型 CAN 网络拓扑

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

11. 封装信息

SOIC8 外形尺寸

下图为 SOIC8 封装尺寸图和建议焊盘尺寸图。尺寸以毫米为单位

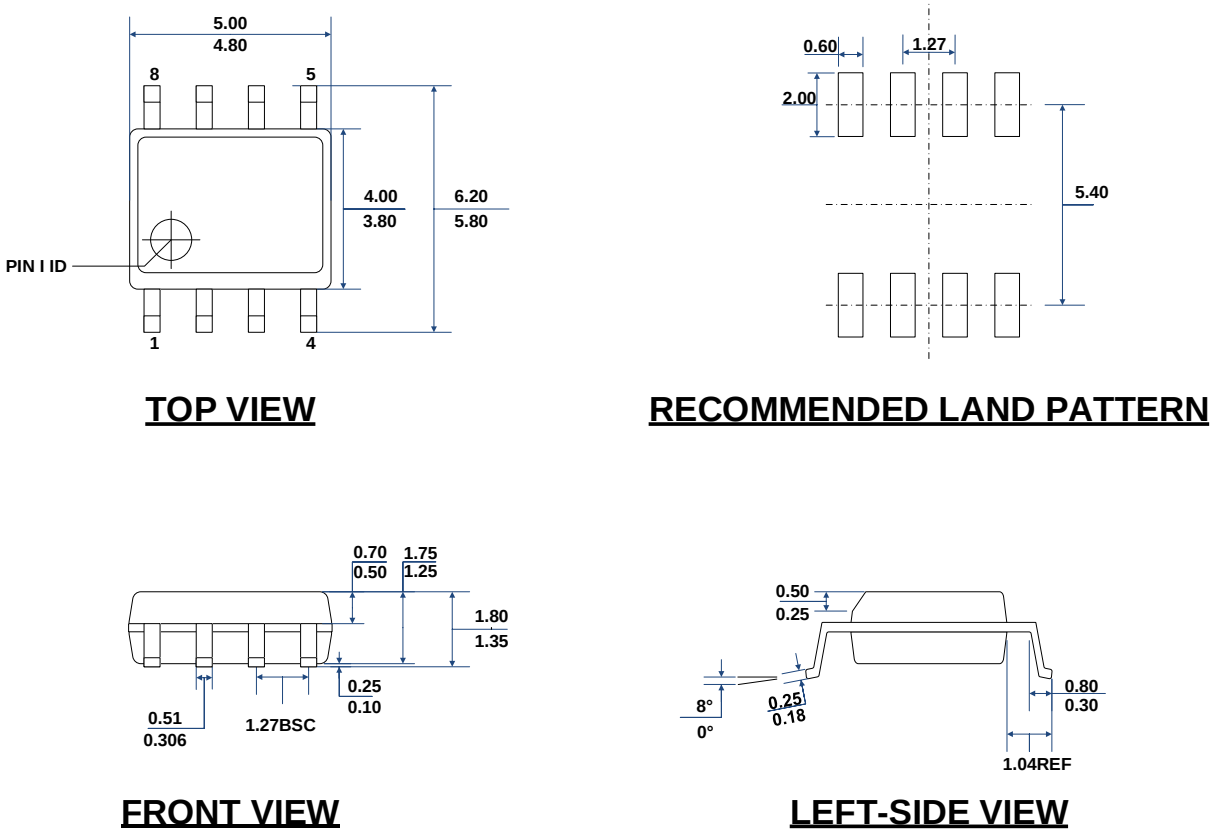


图 11- 1 SOIC8 封装尺寸图

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

12. 焊接信息

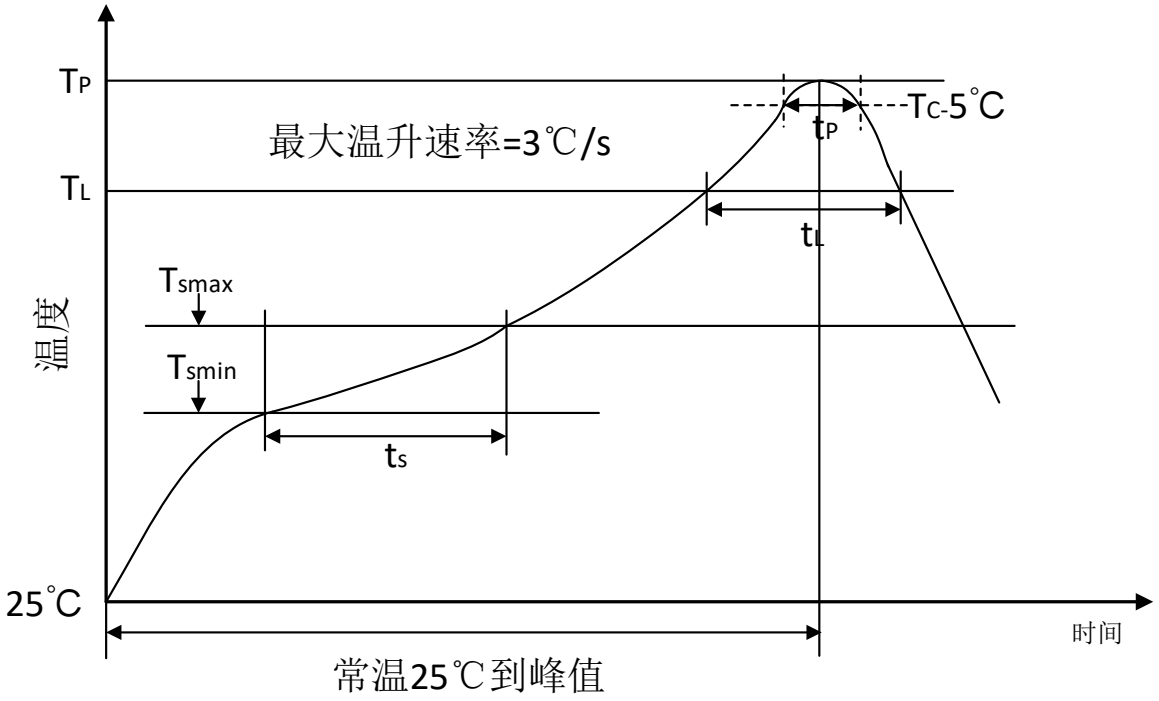


图 12- 1 焊接温度曲线

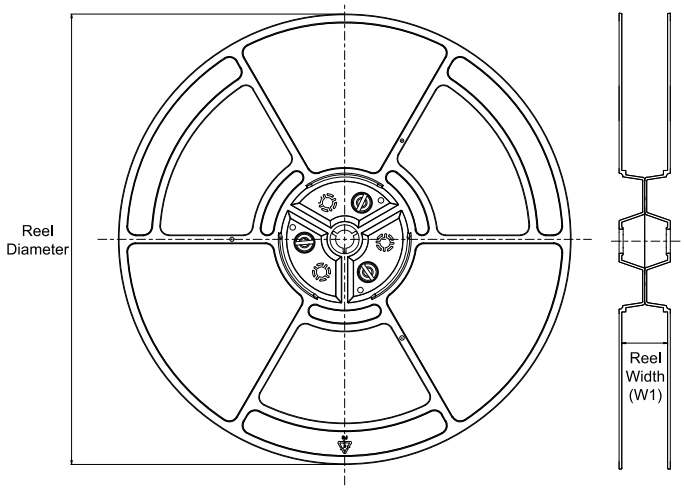
表 12- 1 焊接温度参数

简要说明	无铅焊接
平均温升速率(T_L=217 ° C 至峰值 Tp)	最大 3° C/S
Tsmin=150 ° C 到 Tsmax=200 ° C 预热时间 t_S	60-120 秒
温度保持 217 ° C 以上时间 t_L	60-150 秒
峰值温度 T_P	260 +5/-0 ° C
小于峰值温度 5 ° C 以内时间 t_P	30 second
降温速率	最大 6 ° C/S
常温 25° C 到峰值温度 T_P 时间	最长 8 分钟

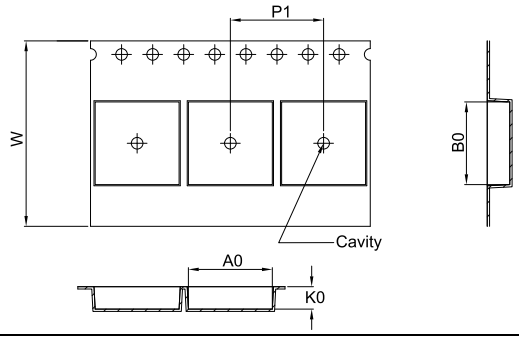
Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

13. 卷带信息

REEL DIMENSIONS

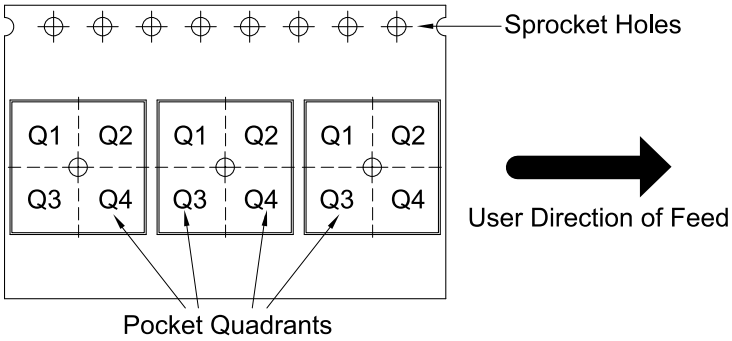


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IF1051S	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IF1051VS	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

14. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。 针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。 除此之外不得复制或展示所述资源， 如因使用所述资源而产生任何索赔、 赔偿、 成本、 损失及债务等， Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。

http://www.chipanalog.com

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司