

概述

CH32X035 是基于青稞 RISC-V 内核设计的工业级微控制器。CH32X035 内置 USB 和 PD PHY, 支持 USB Host 主机和 USB Device 设备功能、PDUSB 及 Type-C 快充功能, 内置可编程协议 I/O 控制器, 提供了 2 组 OPA 运放、3 组 CMP 电压比较器、4 组 USART 串口、I2C、SPI、多组定时器、12 位 ADC、14 路 Touchkey 等丰富外设资源。

产品特性

- **内核 Core:**
 - 青稞 32 位 RISC-V4C 内核
 - 支持 RV32IMAC 指令集和自扩展指令
 - 快速可编程中断控制器+硬件中断堆栈
 - 分支预测、冲突处理机制
 - 单周期乘法、硬件除法
- **存储器:**
 - 20KB 易失数据存储区 SRAM
 - 62KB 程序存储区 CodeFlash
 - 256B 系统非易失配置信息存储区
 - 256B 用户自定义信息存储区
- **电源管理和低功耗:**
 - 系统供电 V_{DD} 电压范围: 2~5.5V
 - 低功耗模式: 睡眠、停止、待机
- **系统时钟和复位:**
 - 内置 48MHz 时钟振荡器
 - 上/下电复位、可编程电压监测器
- **8 路通用 DMA 控制器:**
 - 8 个通道, 支持环形缓冲区管理
 - 支持 TIMx/ADC/USART/I2C/SPI
- **可编程协议 I/O 控制器 PI0C:**
 - 可编程, 支持多种单线接口、两线接口
- **2 组运放 OPA/PGA/电压比较器:**
 - 多路输入通道, 可选多档增益
 - 各 2 路输出通道, 可选 ADC 引脚
- **3 组模拟电压比较器 CMP:**
 - 各 2 路输入通道, 可选公用参考电压引脚
 - 输出到 I/O 或者内部直接触发 TIM2
- **12 位模数转换 ADC:**
 - 模拟输入范围: $GND \sim V_{DD}$
 - 14 路外部信号+1 路内部信号通道
- **14 路 TouchKey 通道检测**
- **多组定时器:**
 - 2 个 16 位高级定时器, 增加死区控制和紧急刹车, 提供用于电机控制的 PWM 互补输出
 - 1 个 16 位通用定时器, 提供输入捕获/输出比较/PWM
 - 2 个看门狗定时器: 独立和窗口型
 - 系统时基定时器: 64 位计数器
- **4 组 USART 串口: 支持 LIN 和 ISO7816**
- **1 个 I2C 接口**
- **1 个 SPI 接口**
- **USB2.0 全速控制器及 PHY:**
 - 支持 USB 主机或 USB 设备
- **USB PD 和 Type-C 控制器及 PHY**
- **快速 GPIO 端口:**
 - 60 个 I/O 口, 支持 24 个外部中断
- **安全特性: 芯片唯一 ID**
- **调试模式: 串行 2 线调试接口 SDI**
- **封装形式: LQFP、QFN、QSOP、TSSOP**

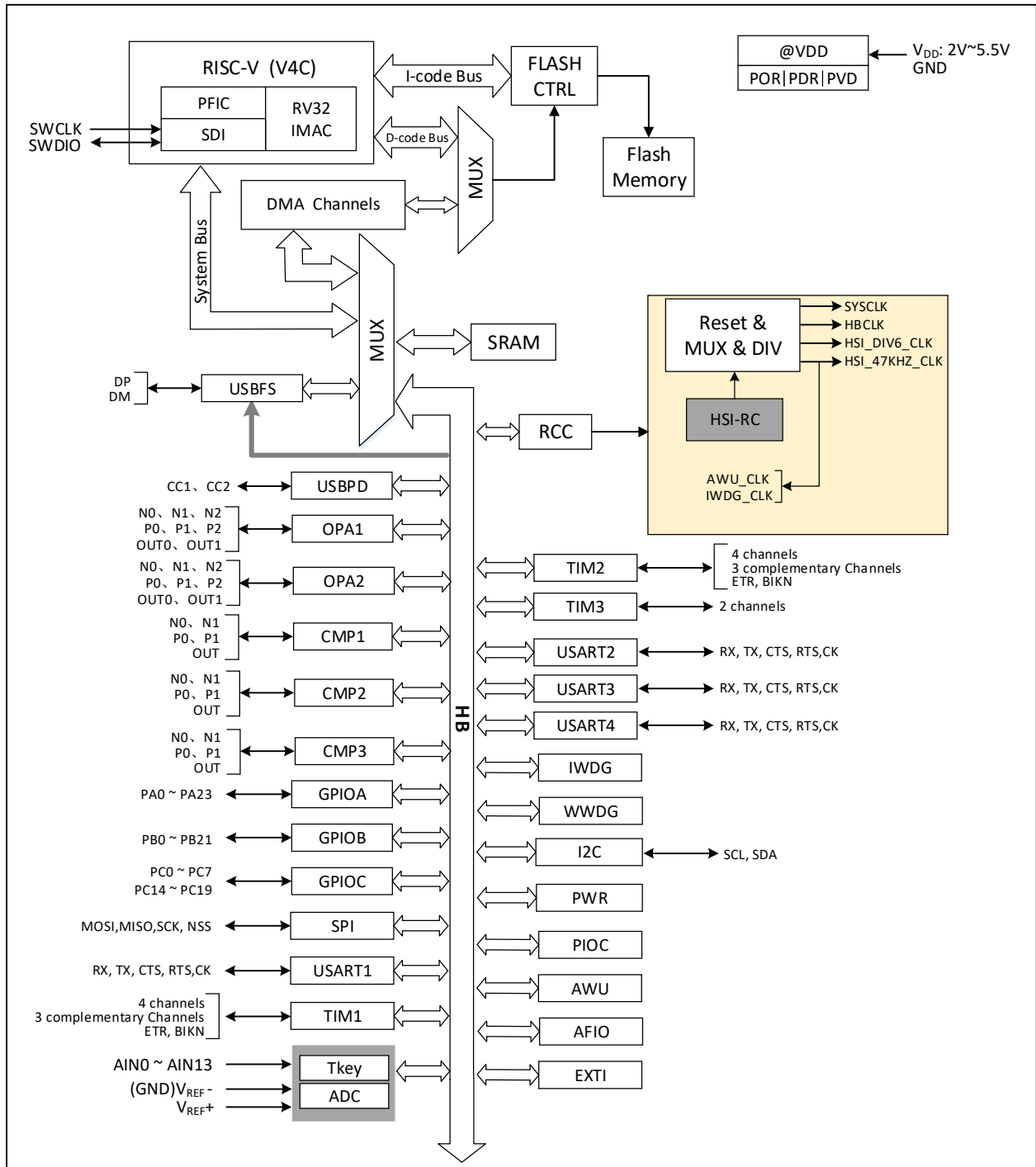
型号	Code Flash	RAM	通用 I/O	高 级 定 时 器	通 用 定 时 器	串 口	看 门 狗	PDUSB			ADC	OPA 运 放	CMP 比 较 器	电容 触摸 按键	SPI	PIOC 单线 接口	封装 形式
								USB 主 机	USB 设 备	Type-C Source Sink DRP							
CH32X035R8T6	62K	20K	60	2	1	4	2	√	√	√	14+1	2 组	3 组	14 路	√	√	LQFP64M
CH32X035C8T6	62K	20K	46	2	1	4	2	√	√	√	10+1	2 组	3 组	10 路	√	√	LQFP48
CH32X035G8U6	62K	20K	27	2	1	4	2	√	√	√	12+1	2 组	1 组	12 路	√	√	QFN28
CH32X035G8R6	62K	20K	26	2	1	4	2	√	√	√	11+1	2 组	3 组	11 路	√	√	QSOP28
CH32X035F8U6	62K	20K	19	2	1	3	2	—	√	√	10+1	2 组	—	10 路	√	√	QFN20
CH32X035F7P6	62K	20K	18	2	1	3	2	—	√	√	11+1	1 组	1 组	11 路	√	√	TSSOP20
CH32X035D8U6	62K	20K	11	2	1	3	2	—	√	√	5+1	1 组	—	5 路	√	√	QFN12
CH32X033F8P6	62K	20K	18	2	1	4	2	—	√	—	10+1	2 组	2 组	10 路	√	√	TSSOP20

第 1 章 规格信息

1.1 系统架构

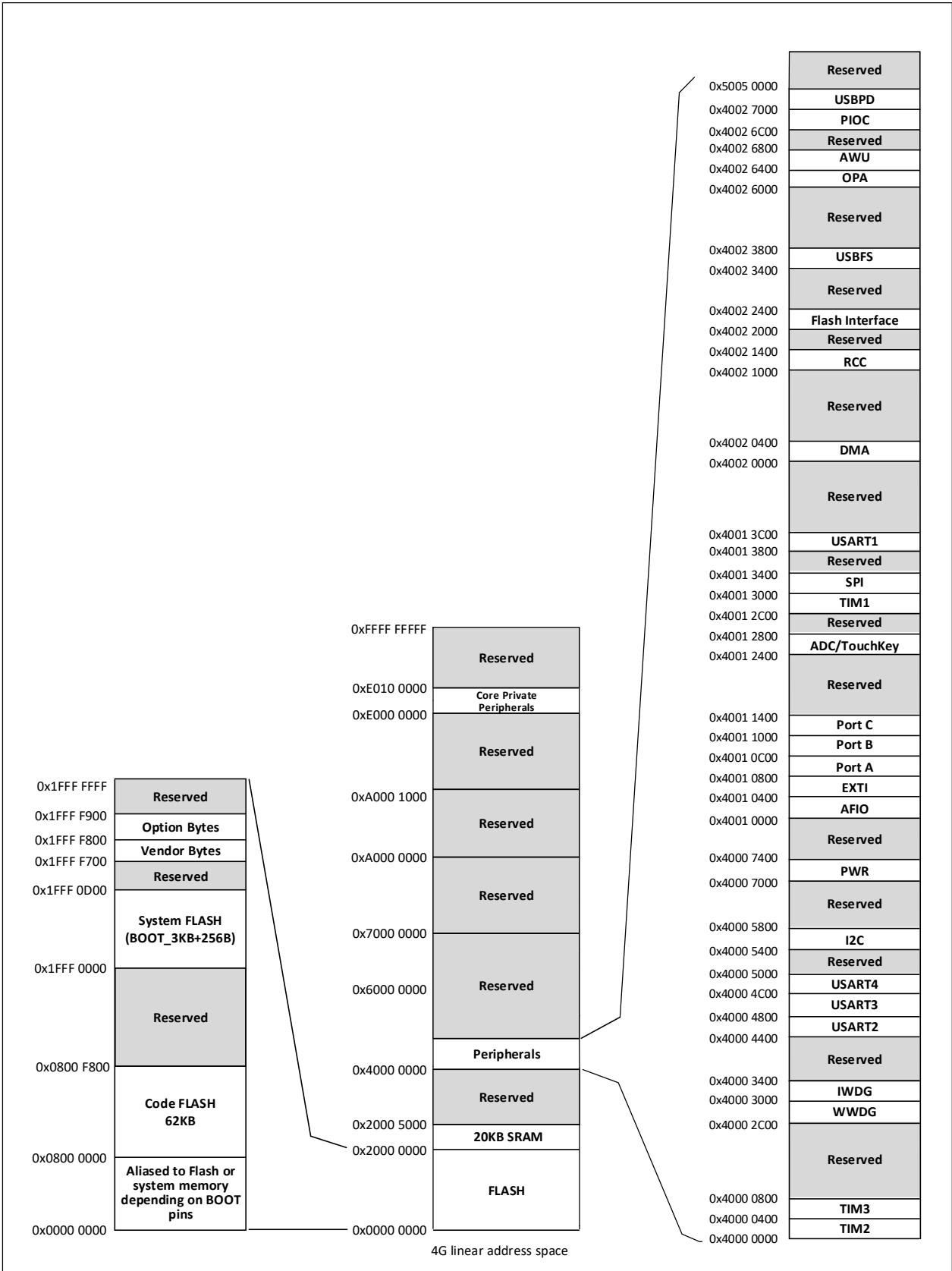
微控制器基于 RISC-V 指令集设计，其架构中将青稞微处理器内核、仲裁单元、DMA 模块、SRAM 存储等部件通过多组总线实现交互。集成通用 DMA 控制器以减轻 CPU 负担、提高访问效率，应用多级时钟管理机制降低了外设的运行功耗，同时兼有数据保护机制，时钟自动切换保护等措施增加了系统稳定性。下图是系列芯片内部总体架构图。

图 1-1 系统框图



1.2 存储器映射表

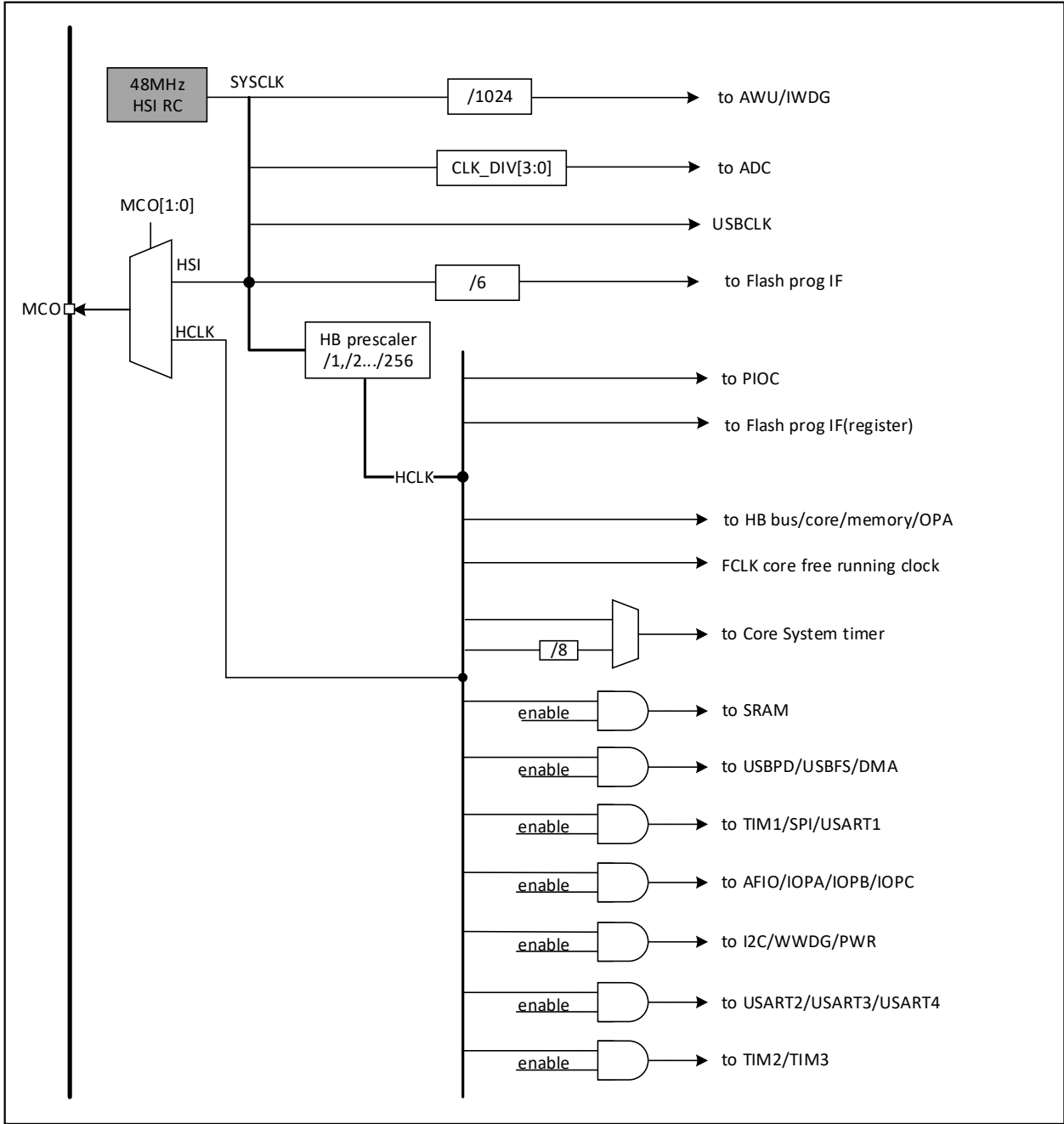
图 1-2 存储器地址映射



1.3 时钟树

系统时钟源：内部高频 RC 振荡器（HSI）。

图 1-3 时钟树框图



1.4 功能概述

1.4.1 RISC-V4C 处理器

RISC-V4C 支持 RISC-V 指令集 IMAC 子集。处理器内部以模块化管理，包含快速可编程中断控制器（PFIC）、内存保护、分支预测模式、扩展指令支持等单元。对外多组总线与外部单元模块相连，实现外部功能模块和内核的交互。

处理器以其极简指令集、多种工作模式、模块化定制扩展等特点可以灵活应用不同场景微控制器设计，例如小面积低功耗嵌入式场景、高性能应用操作系统场景等。

- 支持机器和用户特权模式
- 快速可编程中断控制器（PFIC）
- 多级硬件中断堆栈
- 串行2线调试接口
- 标准内存保护设计
- 静态或动态分支预测、高效跳转、冲突检测机制
- 自定义扩展指令

1.4.2 可编程协议 I/O 控制器（PIOC）

可编程协议 I/O 控制器基于单时钟周期的专用精简指令集 RISC 内核，运行于系统主频，具有 2K 指令的程序 ROM 和 49 个 SFR 寄存器及 PWM 定时/计数器，支持 2 个 I/O 引脚的协议控制。

- 复用了 4K 字节的系统 SRAM 作为 2K 字容量的程序 ROM，支持程序暂停和动态加载。
- 提供 33 字节的双向和单向各 1 个寄存器，提供 6 级独立堆栈。
- 通过动态加载不同的协议程序，可以支持多种协议规格的单线接口和两线接口。

1.4.3 片上存储器

内置 20K 字节 SRAM 区，用于存放数据，掉电后数据丢失。其中 4K 可用于 PIOC。

内置 62K 字节程序闪存存储区（Code FLASH），即用户区，用于用户的应用程序和常量数据存储。

内置 3328 字节系统存储区（System FLASH），即 BOOT 区，用于系统引导程序存储，内置自举加载程序。该区域可通过 WCH-LinkUtility 工具与上述 62K 字节区域一起用于用户区，具体可参考相关 EVT。

256 字节系统非易失配置信息存储区，用于厂商配置字存储，出厂前固化，用户不可修改。

256 字节用户自定义信息存储区，用于用户选择字存储。

1.4.4 供电方案

$V_{DD} = 2 \sim 5.5V$ ：为 I/O 引脚和内部调压器供电（使用 ADC 或 PD 时， V_{DD} 不得小于 2.5V）。

1.4.5 供电监控器

芯片内部集成了上电复位（POR）/掉电复位（PDR）电路，该电路始终处于工作状态，保证系统在供电超过 2V 时工作；当 V_{DD} 低于设定的阈值（ $V_{POR/PDR}$ ）时，置器件于复位状态，而不必使用外部复位电路。

另外系统设有一个可编程的电压监测器（PVD），需要通过软件开启，用于比较 V_{DD} 供电与设定的阈值 V_{PVD} 的电压大小。打开 PVD 相应边沿中断，可在 V_{DD} 下降到 PVD 阈值或上升到 PVD 阈值时，收到中断通知。关于 $V_{POR/PDR}$ 和 V_{PVD} 的值参考第 3 章。

1.4.6 系统电压调节器 LDO

复位后，系统电压调节器自动开启，根据应用方式有两种操作模式。

- 开启模式：正常的运行操作，提供稳定的内核电源。
- 低功耗模式：当 CPU 进入待机模式后，调节器低功耗运行。

1.4.7 低功耗模式

系统支持三种低功耗模式，可以针对低功耗、短启动时间和多种唤醒事件等条件下选择达到最佳的平衡。

- 睡眠模式

在睡眠模式下，只有 CPU 时钟停止，但所有外设时钟供电正常，外设处于工作状态。此模式是最浅低功耗模式，但可以达到最快唤醒。

退出条件：任意中断或唤醒事件。

- 停止模式

此模式 FLASH 进入低功耗模式，HSI 的 RC 振荡器被关闭。

退出条件：任意外部中断/事件（EXTI 信号）、RST 上的外部复位信号、IWDG 复位，其中 EXTI 信号包括 24 个外部 I/O 口之一、PVD 的输出，USB 的唤醒信号，USB PD 唤醒信号等。

- 待机模式

此模式 FLASH 进入低功耗模式，HSI 的 RC 振荡器被关闭，系统 LDO 进入省电模式。

退出条件：任意外部中断/事件（EXTI 信号）、RST 上的外部复位信号、IWDG 复位，其中 EXTI 信号包括 24 个外部 I/O 口之一、PVD 的输出，USB 的唤醒信号，USB PD 唤醒信号等。

1.4.8 快速可编程中断控制器（PFIC）

芯片内置快速可编程中断控制器（PFIC），最多支持 255 个中断向量，以最小的中断延迟提供了灵活的中断管理功能。当前芯片管理了 7 个内核私有中断和 39 个外设中断管理，其他中断源保留。PFIC 的寄存器均可以在用户和机器特权模式下访问。

- 2 个可单独屏蔽中断
- 提供一个不可屏蔽中断 NMI
- 支持硬件中断堆栈（HPE），无需指令开销
- 提供 4 路免表中断（VTF），更快进入中断服务程序
- 向量表支持地址或指令模式
- 中断嵌套深度可配置最高 2 级
- 支持中断尾部链接功能

1.4.9 外部中断/事件控制器（EXTI）

外部中断/事件控制器总共包含 28 个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置其触发事件（上升沿或下降沿或双边沿），并能够单独地被屏蔽；挂起寄存器维持所有中断请求状态。多达 60 个通用 I/O 口都可选择连接到 24 个外部中断线。

1.4.10 通用 DMA 控制器

系统内置了通用 DMA 控制器，管理 8 个通道，灵活处理存储器到存储器、外设到存储器和存储器到外设间的高速数据传输，支持环形缓冲区方式。每个通道都有专门的硬件 DMA 请求逻辑，支持一个或多个外设对存储器的访问请求，可配置访问优先权、传输长度、传输的源地址和目标地址等。

DMA 用于主要的外设包括：通用/高级定时器 TIMx、ADC、USART、I2C、SPI。

USB 和 USB PD 另有专用的独立 DMA 通道。

注：DMA 和 CPU 经过仲裁器仲裁之后对系统 SRAM 进行访问。

1.4.11 时钟和启动

系统时钟源 HSI 默认开启，在没有配置时钟或者复位后，内部 48MHz 的 RC 振荡器 6 分频作为默认的 CPU 时钟。对于关闭时钟的低功耗模式，唤醒后系统将首先开启内部的 RC 振荡器。如果使能了时钟中断，软件可以接收到相应的中断。

1.4.12 ADC（模拟/数字转换器）和触摸按键电容检测（TKey）

芯片内置 12 位的模拟/数字转换器 (ADC)，提供多达 14 个外部通道和 1 个内部通道采样，可编程的通道采样时间，可以实现单次、连续、扫描或间断转换。提供模拟看门狗功能允许非常精准地监控一路或多路选中的通道，用于监测通道信号电压。支持外部事件触发转换，触发源包括片上定时器的内部信号和外部引脚。支持使用 DMA 操作。

ADC 内部通道为内部参考电源电压采样通道。

触摸按键电容检测单元，提供了多达 14 个检测通道，复用 ADC 模块的外部通道。检测结果通过 ADC 模块转换输出结果，通过触摸检测算法子程序库或用户软件识别触摸按键状态。

注：ADC 的通道 3、通道 7、通道 11、通道 15 功能不适用于批号倒数第 5 位为 0 的产品。

1.4.13 定时器及看门狗

- 高级控制定时器（TIM1、TIM2）

高级控制定时器是一个 16 位的自动装载递增/递减计数器，具有 16 位可编程的预分频器。除了完整的通用定时器功能外，可以被看成是分配到 6 个通道的三相 PWM 发生器，具有带死区插入的互补 PWM 输出功能，允许在指定数目的计数器周期之后更新定时器进行重复计数周期，刹车功能等。高级控制定时器的很多功能都与通用定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与其他 TIM 定时器协同操作，提供同步或事件链接功能。

- 通用定时器（TIM3）

通用定时器是一个 16 位的自动装载递增计数器，具有一个可编程的 16 位预分频器以及 2 个独立的通道，每个通道都支持输入捕获、输出比较、PWM 生成和单脉冲模式输出。还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结，任意通用定时器都能用于产生 PWM 输出。

- 独立看门狗

独立看门狗是一个自由运行的 12 位递减计数器，支持 7 种分频系数。由 (HSI/1024) 时钟的分频提供时钟源。IWDG 在主程序之外，可以完全独立工作，因此，用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

- 窗口看门狗

窗口看门狗是一个 7 位的递减计数器，并可以设置成自由运行。可以被用于在发生问题时复位整个系统。其由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

- 系统时基定时器

青稞微处理器内核自带了一个 64 位可选递增或递减的计数器，用于产生 SYSTICK 异常（异常号：12），可专用于实时操作系统，为系统提供“心跳”节律，也可当成一个标准的 64 位计数器。具有自动重加载功能及可编程的时钟源。

1.4.14 通用异步收发器（USART）

芯片提供了 4 组通用同步/异步收发器。支持全双工异步串口通信、同步单向通信以及半双工单线通信，也支持 LIN(局部互连网)，兼容 ISO7816 的智能卡协议和 IrDA SIR ENDEC 传输编解码规范，以及调制解调器 (CTS/RTS 硬件流控) 操作，还支持多处理器通信。其采用分数波特率发生器系统，并支持 DMA 操作连续通讯。

1.4.15 串行外设接口（SPI）

芯片提供 1 个串行外设 SPI 接口，支持主或从操作，动态切换。支持多主模式，全双工或半双工同步传输，支持基本的 SD 卡和 MMC 模式。可编程的时钟极性和相位，数据位宽提供 8 或 16 位选择，可靠通信的硬件 CRC 产生/校验，支持 DMA 操作连续通讯。

1.4.16 I2C 总线

芯片提供 1 个 I2C 总线接口，能够工作于多主机模式或从模式，完成所有 I2C 总线特定的时序、协议、仲裁等。支持标准和快速两种通讯速度。

I2C 接口提供 7 位或 10 位寻址，并且在 7 位从模式时支持双从地址寻址。内置了硬件 CRC 发生器/校验器。支持 DMA 操作。

注：I2C 功能不适用于批号倒数第 5 位为 0 的产品。

1.4.17 通用串行总线 USB2.0 全速主机/设备控制器（USBFS）

USB2.0 全速主机控制器和设备控制器（USBFS），遵循 USB2.0 Fullspeed 标准，支持 BC 充电协议。提供 8 个可配置的 USB 设备端点及一组主机端点。支持控制/批量/同步/中断传输，双缓冲区机制，USB 总线挂起/恢复操作，并提供待机/唤醒功能。USBFS 模块专用的 48MHz 时钟由内部高速时钟（HSI）直接产生。

1.4.18 USB PD 及 Type-C 控制器（USB PD）

内置 USB Power Delivery 控制器和 PD 收发器 PHY，支持 USB Type-C 主从检测，自动 BMC 编解码和 CRC，硬件边沿控制，支持 USB PD2.0 和 PD3.0 电力传输控制，支持快充，支持 UFP/PD 受电端 Sink 和 DFP/PD 供电端 Source 应用以及 DRP 应用，支持 PDUSB。

外加 Type-C/PD 高压接口芯片 CH211 可实现 28V 直接供电、内部升压泵控制 N 型 MOSFET、CC 引脚 28V 耐压以及内置 Type-C 规范定义的可控 Rd 下拉电阻 5K1。

1.4.19 通用输入输出接口（GPIO）

系统提供了 3 组 GPIO 端口，共 60 个 GPIO 引脚。每个引脚都可以由软件配置成输出、输入（带或不带上拉，部分引脚支持下拉）或复用的外设功能端口。

所有 GPIO 引脚都支持可控上拉，仅 PA0-PA15 和 PC16-PC17 支持可控下拉，其余引脚不支持下拉。PC14-PC17 支持多种上拉模式，分别由 PD 和 USB 引脚相对应的专用控制寄存器设置。

多数 GPIO 引脚都与数字或模拟的复用外设共用。所有 PA 和 PB 的 GPIO 引脚都有较大电流驱动能力。提供锁定机制冻结 IO 配置，以避免意外的写入 I/O 寄存器。

系统中大部分 IO 引脚电源由 V_{DD} 提供，通过改变 V_{DD} 供电将改变 IO 引脚输出电平高值来适配外部通讯接口电平。具体引脚请参考引脚描述。

1.4.20 运放/比较器（OPA）

芯片内置 2 组运放（OPA），也可用作电压比较器，其输入可通过更改配置对多个通道进行选择，包括可编程增益运放（PGA）的放大倍数选择，其输出可通过更改配置对 2 个通道进行选择，内部关联到 ADC 通道。支持将外部模拟小信号放大送入 ADC 以实现小信号 ADC 转换。

1.4.21 电压比较器（CMP）

芯片内置 3 组轨到轨模拟电压比较器，支持可选迟滞特性，电压比较结果由 GPIO 输出或者内部直接接入 TIM2 的 CH1~CH3 的输入通道实现触发。

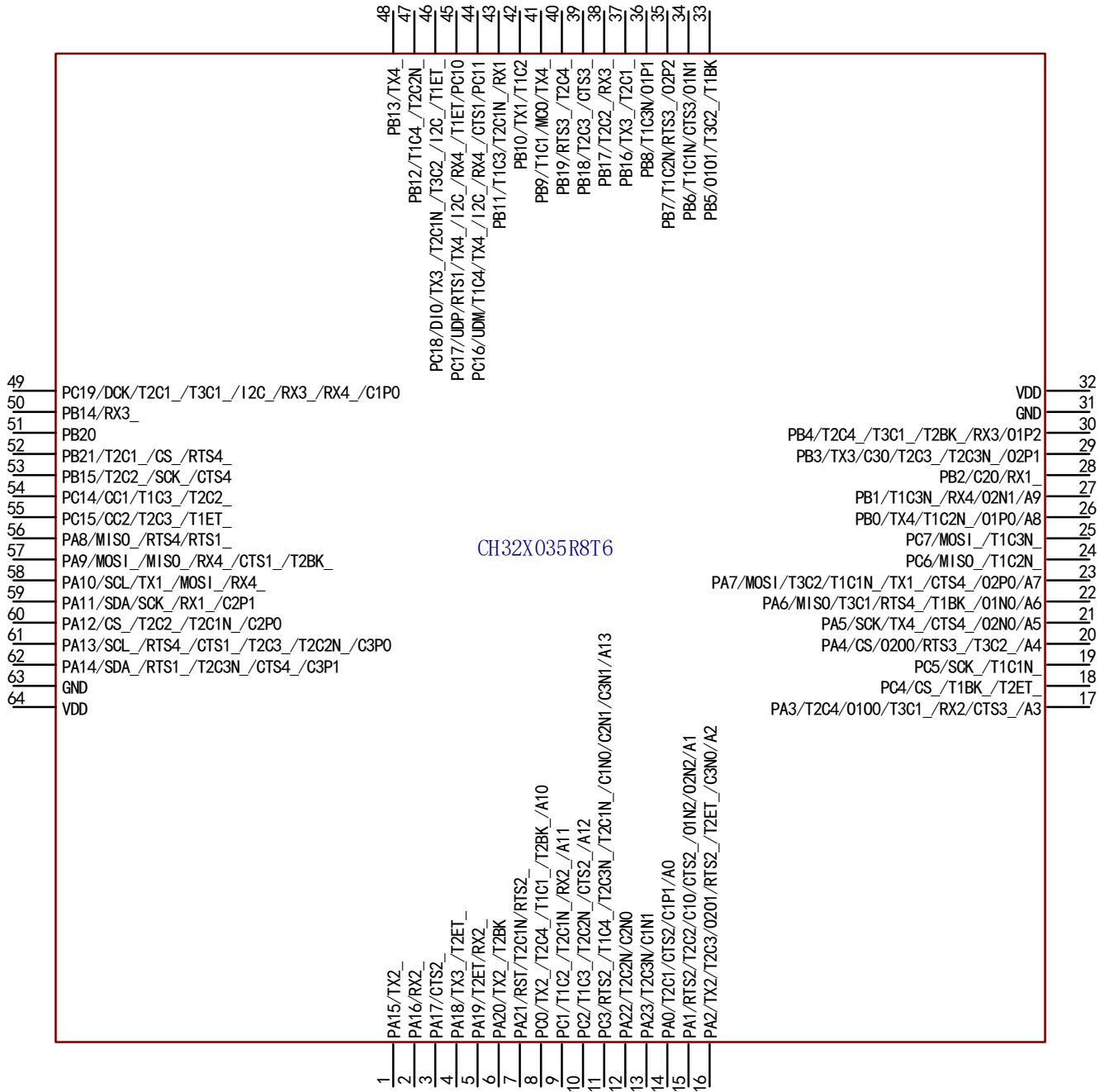
1.4.22 串行 2 线调试接口（2-wire SDI Serial Debug Interface）

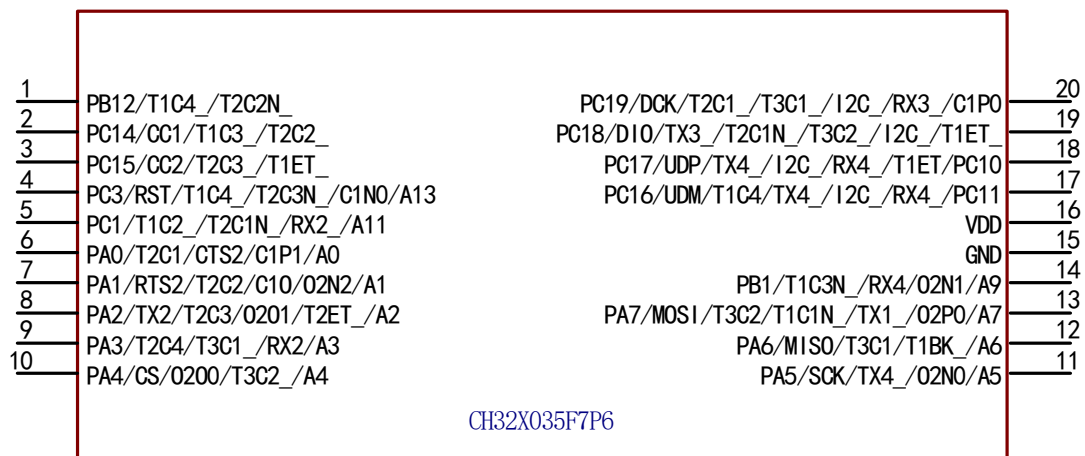
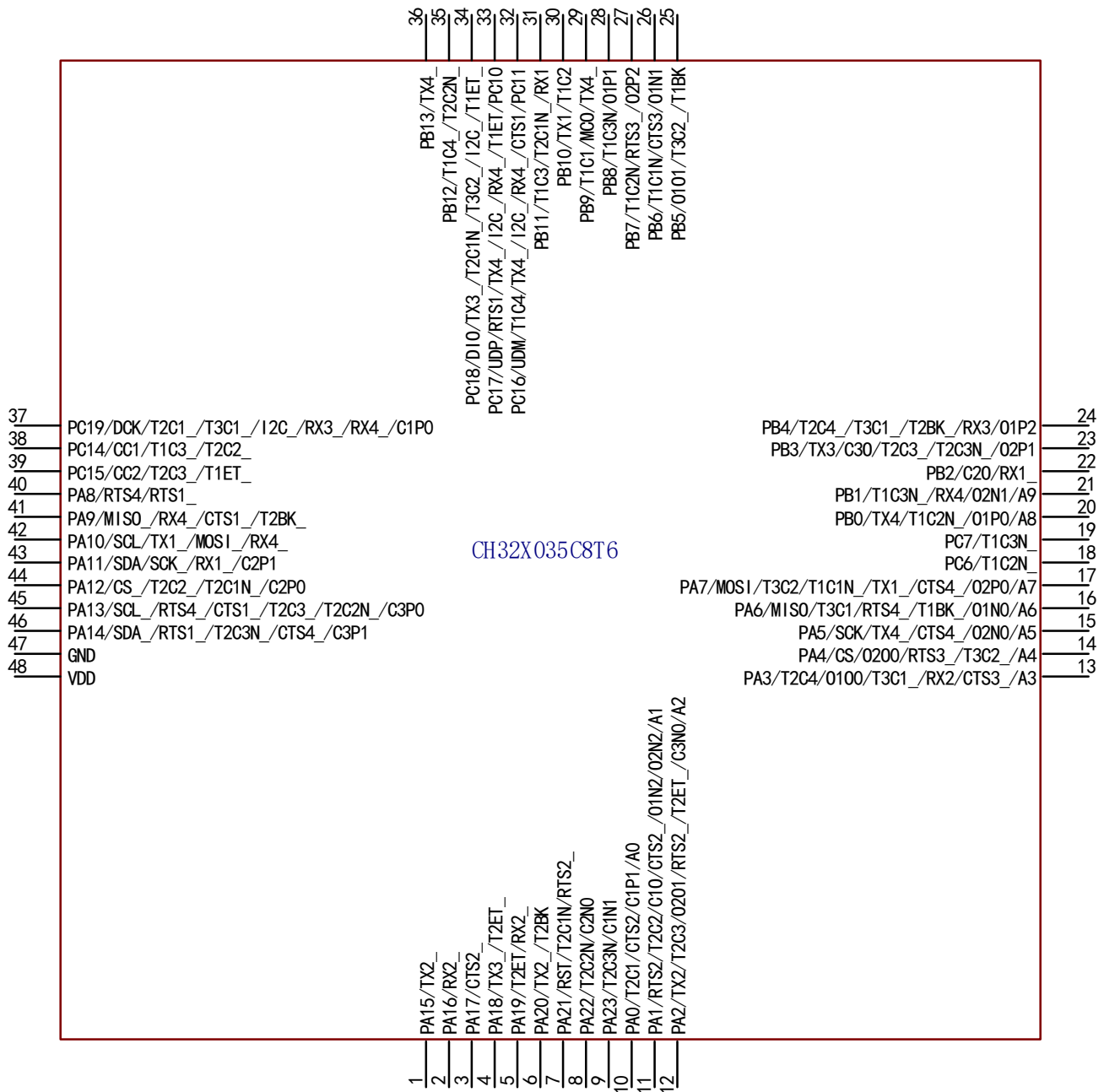
内核自带一个串行 2 线调试的接口（SDI），包括 SWDIO 和 SWCLK 引脚。系统上电或复位后默认调

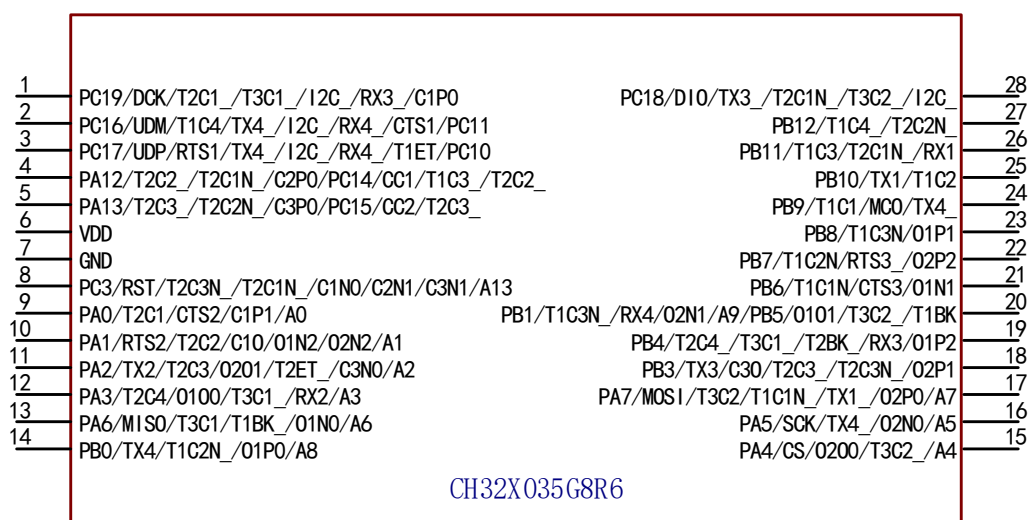
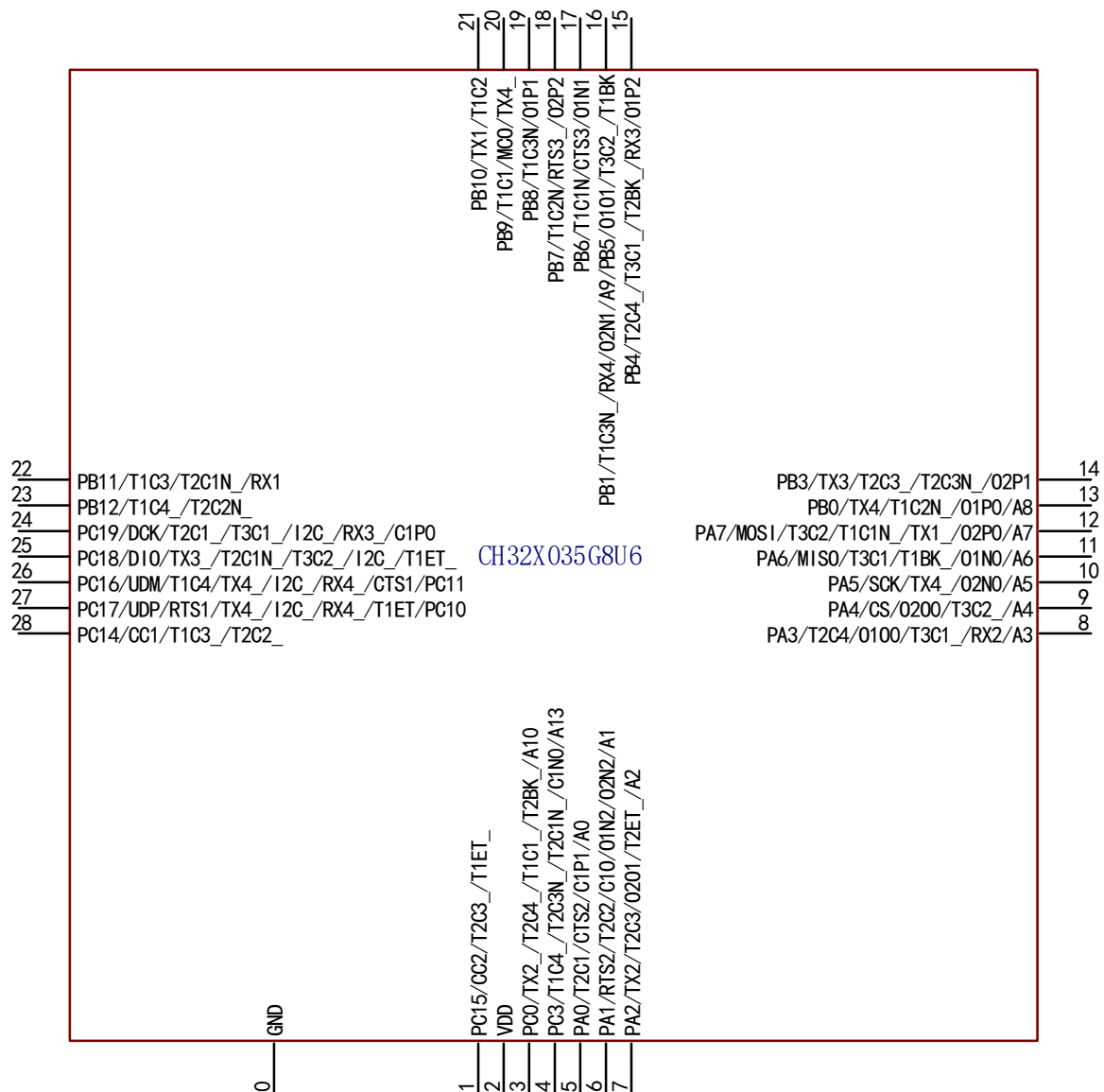
试接口引脚功能开启，主程序运行后可以根据需要关闭 SDI。

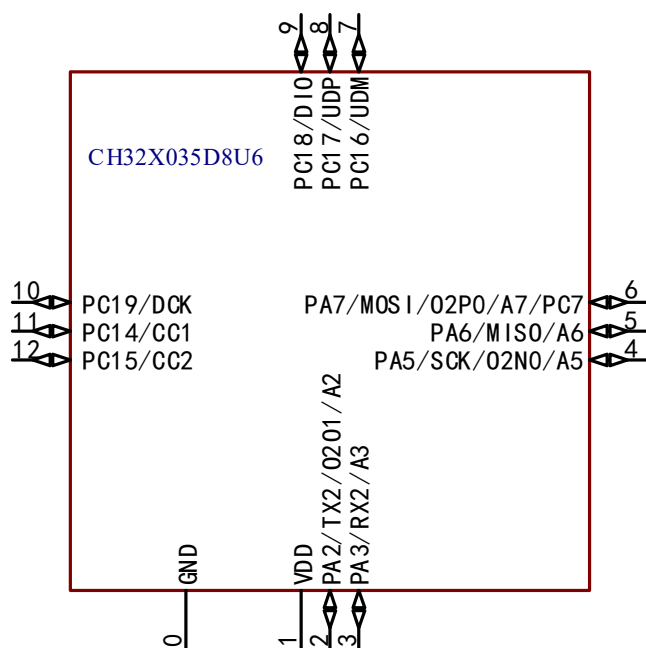
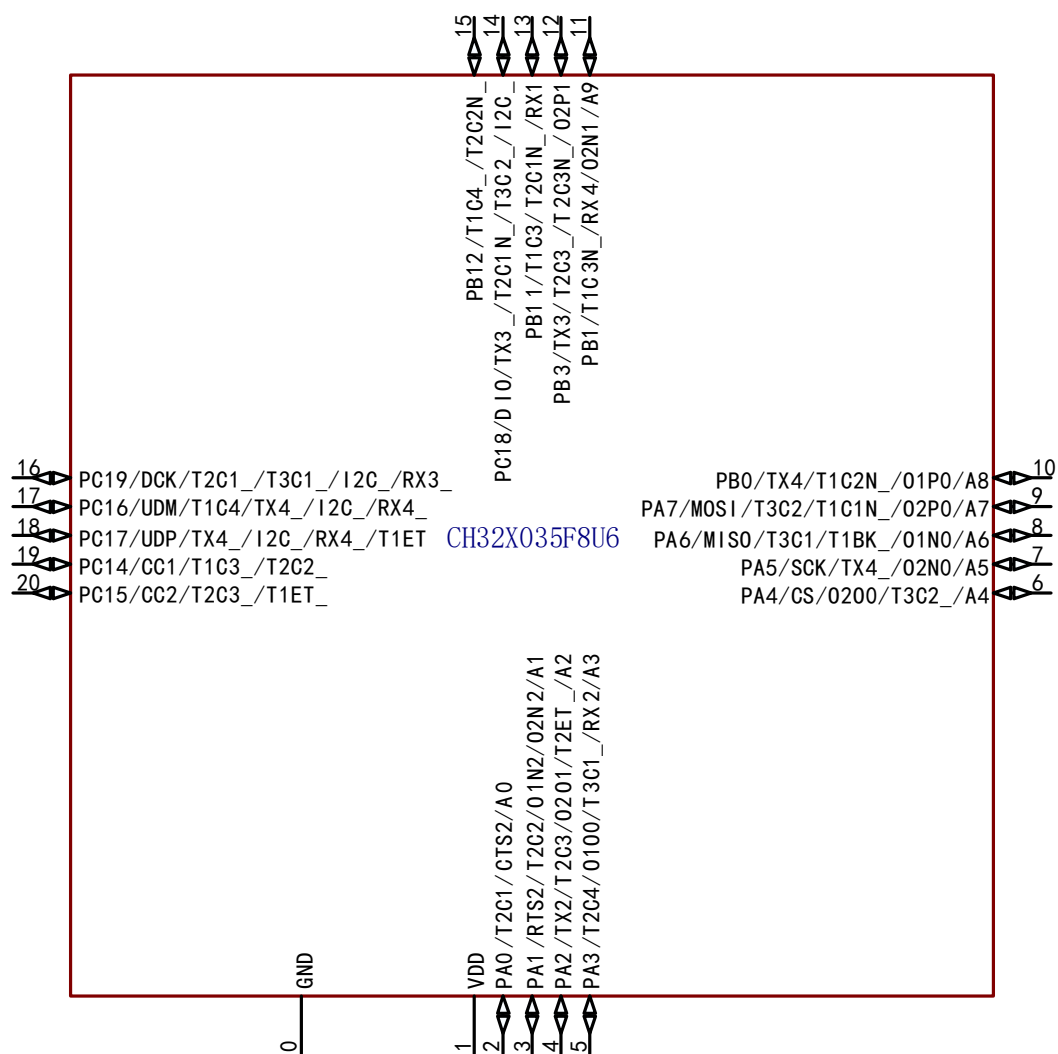
第2章 引脚信息

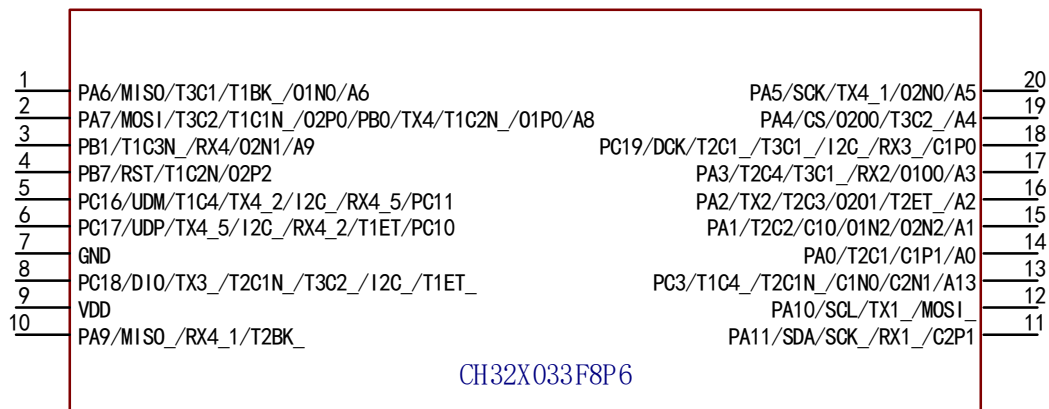
2.1 引脚排列











注：引脚图中复用功能均为缩写。

示例：A:ADC_ (A10:ADC_IN10)

C:COMP_ (C3N0:COMP3_N0)

T:TIME_ (T2C4:TIM2_CH4、T2C2N:TIM2_CH2N)

O:OPA_ (01N2:OPA1_N2、0200:OPA2_OUT0)

TX2:USART2_TX

CS:SPI_NSS

UDP:USBDP

UDM:USBDM

DIO:SWDIO

DCK:SWCLK

2.2 引脚描述

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

表 2-1 CH32X035 引脚定义

引脚编号							引脚名称	引脚类型 ⁽¹⁾	主功能 (复位后)	默认复用功能	重映射功能 ⁽²⁾
LQFP64M	LQFP48	QFN28	QSOP28	QFN20	TSSOP20	QFN12					
-	-	0	-	0	-	0	GND	P	GND		
31	47	-	7	-	15	-	GND	P	GND		
1	1	-	-	-	-	-	PA15	I/O	PA15		TX2_2/TX2_4
2	2	-	-	-	-	-	PA16	I/O	PA16		RX2_2/RX2_4
3	3	-	-	-	-	-	PA17	I/O	PA17		CTS2_2/CTS2_4
4	4	-	-	-	-	-	PA18	I/O	PA18		TX3_2/T2ET_1/T2ET_3
5	5	-	-	-	-	-	PA19	I/O	PA19	T2ET	RX2_1/T2ET_2
6	6	-	-	-	-	-	PA20	I/O	PA20	T2BK	TX2_1/T2BK_2
7	7	-	-	-	-	-	PA21	I/O	PA21	RST/T2C1N	RTS2_2
8	-	3	-	-	-	-	PC0	I/O/A	PC0	A10	TX2_3/T2C4_5 /T2C4_6/T1C1_3/T2BK_4
9	-	-	-	-	5	-	PC1	I/O/A	PC1	A11 ⁽³⁾	T1C2_3/T2C1N_4/RX2_3
10	-	-	-	-	-	-	PC2	I/O/A	PC2	A12	T1C3_3/T2C2N_4/CTS2_3
11	-	4	-	-	-	-	PC3	I/O/A	PC3	C1N0/C2N1/C3N1/ A13	RTS2_3/T1C4_3 /T2C3N_4/T2C1N_2/RTS2_4
-	-	-	8	-	4	-				RST/C1N0/C2N1/ C3N1/A13	
12	8	-	-	-	-	-	PA22	I/O/A	PA22	T2C2N/C2N0	CK2_2/T2C2N_2/CK2_4
13	9	-	-	-	-	-	PA23	I/O/A	PA23	T2C3N/C1N1	CK2_1/T2C3N_2
14	10	5	9	2	6	-	PA0	I/O/A	PA0	T2C1/CTS2/C1P1/A0	T2C1_2
15	11	6	10	3	7	-	PA1	I/O/A	PA1	RTS2/T2C2/C10 /O1N2/O2N2/A1	CTS2_1/T2C2_2
16	12	7	11	4	8	2	PA2	I/O/A	PA2	TX2/T2C3/O201/ C3N0/A2	RTS2_1/T2ET_5/T2C3_1/T2ET_6
63	-	-	-	-	-	-	GND	P	GND		
32	48	2	6	1	16	1	V _{DD}	P	VDD		
17	13	8	12	5	9	3	PA3	I/O/A	PA3	RX2/T2C4/O100/A3 ⁽³⁾	T3C1_3/T2C4_1/CTS3_2
18	-	-	-	-	-	-	PC4	I/O	PC4		CS_3/T1BK_3/T2ET_4
19	-	-	-	-	-	-	PC5	I/O	PC5		SCK_3/T1C1N_3
20	14	9	15	6	10	-	PA4	I/O/A	PA4	CS/CK2/O200/A4	RTS3_2/T3C2_3
21	15	10	16	7	11	4	PA5	I/O/A	PA5	SCK/O2N0/A5	TX4_1/CTS4_4
22	16	11	13	8	12	5	PA6	I/O/A	PA6	MISO/T3C1/O1N0/A6	CK4_1/RTS4_4/T1BK_1
23	17	12	17	9	13	6	PA7 ⁽⁷⁾	I/O/A	PA7	MOSI/T3C2/O2P0/ A7 ⁽³⁾	T1C1N_1/TX1_3/CTS4_1
24	18	-	-	-	-	-	PC6	I/O	PC6		MISO_3/T1C2N_3/

引脚编号							引脚名称	引脚类型 ⁽¹⁾	主功能 (复位后)	默认复用功能	重映射功能 ⁽²⁾
LQFP64M	LQFP48	QFN28	QSOP28	QFN20	TSSOP20	QFN12					
25	19	-	-	-	-	6	PC7 ⁽⁷⁾	I/O	PC7		MOSI_3/T1C3N_3/PIOC_I00_1
26	20	13	14	10	-	-	PB0	I/O/A	PB0	TX4/01P0/A8	T1C2N_1
27	21	16	20	11	14	-	PB1 ⁽⁵⁾	I/O/A	PB1	RX4/02N1/A9	T1C3N_1
28	22	-	-	-	-	-	PB2	I/O/A	PB2	CK4/C20	RX1_3/CK4_2/CK4_5
29	23	14	18	12	-	-	PB3	I/O/A	PB3	TX3/C30/02P1	T2C3_2/T2C3N_5/T2C3_3/ T2C3N_6
30	24	15	19	-	-	-	PB4	I/O/A	PB4	RX3/01P2	T2C4_2/T3C1_1/T2BK_5/ T2C4_3/T2BK_6
64	-	-	-	-	-	-	V _{DD}	P	V _{DD}		
33	25	16	20	-	-	-	PB5 ⁽⁵⁾	I/O/A	PB5	CK3/0101/T1BK	CK1_2/T3C2_1/CK3_1/T1BK_2
34	26	17	21	-	-	-	PB6	I/O/A	PB6	T1C1N/CTS3/01N1	T1C1N_2/CTS3_1
35	27	18	22	-	-	-	PB7	I/O/A	PB7	T1C2N/02P2/RTS3	RTS3_1/T1C2N_2
36	28	19	23	-	-	-	PB8	I/O/A	PB8	T1C3N/01P1	CK3_2/CK4_3/T1C3N_2
37	-	-	-	-	-	-	PB16	I/O	PB16		TX3_3/T2C1_4
38	-	-	-	-	-	-	PB17	I/O	PB17		T2C2_4/RX3_3
39	-	-	-	-	-	-	PB18	I/O	PB18		T2C3_4/CTS3_3
40	-	-	-	-	-	-	PB19	I/O	PB19		RTS3_3/T2C4_4
41	29	20	24	-	-	-	PB9	I/O	PB9	CK1/T1C1/MC0	TX4_3/CK1_1/T1C1_1/T1C1_2
42	30	21	25	-	-	-	PB10	I/O	PB10	TX1/T1C2	T1C2_1/T1C2_2/TX1_2
43	31	22	26	13	-	-	PB11	I/O	PB11	T1C3/RX1	T1C3_1/T1C3_2/RX1_2/T2C1N_6
44	32	26	2	17	17	7	PC16 ⁽⁴⁾⁽⁹⁾	I/O/A	PC16	UDM/T1C4/CTS1	TX4_2/SCL_2 ⁽³⁾ /SDA_4 ⁽³⁾ /RX4_5/ CTS1_1/T1C4_1
				-		-	PC11 ⁽⁴⁾	I/O	PC11		
45	33	27	3	18	18	8	PC17 ⁽⁴⁾⁽⁸⁾	I/O/A	PC17	UDP/RTS1/T1ET	TX4_5/SDA_2 ⁽³⁾ /SCL_4 ⁽³⁾ /RX4_2 /RTS1_1/T1ET_1
				-		-	PC10 ⁽⁴⁾	I/O	PC10		
46	34	25	28	14	19	9	PC18	I/O	PC18	DIO/PIOC_I00	TX3_1/T2C1N_5/SDA_3 ⁽³⁾ / SCL_5 ⁽³⁾ /T1ET_2/T1ET_3/ T3C2_2
47	35	23	27	15	1	-	PB12	I/O	PB12		CK1_3/T1C4_2/T2C2N_5/ T2C2N_6
48	36	-	-	-	-	-	PB13	I/O	PB13		TX4_4
49	37	24	1	16	20	10	PC19	I/O/A	PC19	DCK/PIOC_I01/C1P0	T2C1_5/T3C1_2/SCL_3 ⁽³⁾ / SDA_5 ⁽³⁾ /RX3_1/RX4_4/T2C1_6
50	-	-	-	-	-	-	PB14	I/O	PB14		RX3_2
51	-	-	-	-	-	-	PB20	I/O	PB20		CK2_3
52	-	-	-	-	-	-	PB21	I/O	PB21		T2C1_1/CS_1/RTS4_1/T2C1_3
53	-	-	-	-	-	-	PB15	I/O	PB15	CTS4	T2C2_1/SCK_1/T2C2_3/CTS4_2/

引脚编号							引脚名称	引脚类型 ⁽¹⁾	主功能 (复位后)	默认复用功能	重映射功能 ⁽²⁾
LQFP64M	LQFP48	QFN28	QSOP28	QFN20	TSSOP20	QFN12					
											CTS4_5
54	38	28	4	19	2	11	PC14 ⁽⁶⁾	I/O/A	PC14	CC1	T1C3_4/T2C2_6
55	39	1	5	20	3	12	PC15 ⁽⁶⁾	I/O/A	PC15	CC2	T2C3_6/T1ET_4
56	40	-	-	-	-	-	PA8	I/O	PA8	RTS4	RTS1_2/CK4_4/RTS4_2/RTS4_5/ MISO_1
57	41	-	-	-	-	-	PA9	I/O	PA9		MOSI_1/RX4_1/CTS1_2/MISO_2/ T2BK_1/T2BK_3
58	42	-	-	-	-	-	PA10	I/O	PA10	SCL ⁽³⁾	TX1_1/MOSI_2/RX4_3
59	43	-	-	-	-	-	PA11	I/O/A	PA11	SDA ⁽³⁾ /C2P1	SCK_2/RX1_1
60	44	-	4	-	-	-	PA12 ⁽⁶⁾	I/O/A	PA12	C2P0	CS_2/T2C2_5/T2C1N_1/T2C1N_3
61	45	-	5	-	-	-	PA13 ⁽⁶⁾	I/O/A	PA13	C3P0	SCL_1 ⁽³⁾ /RTS4_3/CTS1_3/ T2C3_5/T2C2N_1/T2C2N_3
62	46	-	-	-	-	-	PA14	I/O/A	PA14	C3P1	SDA_1 ⁽³⁾ /RTS1_3/T2C3N_1/ CTS4_3/T2C3N_3

表2-2 CH32X033引脚定义

引脚编号		引脚名称	引脚类型 ⁽¹⁾	主功能 (复位后)	默认复用功能	重映射功能 ⁽²⁾
	TSSOP20					
-	7	GND	P	GND		
-	9	V _{DD}	P	VDD		
-	14	PA0	I/O/A	PA0	T2C1/CTS2/C1P1/A0	T2C1_2
-	15	PA1	I/O/A	PA1	RTS2/T2C2/C10 /O1N2/O2N2/A1	CTS2_1/T2C2_2
-	16	PA2	I/O/A	PA2	TX2/T2C3/O2O1/C3N0 /A2	RTS2_1/T2ET_5/T2C3_1/T2ET_6
-	17	PA3	I/O/A	PA3	RX2/T2C4/O1O0/A3 ⁽³⁾	T3C1_3/T2C4_1/CTS3_2
-	19	PA4	I/O/A	PA4	CS/CK2/O2O0/A4	RTS3_2/T3C2_3
-	20	PA5	I/O/A	PA5	SCK/O2N0/A5	TX4_1/CTS4_4
-	1	PA6	I/O/A	PA6	MISO/T3C1/O1N0/A6	CK4_1/RTS4_4/T1BK_1
-	2	PA7 ⁽¹⁰⁾	I/O/A	PA7	MOSI/T3C2/O2P0/A7 ⁽³⁾	T1C1N_1/TX1_3/CTS4_1
-	10	PA9	I/O	PA9		MOSI_1/RX4_1/CTS1_2/MISO_2 /T2BK_1/T2BK_3
-	12	PA10	I/O	PA10	SCL ⁽³⁾	TX1_1/MOSI_2/RX4_3
-	11	PA11	I/O/A	PA11	SDA ⁽³⁾ /C2P1	SCK_2/RX1_1
-	2	PB0 ⁽¹⁰⁾	I/O/A	PB0	TX4/O1P0/A8	T1C2N_1
-	3	PB1	I/O/A	PB1	RX4/O2N1/A9	T1C3N_1

引脚编号		引脚名称	引脚类型 ⁽¹⁾	主功能 (复位后)	默认复用功能	重映射功能 ⁽²⁾
	TSSOP20					
—	4	PB7	I/O/A	PB7	RST/T1C2N/02P2/RTS3	RTS3_1/T1C2N_2
—	13	PC3	I/O/A	PC3	C1N0/C2N1/C3N1/A13	RTS2_3/T1C4_3 /T2C3N_4/T2C1N_2/RTS2_4
—	5	PC16 ⁽⁴⁾⁽⁹⁾	I/O/A	PC16	UDM/T1C4/CTS1	TX4_2/SCL_2 ⁽³⁾ /SDA_4 ⁽³⁾ /RX4_5 /CTS1_1/T1C4_1
—		PC11 ⁽⁴⁾	I/O	PC11		
—	6	PC17 ⁽⁴⁾⁽⁸⁾	I/O/A	PC17	UDP/RTS1/T1ET	TX4_5/SDA_2 ⁽³⁾ /SCL_4 ⁽³⁾ /RX4_2 /RTS1_1/T1ET_1
—		PC10 ⁽⁴⁾	I/O	PC10		
—	8	PC18	I/O	PC18	D10/PIOC_I00	TX3_1/T2C1N_5/SDA_3 ⁽³⁾ /SCL_5 ⁽³⁾ T1ET_2/T1ET_3/T3C2_2
—	18	PC19	I/O/A	PC19	DCK/PIOC_I01/C1P0	T2C1_5/T3C1_2/SCL_3 ⁽³⁾ /SDA_5 ⁽³⁾ /RX3_1/RX4_4/T2C1_6

注1：表格缩写解释：

I = TTL/CMOS 电平斯密特输入；O = CMOS 电平三态输出；

A = 模拟信号输入或输出；P = 电源。

注2：重映射功能下划线后的数值表示AFIO寄存器中相对应位的配置值。例如：TX2_2表示AFIO寄存器相应位配置为10b。

注3：ADC的通道3、通道7、通道11、通道15和I2C功能不适用于批号倒数第5位为0的产品。

注4：除CH32X035F8U6芯片和CH32X035D8U6芯片以外，对于CH32X033和其他CH32X035型号的芯片，PC10与PC17引脚在芯片内部短接合封，禁止两个IO均配置为输出功能；PC11与PC16引脚在芯片内部短接合封，禁止两个IO均配置为输出功能；在USB应用中，PC10和PC11引脚应配置为浮空输入模式（复位后的默认值）。

注5：对于CH32X035G8U6、CH32X035G8R6芯片，PB1与PB5引脚在芯片内部短接合封，禁止两个IO均配置为输出功能。

注6：对于CH32X035G8R6芯片，PA12与PC14引脚在芯片内部短接合封，禁止两个IO均配置为输出功能；PA13与PC15引脚在芯片内部短接合封，禁止两个IO均配置为输出功能。

注7：对于CH32X035D8U6芯片，PA7与PC7引脚在芯片内部短接合封，禁止两个IO均配置为输出功能。

注8：PC17为BOOT检测引脚，上电时，PC17为高电平，此时芯片进入BOOT区。

注9：当使用I2C功能时，PC16引脚需外接上拉电阻。

注10：对于CH32X033F8P6芯片，PA7与PB0引脚在芯片内部短接合封，禁止两个IO均配置为输出功能。

2.3 引脚复用功能

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

表 2-3 引脚复用和重映射功能

复用 引脚	ADC	TIM1/2	TIM3	USART	CMP	SYS	I2C	SPI	USB	OPA	P10C
PA0	A0	T2C1 T2C1_2		CTS2	C1P1						
PA1	A1	T2C2 T2C2_2		RTS2 CTS2_1	C10					01N2 02N2	
PA2	A2	T2C3 T2C3_1 T2ET_5 T2ET_6		TX2 RTS2_1	C3N0					0201	
PA3	A3 ⁽¹⁾	T2C4 T2C4_1	T3C1_3	RX2 CTS3_2						0100	
PA4	A4		T3C2_3	CK2 RTS3_2				CS		0200	
PA5	A5			TX4_1 CTS4_4				SCK		02N0	
PA6	A6	T1BK_1	T3C1	CK4_1 RTS4_4				MISO		01N0	
PA7	A7 ⁽¹⁾	T1C1N_1	T3C2	CTS4_1 TX1_3				MOSI		02P0	
PA8				RTS4 RTS1_2 CK4_4 RTS4_2 RTS4_5				MISO_1			
PA9		T2BK_1 T2BK_3		RX4_1 CTS1_2				MOSI_1 MISO_2			
PA10				TX1_1 RX4_3			SCL ⁽¹⁾	MOSI_2			
PA11				RX1_1	C2P1		SDA ⁽¹⁾	SCK_2			
PA12		T2C2_5 T2C1N_1 T2C1N_3			C2P0			CS_2			
PA13		T2C3_5 T2C2N_1 T2C2N_3		RTS4_3 CTS1_3	C3P0		SCL_1 ⁽¹⁾				
PA14		T2C3N_1 T2C3N_3		CTS4_3 RTS1_3	C3P1		SDA_1 ⁽¹⁾				
PA15				TX2_2 TX2_4							
PA16				RX2_2 RX2_4							
PA17				CTS2_2 CTS2_4							
PA18		T2ET_1 T2ET_3		TX3_2							
PA19		T2ET T2ET_2		RX2_1							
PA20		T2BK T2BK_2		TX2_1							
PA21		T2C1N		RTS2_2		RST					
PA22		T2C2N T2C2N_2		CK2_2 CK2_4	C2N0						
PA23		T2C3N T2C3N_2		CK2_1	C1N1						
PB0	A8	T1C2N_1		TX4						01P0	
PB1	A9	T1C3N_1		RX4						02N1	
PB2				RX1_3 CK4	C20						

复用 引脚	ADC	TIM1/2	TIM3	USART	CMP	SYS	I2C	SPI	USB	OPA	P10C
				CK4_2 CK4_5							
PB3		T2C3_2 T2C3_3 T2C3N_5 T2C3N_6		TX3	C30					02P1	
PB4		T2C4_2 T2C4_3 T2BK_5 T2BK_6	T3C1_1	RX3						01P2	
PB5		T1BK T1BK_2	T3C2_1	CK3 CK1_2 CK3_1						0101	
PB6		T1C1N T1C1N_2		CTS3 CTS3_1						01N1	
PB7		T1C2N T1C2N_2		RTS3 RTS3_1		RST ⁽³⁾				02P2	
PB8		T1C3N T1C3N_2		CK3_2 CK4_3						01P1	
PB9		T1C1 T1C1_1 T1C1_2		CK1 CK1_1 TX4_3		MCO					
PB10		T1C2 T1C2_1 T1C2_2		TX1 TX1_2							
PB11		T1C3 T1C3_1 T1C3_2 T2C1N_6		RX1 RX1_2							
PB12		T1C4_2 T2C2N_5 T2C2N_6		CK1_3							
PB13				TX4_4							
PB14				RX3_2							
PB15		T2C2_1 T2C2_3		CTS4 CTS4_2 CTS4_5				SCK_1			
PB16		T2C1_4		TX3_3							
PB17		T2C2_4		RX3_3							
PB18		T2C3_4		CTS3_3							
PB19		T2C4_4		RTS3_3							
PB20				CK2_3							
PB21		T2C1_1 T2C1_3		RTS4_1				CS_1			
PC0	A10	T1C1_3 T2C4_5 T2C4_6 T2BK_4		TX2_3							
PC1	A11 ⁽¹⁾	T1C2_3 T2C1N_4		RX2_3							
PC2	A12	T1C3_3 T2C2N_4		CTS2_3							
PC3	A13	T1C4_3 T2C3N_4 T2C1N_2		RTS2_3 RTS2_4	C1N0 C2N1 C3N1	RST ⁽²⁾					
PC4		T1BK_3 T2ET_4						CS_3			
PC5		T1C1N_3						SCK_3			
PC6		T1C2N_3						MISO_3			
PC7		T1C3N_3						MOSI_3			P10C_I00_1
PC14		T1C3_4 T2C2_6							CC1		

引脚	复用	ADC	TIM1/2	TIM3	USART	CMP	SYS	I2C	SPI	USB	OPA	PIOC
PC15			T1ET_4 T2C3_6							CC2		
PC16			T1C4 T1C4_1		CTS1 CTS1_1 TX4_2 RX4_5			SCL_2 ⁽¹⁾ SDA_4 ⁽¹⁾		UDM		
PC17			T1ET T1ET_1		RTS1 RTS1_1 RX4_2 TX4_5			SDA_2 ⁽¹⁾ SCL_4 ⁽¹⁾		UDP		
PC18			T1ET_2 T1ET_3 T2C1N_5	T3C2_2	TX3_1		D10	SDA_3 ⁽¹⁾ SCL_5 ⁽¹⁾				PIOC_100
PC19			T2C1_5 T2C1_6	T3C1_2	RX3_1 RX4_4	C1P0	DCK	SCL_3 ⁽¹⁾ SDA_5 ⁽¹⁾				PIOC_101

注：1. ADC的通道3、通道7、通道11、通道15和I2C功能不适用于批号倒数第5位为0的产品；

2. PC3引脚的RST功能仅适用于QSOP28封装和TSSOP20封装的CH32X035。

3. PB7引脚的RST功能仅适用于TSSOP20封装的CH32X033。

第 3 章 电气特性

3.1 测试条件

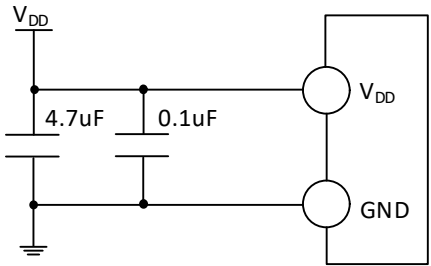
除非特殊说明和标注，所有电压都以 GND 为基准。

所有最小值和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。典型数值是基于常温 25℃和 $V_{DD} =$ 额定 5V 环境下用于设计指导。

对于通过综合评估、设计模拟或工艺特性得到的数据，不会在生产线上进行测试。在综合评估的基础上，最小和最大值是通过样本测试后统计得到。除非特殊说明为实测值，否则特性参数以综合评估或设计保证。

供电方案：

图 3-1 常规供电典型电路



3.2 绝对最大值

临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏。

表 3-1 绝对最大值参数表

符号	描述	最小值	最大值	单位
T_A	工作时的环境温度	-40	85	℃
T_S	存储时的环境温度	-40	125	℃
V_{DD}	外部主供电引脚 V_{DD} 上的电压	-0.3	6.0	V
V_{IN}	I/O 引脚上的电压	-0.3	$V_{DD}+0.3$	V
$ \Delta V_{DD_x} $	主供电引脚各 V_{DD} 之间的电压差		20	mV
$ \Delta GND_x $	公共地引脚各 GND 之间的电压差		20	mV
$V_{ESD(HBM)}$	普通 I/O 引脚的 ESD 静电放电电压 (HBM)	4K		V
I_{VDD}	所有 V_{DD} 主供电引脚的合计总电流		150	mA
I_{GND}	所有 GND 公共地引脚的合计总电流		200	mA
I_{IO}	任意 I/O 引脚上的 sink 电流		40	mA
	任意 I/O 引脚上的 source 电流		30	mA

3.3 电气参数

3.3.1 工作条件

表 3-2 通用工作条件

符号	参数	条件	最小值	最大值	单位
F_{HCLK} 或 F_{SYS}	内部系统总线频率或微处理器主频			48	MHz
V_{DD}	工作电源电压 (额定 5V)	未用 USB 和 PD 功能	2.0	5.5	V
		使用 USB 或 PD 功能	3.0	5.3	
		未使用 ADC 功能	2.0	5.5	V
		使用 ADC 功能	2.5	5.5	

表 3-3 上电和掉电条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率		0.1	∞	us/V
	V_{DD} 下降速率		10	∞	

3.3.2 内置复位和电源控制模块特性

表 3-4 复位及电压监测（PDR 选择高阈值档位）

符号	参数	条件	最小值	典型值	最大值	单位
$V_{PVD}^{(1)}$	可编程电压检测器的电平选择	PLS[1:0] = 00 上升沿		2.12		V
		PLS[1:0] = 00 下降沿		2.1		
		PLS[1:0] = 01 上升沿		2.32		V
		PLS[1:0] = 01 下降沿		2.3		
		PLS[1:0] = 10 上升沿		3.02		V
		PLS[1:0] = 10 下降沿		3		
		PLS[1:0] = 11 上升沿		4.02		V
		PLS[1:0] = 11 下降沿		4		
$V_{PVDhyst}$	PVD 迟滞			20		mV
$V_{POR/PDR}$	上电/掉电复位阈值	上升沿		1.8		V
		下降沿		1.78		V
$V_{PDRhyst}$	PDR 迟滞			20		mV
$t_{RSTTEMP0}$	上电复位		4	17	24	ms
	其他复位		6	9	20	us

注：1. 常温测试值。

3.3.3 内置的参考电压

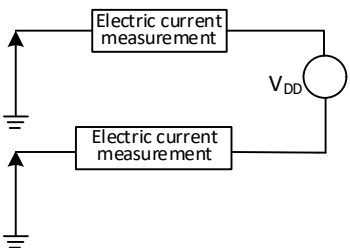
表 3-5 内置参考电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参考电压	$T_A = -40^{\circ}C \sim 85^{\circ}C$	1.16	1.2	1.24	V
$T_{S_vrefint}$	当读出内部参考电压时，ADC 的采样时间	建议慢速采样			11	$1/f_{ADC}$

3.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。电流消耗测量方法如下图：

图 3-2 电流消耗测量



微控制器处于下列条件：

常温 $V_{DD} = 3.3V$ 情况下，测试时：所有 I/O 端口配置上拉输入，HSI=48M。使能或关闭所有外设时钟的功耗。

注：小封装型号未封装出的引脚或者已封装出来但未使用的引脚，建议配置为上拉输入或者下拉输入，否则可能影响电流指标，具体操作请参考 EVT 低功耗例程。

表 3-6 运行模式下典型的电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件		典型值		单位
				使能所有外设	关闭所有外设	
$I_{DD}^{(1)}$	运行模式下的 供应电流	运行于高速内部 RC 振荡器 (HSI), 使用 HB 预分频以 减低频率	$F_{HCLK} = 48MHz$	4.2	3.0	mA
			$F_{HCLK} = 24MHz$	3.2	2.6	
			$F_{HCLK} = 16MHz$	2.5	2.1	
			$F_{HCLK} = 8MHz$	2.2	2.0	

注：以上为实测参数。

表 3-7 睡眠模式下典型的电流消耗，数据处理代码从内部闪存或 SRAM 中运行

符号	参数	条件		典型值		单位
				使能所有外设	关闭所有外设	
$I_{DD}^{(1)}$	睡眠模式下的 供应电流 (此时外设供 电和时钟保持)	运行于高速内部 RC 振荡器 (HSI), 使用 HB 预分频以 减低频率	$F_{HCLK} = 48MHz$	3.0	1.8	mA
			$F_{HCLK} = 24MHz$	2.1	1.5	
			$F_{HCLK} = 16MHz$	1.8	1.4	
			$F_{HCLK} = 8MHz$	1.5	1.3	

注：以上为实测参数。

表 3-8 停止和待机模式下典型的电流消耗

符号	参数	条件	典型值	单位
I_{DD}	停止模式下的供应电流	高速内部 RC 振荡器处于关闭状态（没有独立看门狗）	75	uA
		独立看门狗处于开启状态	530	
	待机模式下的供应电流	AWU 处于开启状态	528	
		独立看门狗和 AWU 处于关闭状态	51	

注：以上为实测参数。

3.3.5 内部时钟源特性

表 3-9 内部高速 (HSI) RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{HSI}	频率(校准后)			48		MHz
$DuCy_{HSI}$	占空比		45	50	55	%
ACC_{HSI}	HSI 振荡器的精度（校准后）	$T_A = 0^{\circ}C \sim 70^{\circ}C$	-1.7	± 0.8	1.6	%
		$T_A = -40^{\circ}C \sim 85^{\circ}C$	-2.6	± 1.1	2.2	%
$t_{SU(HSI)}$	HSI 振荡器启动稳定时间		1.5		3.5	us
$I_{DD(HSI)}$	HSI 振荡器功耗			312		uA

3.3.6 从低功耗模式唤醒的时间

表 3-10 低功耗模式唤醒的时间

符号	参数	条件	典型值	单位
$t_{wusleep}$	从睡眠模式唤醒	使用 HSI RC 时钟唤醒	1	us
t_{wustop}	从停止模式唤醒	使用 HSI RC 时钟唤醒	10	us
t_{wustby}	从待机模式唤醒	使用 HSI RC 时钟唤醒	10	us

注：以上为实测参数。

3.3.7 存储器特性

表 3-11 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog_page}	页（256 字节）编程时间			1.5	2.0	ms
t_{erase_page}	页（256 字节）擦除时间			2.5	3.0	ms
t_{erase_sec}	扇区（1K 字节）擦除时间			2.7	3.3	ms

表 3-12 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
N_{END}	擦写次数	$T_A = 25^{\circ}C$	300K			次
		$T_A = 70^{\circ}C$	100K			次
t_{RET}	数据保存期限	$T_A = 25^{\circ}C$	20			年
		$T_A = 70^{\circ}C$	10			年

3.3.8 I/O 端口特性

表 3-13 通用 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IH}	普通 I/O 引脚输入高电平电压		$(V_{DD}-2) * 0.36+1.3$		V_{DD}	V
		$V_{DD} = 5V$	2.4		V_{DD}	V
		$V_{DD} = 3.3V$	1.8		V_{DD}	V
V_{IL}	普通 I/O 引脚输入低电平电压		0		$(V_{DD}-2) * 0.24+0.4$	V
		$V_{DD} = 5V$	0		1.1	V
		$V_{DD} = 3.3V$	0		0.7	V
V_{hys}	普通 I/O 施密特触发器电压迟滞	$V_{DD} = 5V$	180	350		mV
I_{lkg}	普通 I/O 引脚输入漏电流		-2		2	uA
I_{PU}	普通 I/O 引脚弱上拉电流	$V_{DD} = 5V$	25	60	140	uA
		$V_{DD} = 3.3V$	12	30	65	uA
I_{PD}	PA0-PA15 引脚弱下拉电流	$V_{DD} = 5V$	60	150	350	uA
		$V_{DD} = 3.3V$	30	75	180	uA
$C_{I/O}$	单个 I/O 引脚电容（不含双 I/O 合封）			5		pF

注：以上均为设计参数保证；

表 3-14 输出电压特性

符号	参数	条件	最小值	最大值	单位
V_{OL} (PA0-PA23)	输出低电平电压, 引脚 sink 电流	$I_{IO} = 50mA$ $V_{DD} = 3.3V$		0.4	V
		$I_{IO} = 100mA$ $V_{DD} = 5V$		0.5	V
V_{OH} (PA0-PA23)	输出高电平电压, 引脚 source 电流	$I_{IO} = 30mA$ $V_{DD} = 3.3V$	$V_{DD}-0.4$		V
		$I_{IO} = 50mA$ $V_{DD} = 5V$	$V_{DD}-0.5$		V
V_{OL} (PB0-PB21)	输出低电平电压, 引脚 sink 电流	$I_{IO} = 50mA$ $V_{DD} = 3.3V$		0.4	V
		$I_{IO} = 100mA$ $V_{DD} = 5V$		0.5	V
V_{OH} (PB0-PB21)	输出高电平电压, 引脚 source 电流	$I_{IO} = 6mA$ $V_{DD} = 3.3V$	$V_{DD}-0.4$		V
		$I_{IO} = 10mA$ $V_{DD} = 5V$	$V_{DD}-0.5$		V
V_{OL} (PC0-PC7, PC14-PC19)	输出低电平电压, 引脚 sink 电流	$I_{IO} = 18mA$ $V_{DD} = 3.3V$		0.4	V
		$I_{IO} = 32mA$ $V_{DD} = 5V$		0.5	V
V_{OH} (PC0-PC7, PC14-PC19)	输出高电平电压, 引脚 source 电流	$I_{IO} = 8mA$ $V_{DD} = 3.3V$	$V_{DD}-0.4$		V
		$I_{IO} = 16mA$ $V_{DD} = 5V$	$V_{DD}-0.5$		V

注：1. 以上均为设计参数保证；

2. 以上条件中如果多个 I/O 引脚同时驱动，电流总和不能超过表 3.2 节中的绝对最大额定值。另外多个 I/O 引脚同时驱动时，电源/地线上的电流很大，产生的压降使内部 I/O 的电压达不到表中电源电压，从而导致驱动电流小于标称值

表 3-15 输入输出交流特性

引脚	符号	参数	条件	最小值	最大值	单位
PA	$F_{max(10)out}$	最大频率	$CL = 50pF, V_{DD} = 2.9 \sim 4.0V$		40	MHz
			$CL = 50pF, V_{DD} = 4.0 \sim 5.5V$		56	MHz
	$t_{f(10)out}$	输出高至低电平的 下降时间	$CL = 50pF, V_{DD} = 2.9 \sim 4.0V$		6	ns
			$CL = 50pF, V_{DD} = 4.0 \sim 5.5V$		4.2	ns
	$t_{r(10)out}$	输出低至高电平的 上升时间	$CL = 50pF, V_{DD} = 2.9 \sim 4.0V$		8.4	ns
			$CL = 50pF, V_{DD} = 4.0 \sim 5.5V$		6	ns
PB	$F_{max(10)out}$	最大频率	$CL = 50pF, V_{DD} = 2.9 \sim 4.0V$		16	MHz
			$CL = 50pF, V_{DD} = 4.0 \sim 5.5V$		24	MHz
	$t_{f(10)out}$	输出高至低电平的 下降时间	$CL = 50pF, V_{DD} = 2.9 \sim 4.0V$		6	ns
			$CL = 50pF, V_{DD} = 4.0 \sim 5.5V$		4.2	ns
	$t_{r(10)out}$	输出低至高电平的	$CL = 50pF, V_{DD} = 2.9 \sim 4.0V$		18	ns

		上升时间	$CL = 50pF, V_{DD} = 4.0 \sim 5.5V$		13.2	ns
PC	$F_{max(10)out}$	最大频率	$CL = 50pF, V_{DD} = 2.9 \sim 4.0V$		28	MHz
			$CL = 50pF, V_{DD} = 4.0 \sim 5.5V$		36	MHz
	$t_{f(10)out}$	输出高至低电平的下降时间	$CL = 50pF, V_{DD} = 2.9 \sim 4.0V$		8.4	ns
			$CL = 50pF, V_{DD} = 4.0 \sim 5.5V$		7.2	ns
	$t_{r(10)out}$	输出低至高电平的上升时间	$CL = 50pF, V_{DD} = 2.9 \sim 4.0V$		13.2	ns
			$CL = 50pF, V_{DD} = 4.0 \sim 5.5V$		9.6	ns

注：以上均为设计参数保证。

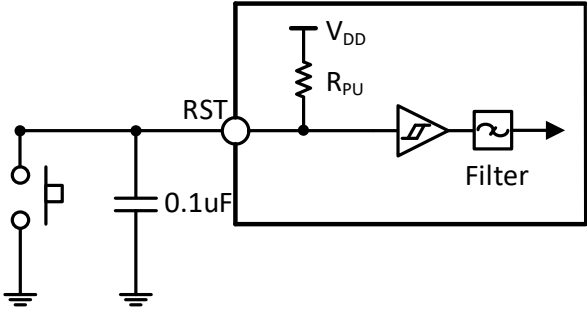
3.3.9 RST 引脚特性

表 3-16 外部复位引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{F(RST)}$	RST 输入信号脉宽		300			ns

电路参考设计及要求：

图 3-3 外部复位引脚典型电路



3.3.10 USB PD 接口特性

表 3-17 PD 接口 I/O 特性，应用：PD 通讯

符号	参数	条件	最小值	典型值	最大值	单位
t_{Rise}	上升时间	幅度 10%到 90%之间的时间，最小值为无负载条件下的时间。	300		600	ns
t_{Fall}	下降时间	幅度 10%到 90%之间的时间，最小值为无负载条件下的时间。	300		600	ns
V_{Swing}	输出电压摆幅（峰-峰值）	低电压输出模式， $CL=50pF$	1.04	1.12	1.20	V
I_{pu}	CC 上拉电流	引脚电压 $< V_{DD} - 1V$, $PUC[1:0] = 11$	64	80	96	μA
		引脚电压 $< V_{DD} - 1V$, $PUC[1:0] = 10$	144	180	216	μA
		引脚电压 $< V_{DD} - 1V$, $PUC[1:0] = 01$	264	330	396	μA

注：外加 Type-C/PD 高压接口芯片 CH211 可实现 PD 引脚 28V 耐压以及内置 Type-C 规范定义的可控 Rd 下拉电阻 5K1。

3.3.11 TIM 定时器特性

表 3-18 TIMx 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器基准时钟		1		$t_{TIMxCLK}$

		$f_{TIMxCLK} = 48MHz$	20.8		ns
F_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 48MHz$	0	24	MHz
R_{esTIM}	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时，16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$	0.0208	1363	us
t_{MAX_COUNT}	最大可能的计数			65535	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$		1363	us

3.3.12 I2C 接口特性

图 3-4 I2C 总线时序图

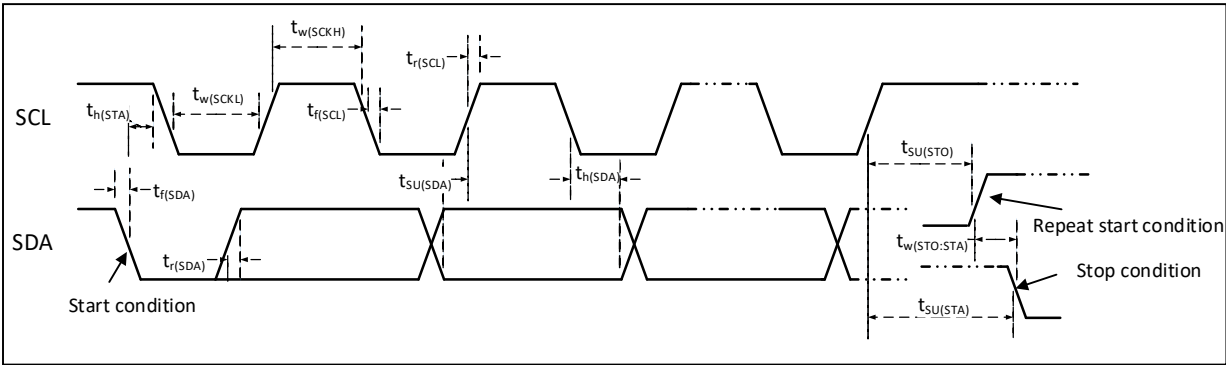


表 3-19 I2C 接口特性

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
$t_w(SCKL)$	SCL 时钟低电平时间	4.7		1.2		us
$t_w(SCKH)$	SCL 时钟高电平时间	4.0		0.6		us
$t_{SU}(SDA)$	SDA 数据建立时间	250		100		ns
$t_h(SDA)$	SDA 数据保持时间	0		0	900	ns
$t_r(SDA)/t_r(SCL)$	SDA 和 SCL 上升时间		1000	20		ns
$t_f(SDA)/t_f(SCL)$	SDA 和 SCL 下降时间		300			ns
$t_h(STA)$	开始条件保持时间	4.0		0.6		us
$t_{SU}(STA)$	重复的开始条件建立时间	4.7		0.6		us
$t_{SU}(STO)$	停止条件建立时间	4.0		0.6		us
$t_w(STO:STA)$	停止条件至开始条件的时间(总线空闲)	4.7		1.2		us
C_b	每条总线的容性负载		400		400	pF

3.3.13 SPI 接口特性

图 3-5 SPI 主模式时序图

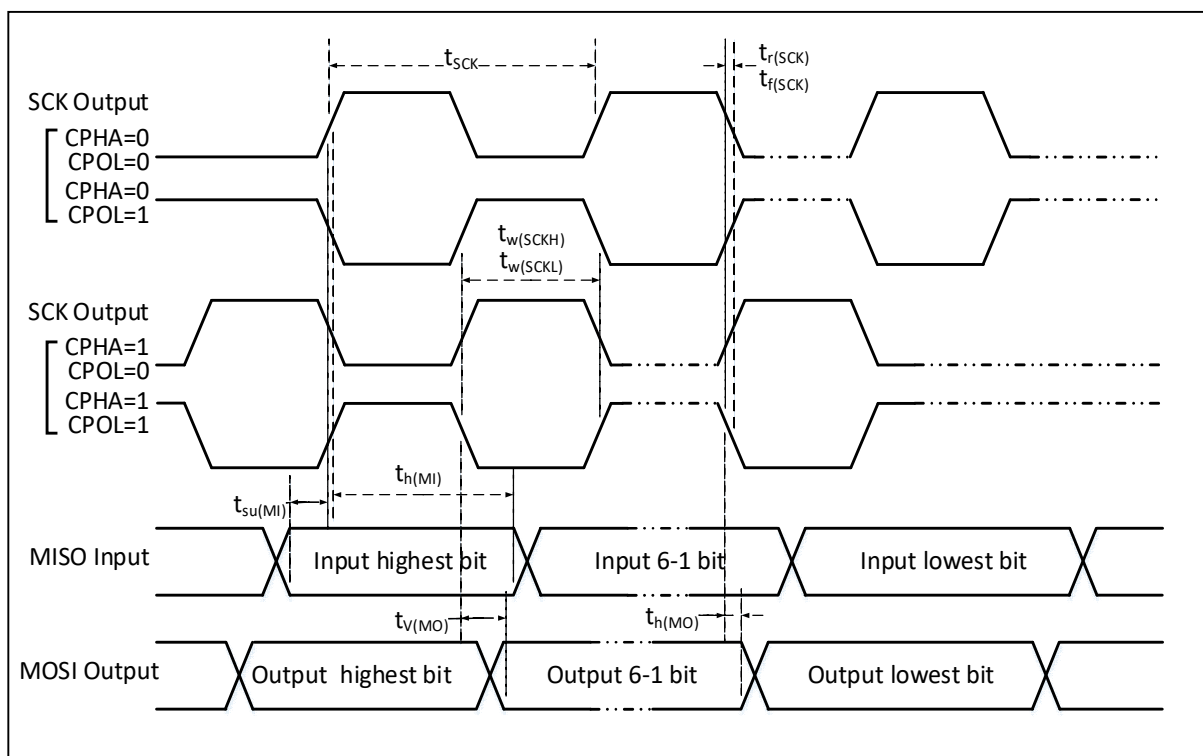


图 3-6-1 SPI 从模式时序图 (CPHA=0, CPOL=0)

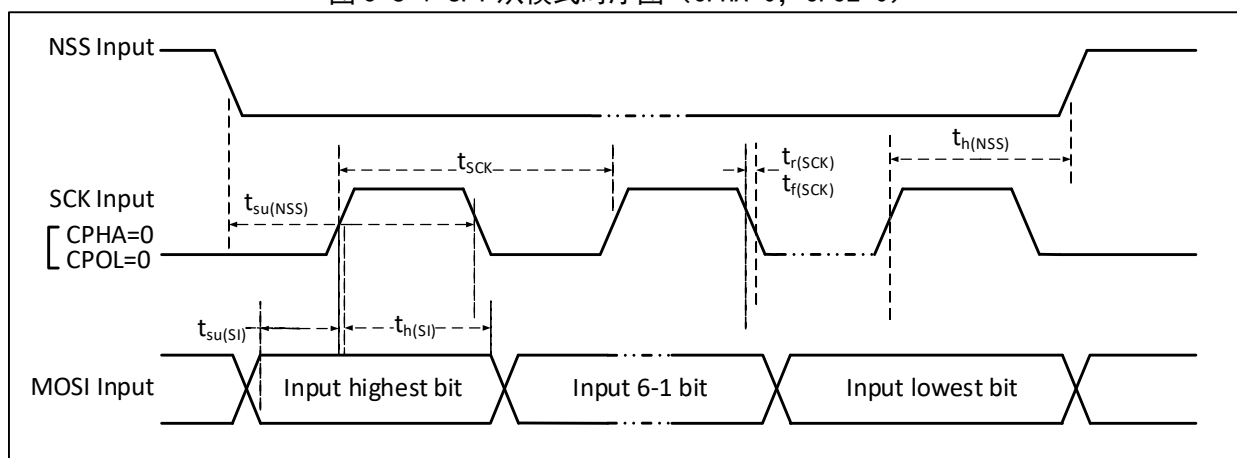


图 3-6-2 SPI 从模式时序图 (CPHA=0, CPOL=1)

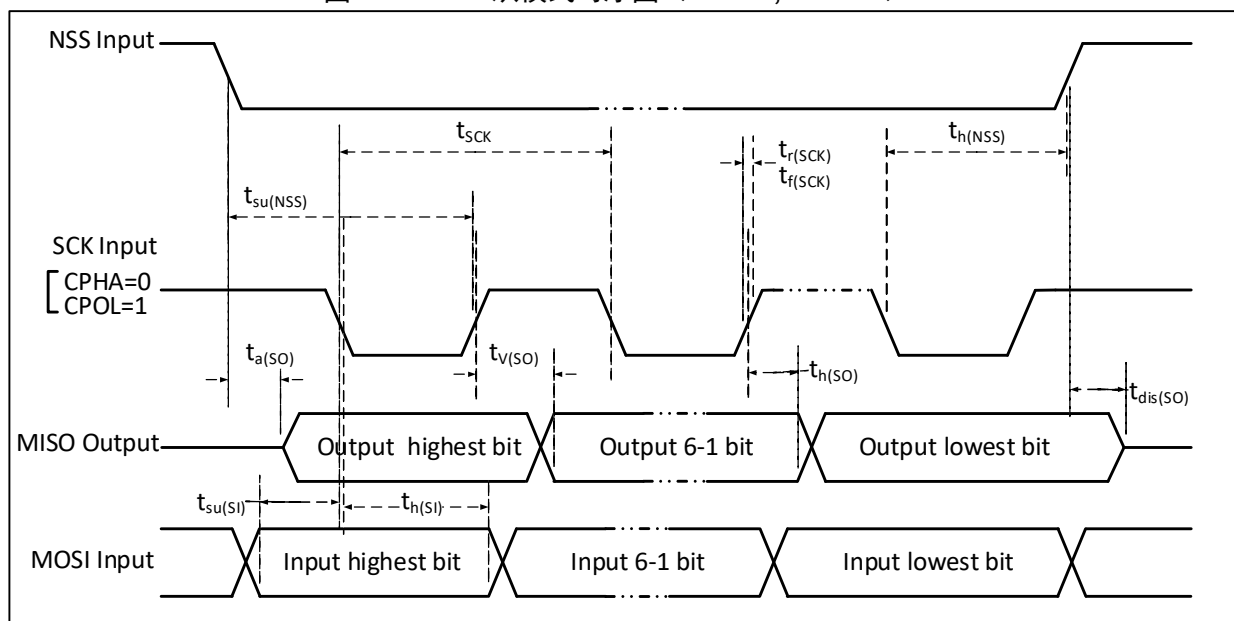


图 3-7-1 SPI 从模式时序图 (CPHA=1, CPOL=0)

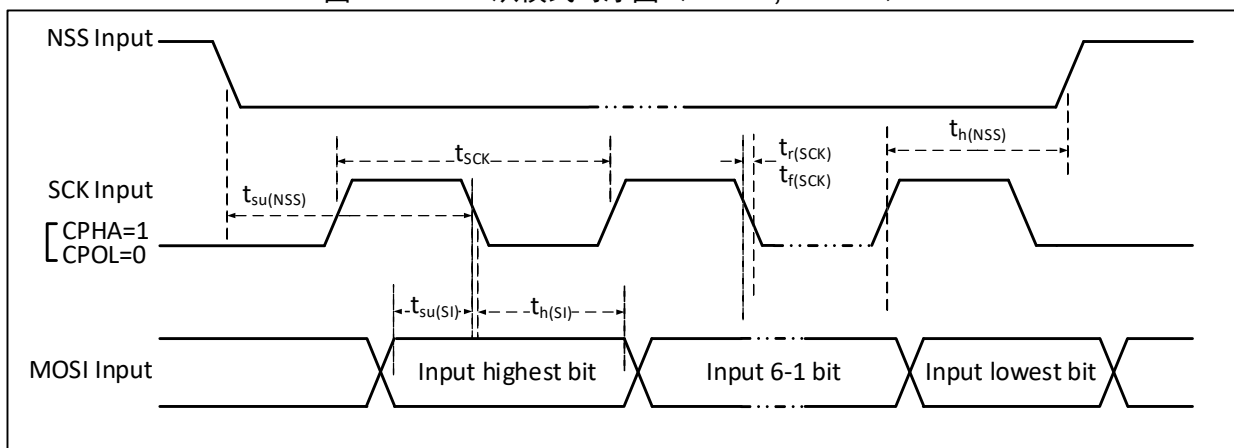


图 3-7-2 SPI 从模式时序图 (CPHA=1, CPOL=1)

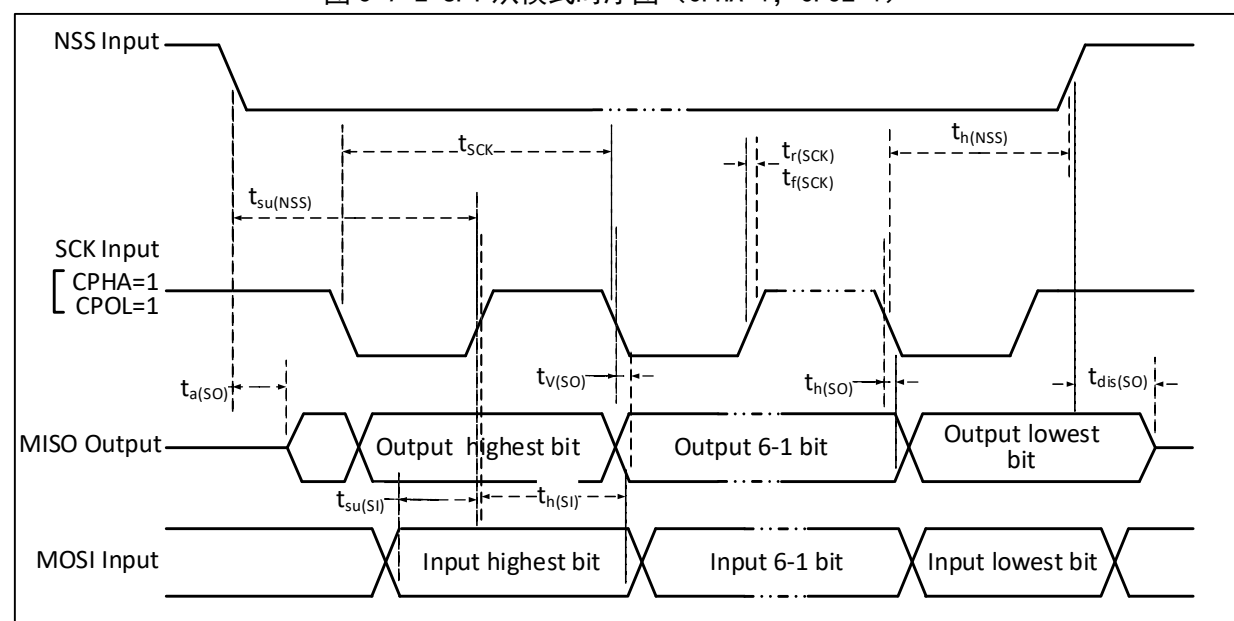


表 3-20 SPI 接口特性

符号	参数	条件	最小值	最大值	单位
f_{SCK}/t_{SCK}	SPI 时钟频率	主模式		24	MHz
		从模式		24	MHz
$t_{r(SCK)}/t_{f(SCK)}$	SPI 时钟上升和下降时间	负载电容: $CL = 30pF$		20	ns
$t_{SU(NSS)}$	NSS 建立时间	从模式	$2t_{HCLK}$		ns
$t_{h(NSS)}$	NSS 保持时间	从模式	$2t_{HCLK}$		ns
$t_w(SCKH)/t_w(SCKL)$	SCK 高电平和低电平时间	主模式, $f_{HCLK} = 24MHz$, 预分频系数=4	70	100	ns
$t_{SU(MI)}$	数据输入建立时间	主模式	5		ns
$t_{SU(SI)}$		从模式	5		ns
$t_{h(MI)}$	数据输入保持时间	主模式	5		ns
$t_{h(SI)}$		从模式	4		ns
$t_a(SO)$	数据输出访问时间	从模式, $f_{HCLK} = 20MHz$	0	$1t_{HCLK}$	ns
$t_{dis(SO)}$	数据输出禁止时间	从模式	0	10	ns
$t_v(SO)$	数据输出有效时间	从模式 (使能边沿之后)		25	ns
$t_v(MO)$		主模式 (使能边沿之后)		5	ns
$t_h(SO)$	数据输出保持时间	从模式 (使能边沿之后)	15		ns
$t_h(MO)$		主模式 (使能边沿之后)	0		ns

3.3.14 USART 串口特性

表 3-21 USART 串口特性

符号	参数	条件	最小值	最大值	单位
f_{CK}	CK 引脚输出时钟频率	$F_{HCLK} = 48MHz$, 预分频系数 = 2		24	MHz
$t_{r(CK)}/t_{f(CK)}$	CK 引脚输出时钟上升和下降时间	$F_{HCLK} = 48MHz$, $CL = 30pF$		13.2	ns

3.3.15 USB 接口特性

表 3-22 USB 接口 I/O 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD}	USB 工作电压	根据 V_{DD} 电压选择 USB 参数	3.0		5.3	V
V_{SE}	单端接收器阈值	额定电压	1.2		1.9	V
V_{OL}	静态输出低电平				0.3	V
V_{OH}	静态输出高电平		2.8			V
V_{BC_REF}	BC 比较器参考电压			0.4		V
V_{BC_SRC}	BC 协议输出电压			0.6		V

3.3.16 12 位 ADC 特性

表 3-23 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD}	供电电压	额定性能	3.0	5	5.3	V
		性能可能降低	2.5		5.5	V
I_{DD}	供电电流			560		uA

f_{ADC}	ADC 时钟频率	$V_{\text{DD}} \geq 3.2\text{V}$	3		8	MHz
		$V_{\text{DD}} < 3.2\text{V}$	3		6	MHz
f_{s}	采样速率	$V_{\text{DD}} \geq 3.2\text{V}$	125		470	KHz
		$V_{\text{DD}} < 3.2\text{V}$	125		353	KHz
V_{AIN}	转换电压范围		0		V_{DD}	V
R_{ADC}	采样开关电阻		0.5	0.6	1.5	k Ω
C_{ADC}	内部采样和保持电容			21		pF
t_{lat}	注入触发转换时延			1		$1/f_{\text{ADC}}$
t_{latr}	常规触发转换时延			1		$1/f_{\text{ADC}}$
t_{s}	采样时间			3.5		$1/f_{\text{ADC}}$
t_{conv}	总的转换时间（包括采样时间）		17		24	$1/f_{\text{ADC}}$

注：以上均为设计参数保证。

公式：最大 R_{AIN}

$$R_{\text{AIN}} < \frac{T_{\text{s}}}{f_{\text{ADC}} \times C_{\text{ADC}} \times \ln 2^{N+2}} - R_{\text{ADC}}$$

上述公式用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N=12(表示 12 位分辨率)。

表 3-24 $f_{\text{ADC}} = 8\text{MHz}$ 时的最大 R_{AIN}

T_{s} (周期)	t_{s} (us)	最大 R_{AIN} (k Ω)
4	0.5	1.85
5	0.625	2.46
6	0.75	3.07
7	0.875	3.69
8	1.0	4.30
9	1.125	4.91
10	1.25	5.53
11	1.375	6.14

注：以上均为设计参数保证。

表 3-25 ADC 误差

符号	参数	条件	最小值	典型值	最大值	单位
E0	失调误差	$f_{\text{ADC}} = 3\text{MHz}$, $R_{\text{AIN}} < 10\text{ k}\Omega$, $V_{\text{DD}} = 5\text{V}$		± 4		LSB
ED	微分非线性误差			± 1	± 10	
EL	积分非线性误差			± 4	± 20	

注：以上均为设计参数保证。

C_{p} 表示 PCB 与焊盘上的寄生电容（大约 5pF），可能与焊盘和 PCB 布局质量有关。较大的 C_{p} 数值将降低转换精度，解决办法是降低 f_{ADC} 值。

图 3-8 ADC 典型连接图

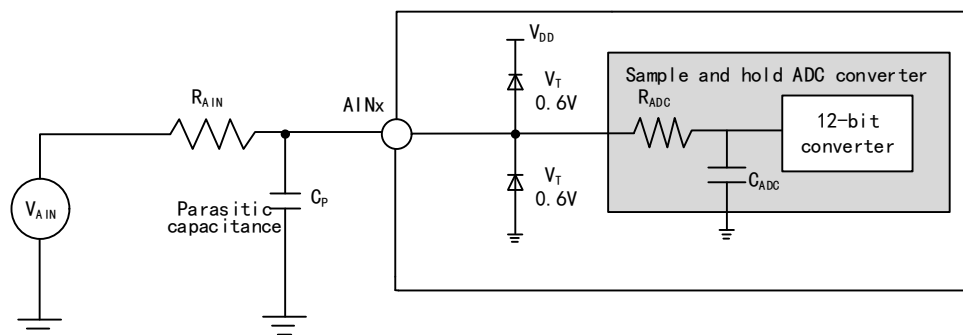
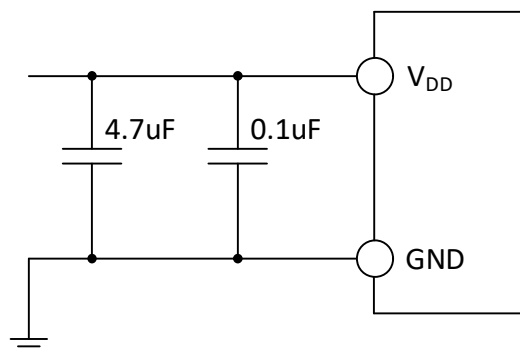


图 3-9 模拟电源及退耦电路参考



3.3.17 OPA 特性

表 3-26 OPA 运放特性

符号	参数	条件: $V_{DD} = 5V$	最小值	典型值	最大值	单位
V_{DD}	供电电压	建议不低于 2.5V	2	5	5.5	V
V_{CM}	共模输入电压		0		V_{DD}	V
$V_{IOFFSET}$	输入失调电压	共模输入 $V_{CM} = 0.5V$		± 5	± 13	mV
		共模输入 $V_{CM} = V_{DD}/2$		± 3	± 10	
		共模输入 $V_{CM} = V_{DD} - 0.5V$		± 5	± 17	
I_{LOAD}	驱动电流	$R_{LOAD} = 5k\Omega$			1	mA
I_{LOAD_PGA}	PGA 模式驱动电流				400	μA
$I_{DDOPAMP}$	消耗电流	无负载, 静态模式		210		μA
$CMRR^{(1)}$	共模抑制比	@1kHz		110		dB
$PSRR^{(1)}$	电源抑制比	@1kHz		71		dB
$A_v^{(1)}$	开环增益	$C_{LOAD} = 5pF$		110		dB
$G_{BW}^{(1)}$	单位增益带宽	$C_{LOAD} = 5pF$		13		MHz
$P_M^{(1)}$	相位裕度	$C_{LOAD} = 5pF$		88		
$S_R^{(1)}$	压摆率	$C_{LOAD} = 5pF$		5		V/ μs
$t_{WAKUP}^{(1)}$	关闭到唤醒时间, 0.1%	输入 $V_{DD}/2$, $C_{LOAD} = 50pF$, $R_{LOAD} = 5k\Omega$			1	μs
R_{LOAD}	阻性负载		5			$k\Omega$
C_{LOAD}	容性负载				50	pF
$V_{OHSAT}^{(2)}$	高饱和输出电压	$R_{LOAD} = 5k\Omega$	$V_{DD} - 300$			mV

		$R_{LOAD} = 20k\Omega$	$V_{DD}-50$			
$V_{OLSAT}^{(2)}$	低饱和输出电压	$R_{LOAD} = 5k\Omega$			10	mV
		$R_{LOAD} = 20k\Omega$			7	
PGA Gain ⁽¹⁾	NSEL=010b 模式同相	Gain =16, PA1=GND	-3		3	%
	内部同相 PGA	Gain = 4 $V_{INP} < (V_{DD}/7)$	-1		1	%
		Gain = 8 $V_{INP} < (V_{DD}/15)$	-1		1	%
		Gain = 16 $V_{INP} < (V_{DD}/31)$	-1		1	%
		Gain = 32 $V_{INP} < (V_{DD}/63)$	-1		1	%
Delta R	电阻绝对值变化		-15		15	%
EN ⁽¹⁾	等效输入噪声	$R_{LOAD} = 5k\Omega @ 1kHz$		100		nV/ sqrt (Hz)
		$R_{LOAD} = 20k\Omega @ 1KHz$		60		

注：1. 设计参数保证；

2. 负载电流会限制饱和输出电压。

3.3.18 CMP 特性

表 3-27 CMP 电压比较器特性

符号	参数	条件: $V_{DD} = 5V$	最小值	典型值	最大值	单位
V_{DD}	供电电压	建议不低于 2.5V	2	5	5.5	V
V_{CM}	共模输入电压		0		V_{DD}	V
$V_{IOFFSET}^{(1)}$	输入失调电压			± 5	± 18	mV
$I_{DDOPAMP}$	消耗电流			75		μA
V_{hys}	迟滞电压			± 24		mV
$t_D^{(1)}$	比较器延时, V_{INP} 从 $(V_{INN}-100mV)$ 到 $(V_{INN}+100mV)$ 变化	$0 \leq V_{INN} \leq V_{DD}$		15	50	ns

注：1. 设计参数保证。

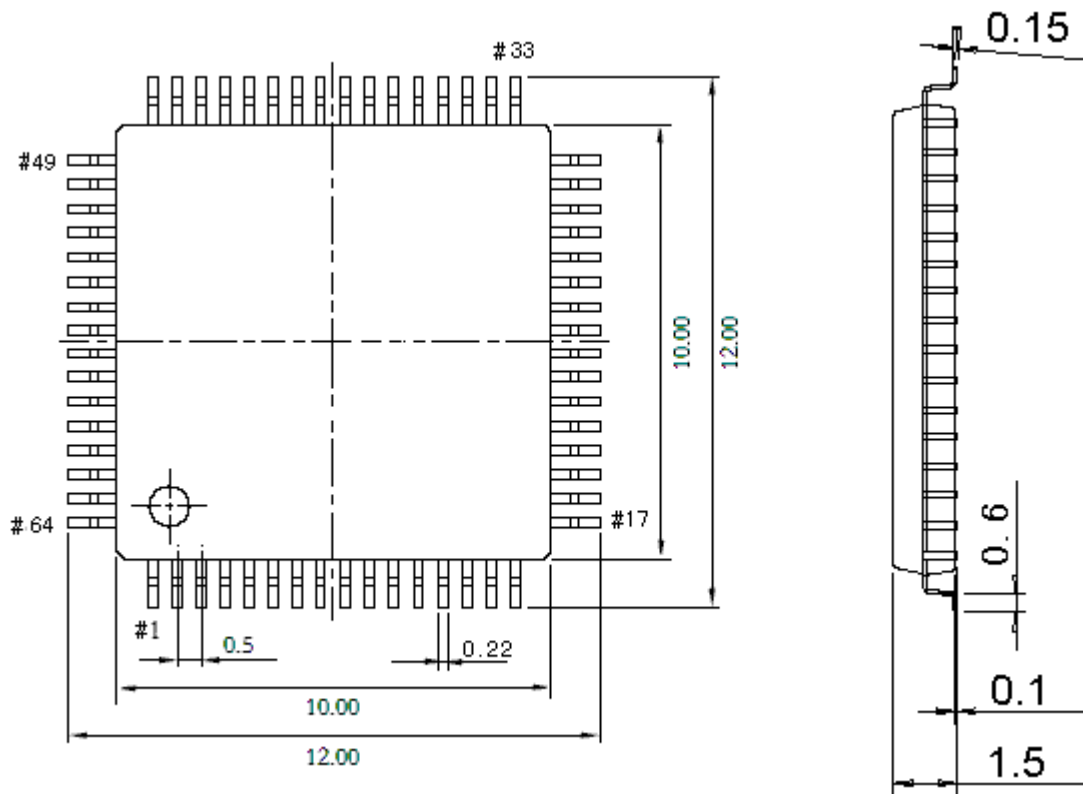
第 4 章 封装及订货信息

芯片封装

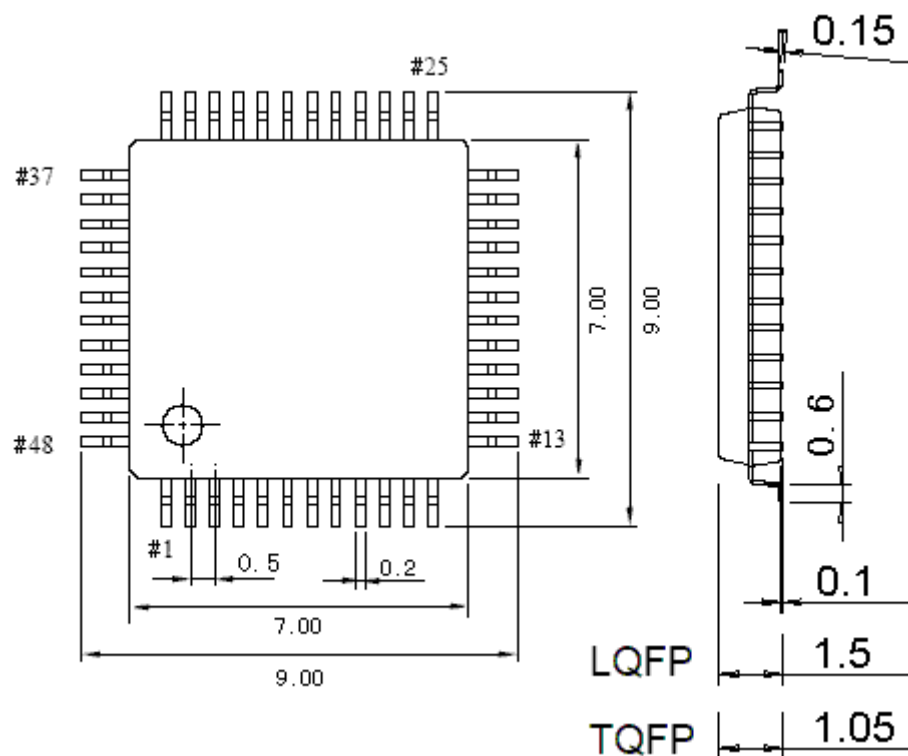
封装形式	塑体尺寸	引脚节距		封装说明	订货型号
LQFP64M	10*10mm	0.5mm	19.7mil	LQFP64M (10*10) 贴片	CH32X035R8T6
LQFP48	7*7mm	0.5mm	19.7mil	标准 LQFP48 贴片	CH32X035C8T6
QFN28	4*4mm	0.4mm	15.7mil	四边无引线 28 脚	CH32X035G8U6
QSOP28	3.9*9.9mm	0.635mm	25.0mil	1/4 尺寸 28 脚贴片	CH32X035G8R6
QFN20	3*3mm	0.4mm	15.7mil	四边无引线 20 脚	CH32X035F8U6
TSSOP20	4.4*6.5mm	0.65mm	25.6mil	薄小型的 20 脚贴片	CH32X035F7P6
QFN12	2*2mm	0.4mm	15.7mil	四边无引线 12 脚	CH32X035D8U6
TSSOP20	4.4*6.5mm	0.65mm	25.6mil	薄小型的 20 脚贴片	CH32X033F8P6

说明：尺寸标注的单位是 mm（毫米），引脚中心间距总是标称值，没有误差，除此之外的尺寸误差不大于 $\pm 0.2\text{mm}$ 或者 $\pm 10\%$ 两者中的较大值。

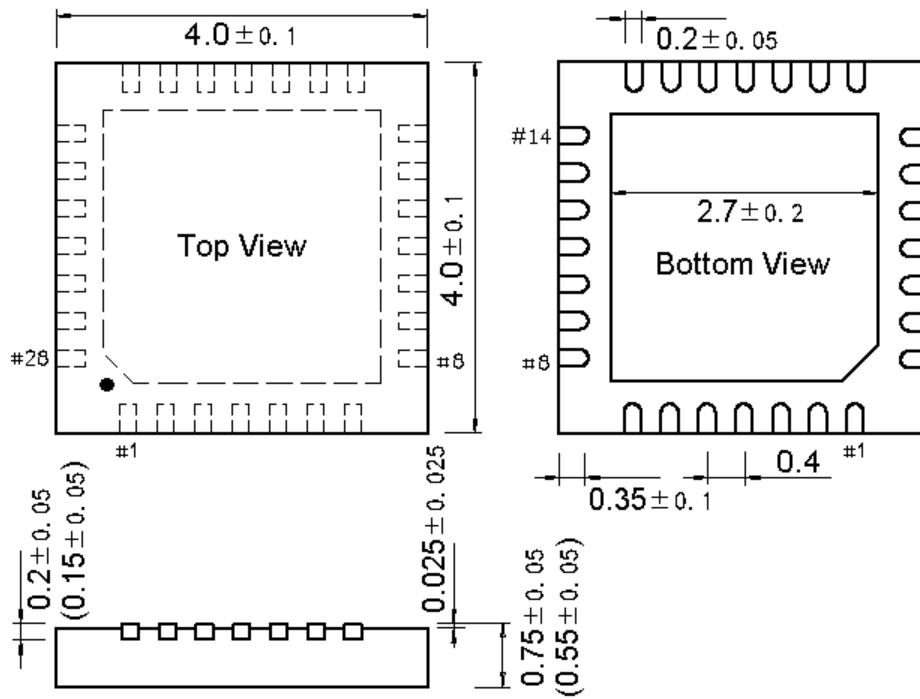
4.1 LQFP64M 封装



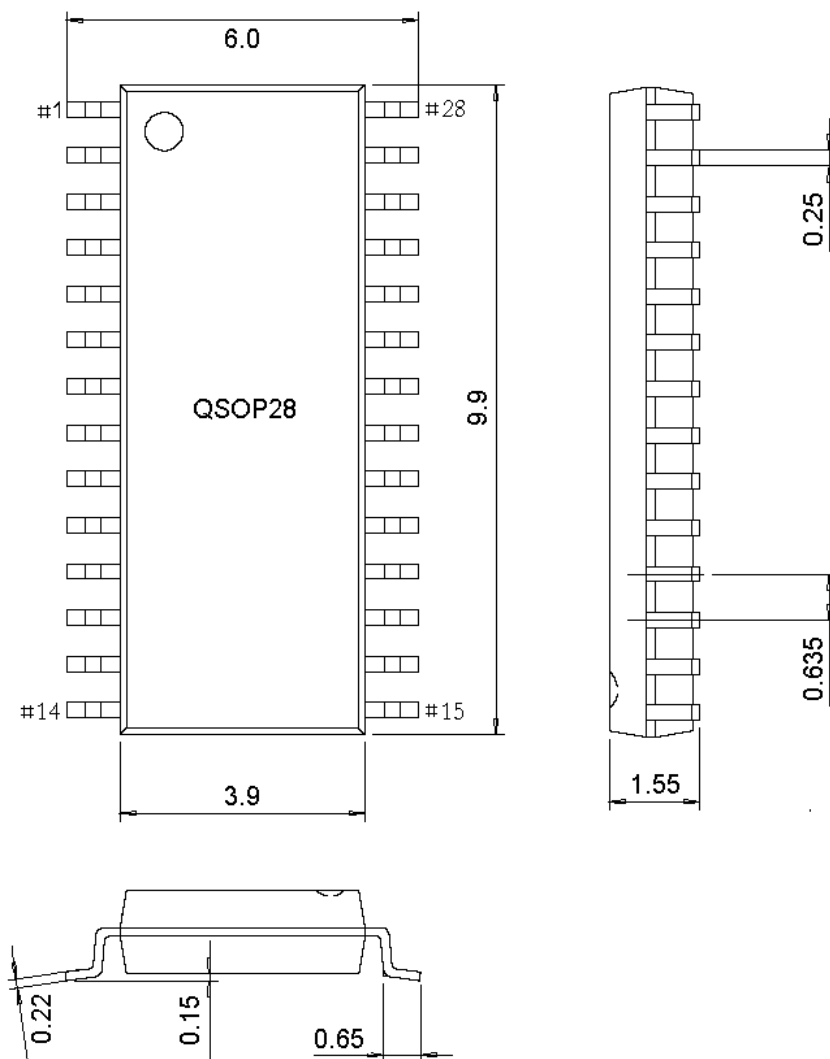
4.2 LQFP48 封装



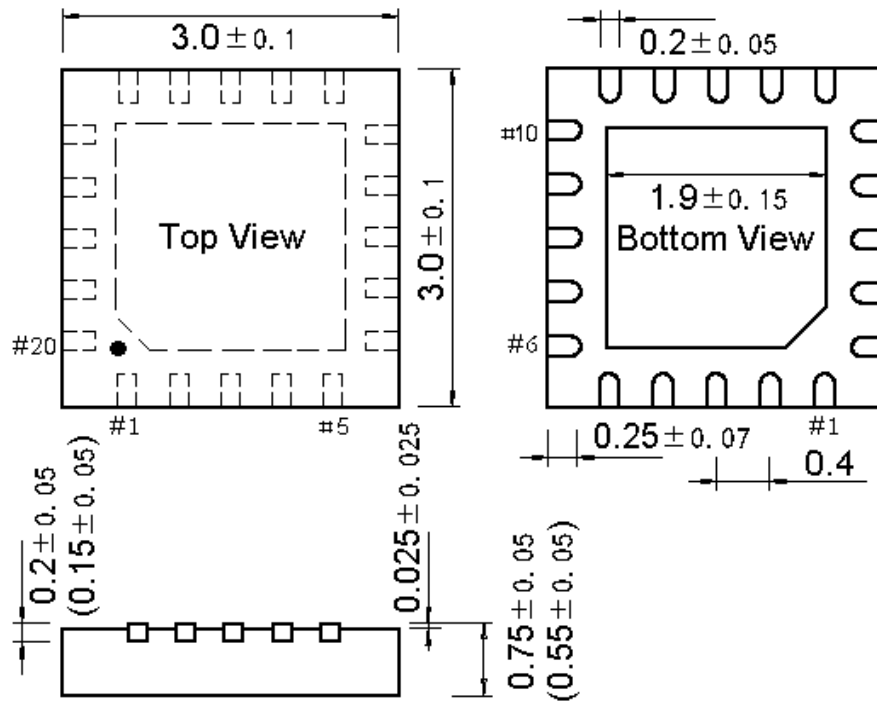
4.3 QFN28 封装



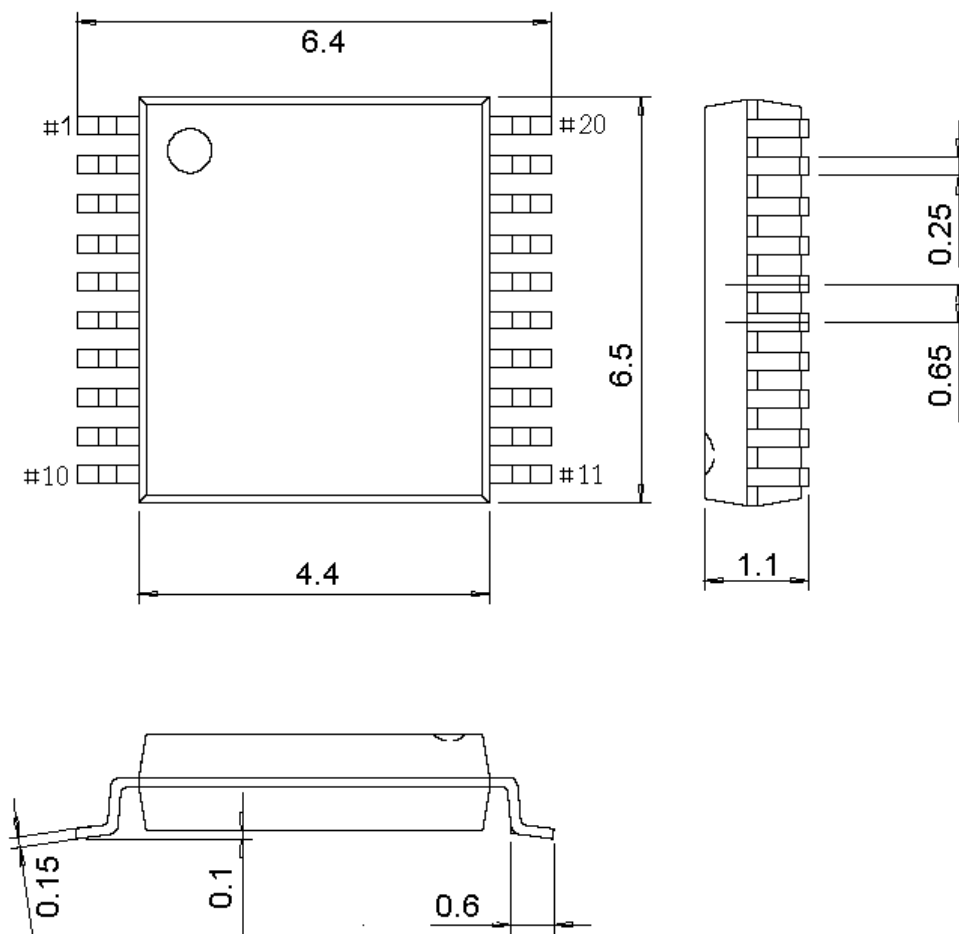
4.4 QSOP28 封装



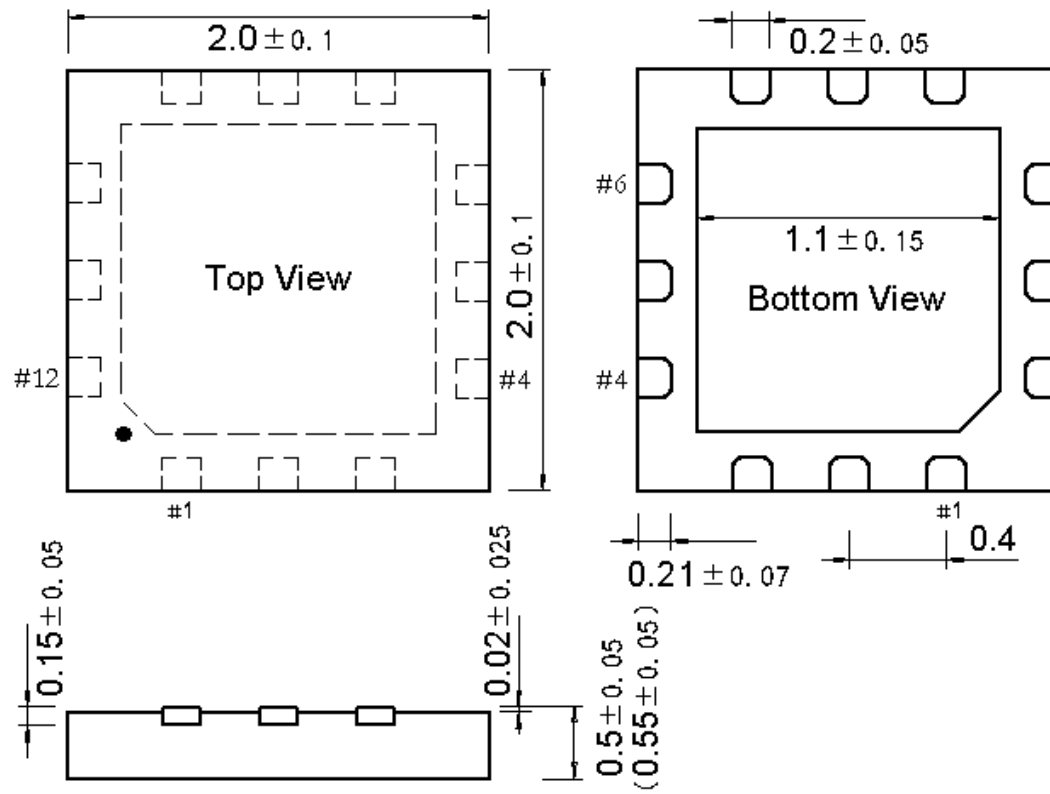
4.5 QFN20 封装



4.6 TSSOP20 封装



4.7 QFN12 封装



系列产品命名规则

举例:	CH32	V	3	03	R	8	T	6
产品系列								
F = 基于 ARM 内核, 通用 MCU								
V = 基于青稞 RISC-V 内核, 通用 MCU								
L = 基于青稞 RISC-V 内核, 低功耗 MCU								
X = 基于青稞 RISC-V 内核, 专用架构或特殊 IO								
产品类型								
0 = 青稞 V2/V4 内核, 超值版, 主频≤48M								
1 = M3/青稞 V3/V4 内核, 基本版, 主频≤72M								
2 = M3/青稞 V4 非浮点内核, 增强版, 主频≤144M								
3 = 青稞 V4F 浮点内核, 增强版, 主频≤144M								
产品子系列								
03 = 通用型								
05 = 连接型 (USB 高速、SDIO、CAN)								
07 = 互联型 (USB 高速、CAN、以太网、SDIO、FSMC)								
08 = 无线型 (蓝牙 BLE5.X、CAN、USB、以太网)								
35 = 连接型 (USB、USB PD/Type-C)								
33 = 连接型 (USB)								
引脚数目								
J = 8 脚	D = 12 脚	A = 16 脚	F = 20 脚					
G = 28 脚	K = 32 脚	T = 36 脚	C = 48 脚					
R = 64 脚	W = 68 脚	V = 100 脚	Z = 144 脚					
闪存存储容量								
4 = 16K 闪存存储器								
6 = 32K 闪存存储器								
7 = 48K 闪存存储器								
8 = 64K 闪存存储器								
B = 128K 闪存存储器								
C = 256K 闪存存储器								
封装								
T = LQFP	U = QFN	R = QSOP	P = TSSOP	M = SOP				
温度范围								
6 = -40℃~85℃ (工业级)								
7 = -40℃~105℃ (汽车 2 级)								
3 = -40℃~125℃ (汽车 1 级)								
D = -40℃~150℃ (汽车 0 级)								