电流输出和电压输出
单通道、16 位 DAC

CM7551 数据手册

特征

- 电流输出
  - 电流输出范围：4mA~20mA、0mA~20mA、0mA~24mA
  - TUE：±0.01% FSR
  - 失调误差温漂：±3ppmFSR/℃
- 电压输出
  - 电压输出范围：0V~5V、0V~10V、±5V、±10V
  - TUE：±0.01% FSR
  - 失调误差温漂：±1ppm FSR/℃
  - 超量程：10%
- 电源范围
  - AVDD：10.8V~40V
  - AVSS：-26.4V~-3V/0V
- 电流输出端口最大电压：AVDD - 2.5V
- 灵活的串行数字接口
- 片内输出故障检测
- 可选内部 DVCC 电压输出
- 异步清零功能
- TSSOP24 7.8mm × 4.4mm 和 QFN40 6mm × 6mm 封装

应用

- 过程控制
- 执行器控制
- PLC

概述

CM7551 是一款精密、完全集成、低成本、16 位数模转换器 (DAC)，能够实现工业过程控制应用常见的可编程电流输出和可编程电压输出。

电压和电流各自通过独立管脚输出，电压输出范围可编程，支持 0V 至 5V、0V 至 10V、±5V 或 ±10V 的电压输出。所有输出范围均支持 10% 的超量程。

电流输出范围可编程设置为 4mA 至 20mA、0mA 至 20mA 或超量程的 0mA 至 24mA。

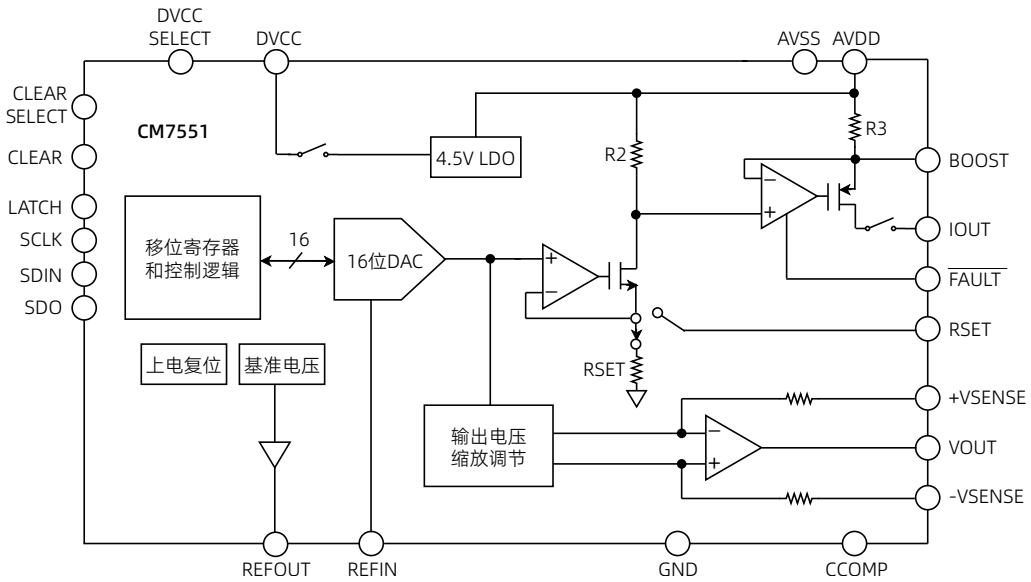
模拟输出具有短路和开路保护，可驱动 1μF 的容性负载。

CM7551 采用灵活的 SPI/MICROWIRE/DSP 兼容型三线串行接口进行通信，从而降低了在隔离应用场景下对数字隔离电路的要求。

CM7551 具有上电复位功能，以确保芯片上电后处于确定状态。此外，芯片还包括一个异步清零管脚 CLEAR，可复位输出电压至最低电平或中间电平，或复位输出电流至选定电流范围的最小值。

CM7551 采用 TSSOP24 型和 QFN40 型封装，其最佳工作温度范围为 -40℃~105℃。

架构框图



目录

封页 1
特征 1
应用 1
概述 1
架构框图 1
文档历史 3
管脚配置和功能 4
管脚配置 4
管脚功能 4
绝对最大额定值 6
电气规格 7
时序规格 13
典型特征 16
通用 16
电压输出 17
电流输出 22
工作原理 26
DAC 结构 26
电压输出放大器 26
驱动较大电容负载 26
上电状态 26
电压输出 27
电流输出 27
数字接口 28
输入移位寄存器 28
独立模式 28
菊花链模式 28
回读操作 28
功能与模式 30
故障报警 30
电压输出电路保护 30
电压输出超量程 30
电压输出检测 30
异步清零 (CLEAR) 30
内部电压基准 30
外部电流设置电阻 30
数字电源 30
外部增强电流功能 30
外部补偿电容 30
HART 通信 31
数字压摆率控制 31
寄存器 33
数据寄存器 33
控制寄存器 33
复位寄存器 34
状态寄存器 34
封装及订购信息 35
封装方式 35
产品外形图 35
订购信息 38

文档历史

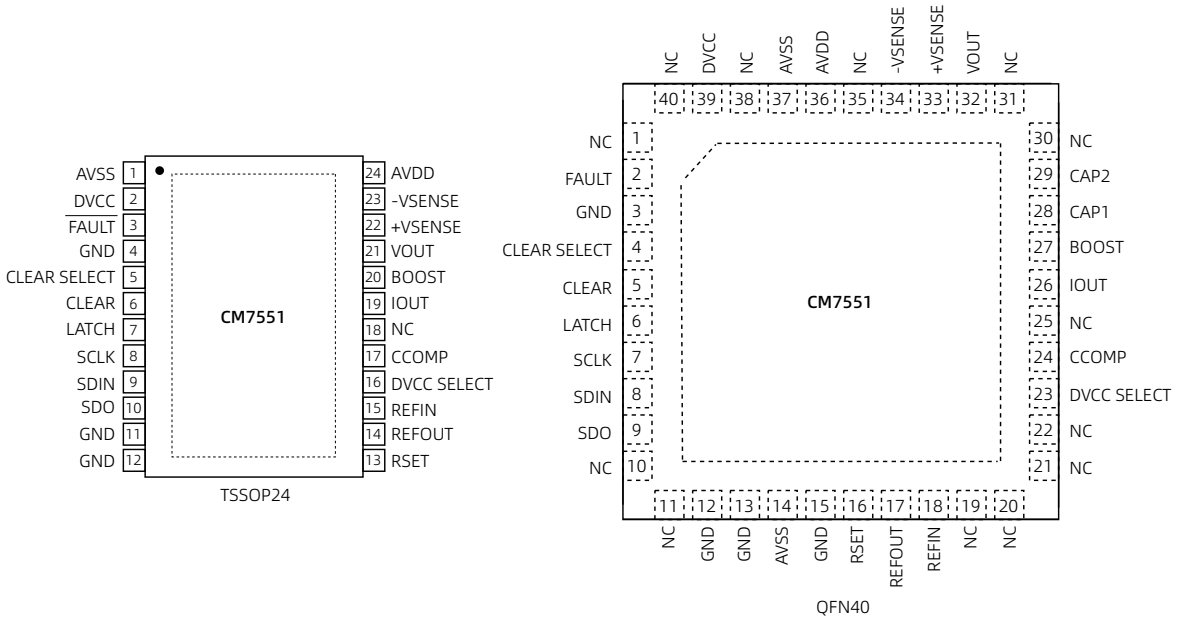
下表列举了本文档自产品发布后的所有更新。

文档版本	修订日期	内容描述
V1.0	2026-04-10	量产发布。
V1.1	2026-08-21	更新 QFN40 封装尺寸信息。

管脚配置和功能

管脚配置

以下为 TSSOP24 和 QFN40 封装管脚示意图：



管脚功能

表 1 管脚功能描述

名称	类型	说明
AVSS	PWR	负电源。电压范围为 -24V 至 -3V。如果输出电压范围为单极性，该管脚可连接至 0V。
DVCC	PWR	数字电源。电压范围为 2.7V 至 5.5V。通过将 DVCC SELECT 管脚浮空，该管脚还可以配置为 4.5V 稳压器输出。
$\overline{\text{FAULT}}$	DO	故障报警。当检测到过温，或在电流输出模式下检测到开路时，该管脚被置低。该管脚必须通过上拉电阻连接至 DVCC。
GND	GND	接地参考点。
CLEAR SELECT	DI	选择电压输出清零值，输出至最低电平或者中间电平（参见表 7 ）。
CLEAR	DI	将该管脚置高可将电流输出设置为所选范围内的最低值，或将电压输出设置为用户选择的最低电平或中间电平。
LATCH	DI	锁存信号。 LATCH 的上升沿将移位寄存器的数据并行加载到 DAC 寄存器，同时更新输出。
SCLK	DI	串行时钟输入，数据在 SCLK 的上升沿加载到移位寄存器。时钟速率最高可达 30MHz。
SDIN	DI	串行数据输入。数据必须在 SCLK 上升沿到来之前准备就绪。
SDO	DO	串行数据输出。菊花链模式或者回读模式下，数据在 SCLK 的上升沿从串行寄存器移位输出。参见图 2 和图 3 。
RSET	AI	连接一个外部高精度、低温漂电阻 (15kΩ)，以改善 IOUT 温漂性能。

名称	类型	说明
REFOUT	AO	内部基准电压输出。电压范围为 5V ± 5mV。该管脚与地之间需连接不小于 100nF 的电容。
REFIN	AI	外部基准电压输入。电压范围为 4.5V 至 5V。
DVCC SELECT	DI	内部电源启用管脚。当连接至 GND 时，该管脚会禁用内部电源，此时必须将外部电源连接至 DVCC 管脚。将该管脚浮空可启用内部电源。这种情况下，建议在 DVCC 和 GND 之间连接一个 0.1μF 电容。
CCOMP	AO	电压输出缓冲的可选补偿电容连接。在该管脚和 VOUT 管脚之间连接一个 200pF 电容，可以使电压输出驱动高达 1μF 的负载。需要注意的是，增加该电容会降低输出放大器的带宽，从而增加稳定时间。
NC	-	浮空。
IOUT	AO	电流输出管脚。
BOOST	AO	可选外部晶体管连接。连接外部晶体管可减少芯片的内部功耗。
CAP1/CAP2	AI/AO	可选输出滤波电容连接点。
VOUT	AO	缓冲模拟电压输出。输出放大器可直接驱动 1kΩ，2000pF 的负载。
+VSENSE	AI	外接负载的正电压检测端。
-VSENSE	AI	外接负载的负电压检测端。
AVDD	PWR	正电源。电压范围为 10.8V 至 40V。
EPAD	-	该管脚电压范围为 -24V 至 -3V ，可以将该管脚连接至 AVSS；也可以不进行电气连接，只用于芯片散热。

绝对最大额定值

参数	等级
温度	
工作温度	-40℃~105℃
存储温度	-65℃~150℃
结温	125℃
耐压	
AVDD 至 GND	-0.3V~48V
AVSS 至 GND	-28V~0.3V
AVDD 至 AVSS	-0.3V~60V
DVCC 至 GND	-0.3V~7V
数字输入至 GND	-0.3V~(DVCC + 0.3V/7V)
数字输出至 GND	-0.3V~(DVCC + 0.3V/7V)
REFIN/REFOUT 至 GND	-0.3V~7V
VOUT/IOUT 至 GND	AVSS~AVDD

注1： 使用本表以外的数值可能会对芯片造成永久性损坏 。 长时间暴露于本表数值下可能会影响芯片的稳定性和使用寿命 。
注2： 持续在超出指定结温下工作可能会影响芯片稳定性 。

电气规格

默认测试条件：AVDD = 10.8V~26.4V、AVSS = –26.4V~–3V/0V、AVDD + |AVSS| < 52.8V、GND = 0V、REFIN = 5V（外部）、DVCC = 2.7V~5.5V、VOUT:R_L = 1kΩ、C_L = 200pF、 IOUT:R_L = 350Ω、TA = -40°C~105°C。

参数	测试条件	最小值	典型值	最大值	单位
电压输出					
电压输出范围		0		5	V
		0		10	V
		-5		5	V
		-10		10	V
静态性能					
分辨率		16			Bits
TUE		-0.05		0.05	% FSR
	TA = –40°C~85°C	-0.03		0.03	% FSR
	TA = 25°C	-0.02	±0.01	0.02	% FSR
DNL		-1		1	LSB
	TA = –40°C~85°C	-1		0.8	LSB
INL[1]		-0.003		0.003	% FSR
双极性零压失调误差	双极性输出	-2		2	mV
	双极性输出，TA = –40°C~85°C	-1.5		1.5	mV
	双极性输出，TA = 25°C		±0.2		mV
双极性零压失调误差温漂			±1		ppm FSR/°C
零码输入误差		-2		2	mV
	TA = –40°C~85°C	-1.5		1.5	mV
	TA = 25°C		±0.3		mV
零码输入误差温漂			±1		ppm FSR/°C
失调误差	单极性输出	-2		2	mV
	单极性输出，TA = –40°C~85°C	-1.5		1.5	mV
	单极性输出，TA = 25°C		±0.2		mV
失调误差温漂			±1		ppm FSR/°C
增益误差		-0.02		0.02	% FSR
	TA = 25°C		±0.002		% FSR
增益误差温漂			±0.8		ppm FSR/°C
	TA = –40°C~85°C		±0.6		ppm FSR/°C
满量程误差		-0.05		0.05	% FSR
	TA = 25°C		±0.003		% FSR

参数	测试条件	最小值	典型值	最大值	单位
满量程误差温漂			±1		ppm FSR/°C
	TA = -40°C~85°C		±0.6		ppm FSR/°C
输出特征					
净空电压	输出空载		0.5	0.8	V
短路电流			20		mA
负载		1			kΩ
容性负载稳定性	R_L = ∞，TA = 25°C			20	nF
	R_L = 1kΩ，TA = 25°C			5	nF
	R_L = ∞，连接 200pF 外部补偿电容，TA = 25°C			1	μF
直流输出阻抗			0.1		Ω
上电时间			14		ms
直流 PSRR			30	50	uV/V
	输出空载		3	12	uV/V
动态性能					
建立时间	10V 阶跃到 ±0.03% FSR		11		μs
	20V 阶跃到 ±0.03% FSR		20		μs
	5V 阶跃到 ±0.03% FSR		6		μs
	512LSB 阶跃到 ±0.03% FSR		6		μs
压摆率			1.3		V/μs
上电瞬态能量			20		nV-sec
数模瞬态能量			1.5		nV-sec
毛刺脉冲峰值幅度			12		mV
数字馈通			1.5		nV-sec
输出噪声	0.1Hz~10Hz		0.1		LSB pp
	100kHz		200		μV rms
1/f 噪声拐角频率			1		kHz
输出噪声谱密度	10V，10kHz，中间电平输出		150		nV/$\sqrt{Hz}$
交流 PSRR	200mV，50Hz/60Hz 正弦波叠加在电源电压上		-80		dB
电流输出					
电流输出范围		4		20	mA
		0		20	mA
		0		24	mA
静态性能（内部 R_{SET}）					

参数	测试条件	最小值	典型值	最大值	单位
TUE		-0.2		0.2	% FSR
	TA = -40°C~85°C	-0.15		0.15	% FSR
	TA = 25°C		±0.01		% FSR
DNL		-1		1	LSB
	TA = -40°C~85°C	-1		0.8	LSB
INL[2]		–0.012		0.012	% FSR
失调误差		–0.15		0.15	% FSR
	TA = -40°C~85°C	-0.08		0.08	% FSR
	TA = 25°C		±0.01		% FSR
失调误差温漂			±5		ppm FSR/°C
	TA = -40°C~85°C		±3		ppm FSR/°C
增益误差		-0.15		0.15	% FSR
	TA = -40°C~85°C	-0.1		0.1	% FSR
	TA = 25°C		±0.006		% FSR
增益误差温漂			±10		ppm FSR/°C
	TA = -40°C~85°C		±8		ppm FSR/°C
满量程误差		-0.2		0.2	% FSR
	TA = 25°C		±0.01		% FSR
满量程误差温漂			±10		ppm FSR/°C
	TA = -40°C~85°C		±8		ppm FSR/°C
静态性能（外部 R_{SET}）					
TUE		-0.1		0.1	% FSR
	TA = 25°C		±0.01		% FSR
DNL	TA = -40°C~85°C	-1		1	LSB
		-1		0.8	LSB
INL[2]		-0.01		0.01	% FSR
失调误差		–0.1		0.1	% FSR
	TA = -40°C~85°C	-0.05		0.05	% FSR
	TA = 25°C		±0.005		% FSR
失调误差温漂			±5		ppm FSR/°C
	TA = -40°C~85°C		±3		ppm FSR/°C
增益误差		-0.12		0.12	% FSR
	TA = -40°C~85°C	-0.08		0.08	% FSR
	TA = 25°C		±0.002		% FSR
增益误差温漂			±4		ppm FSR/°C

参数	测试条件	最小值	典型值	最大值	单位
满量程误差		-0.1		0.1	% FSR
	TA = 25°C		±0.01		% FSR
满量程误差温漂			±4		ppm FSR/°C
	TA = -40°C~85°C		±3		ppm FSR/°C
输出特征					
电流回路合规电压		0		AVDD – 2.5	V
电阻性负载				1200	Ω
电感性负载	TA = 25°C		50		mH
直流 PSRR				1	μA/V
输出阻抗			50		MΩ
输出漏电流	输出关闭		60		pA
动态性能					
建立时间	16mA 阶跃到 0.1% FSR		8		μs
	16mA 阶跃到 0.1% FSR，L = 1mH		40		μs
交流 PSRR	200mV，50Hz/60Hz 正弦波叠加在电源电压上		-75		dB
基准输入/输出					
输入电压		4.95	5	5.05	V
直流输入阻抗			38		kΩ
输出电压	TA = 25°C	4.995	5	5.005	V
输出电压温漂			6		ppm/°C
输出噪声	0.1Hz~10Hz		10		μVpp
噪音频谱密度	10kHz		100		nV/$\sqrt{Hz}$
容性负载			600	1100	nF
负载电流			7		mA
短路电流			15		mA
负载调整率			50		ppm/mA
数字输入					
V_{IH}		2			V
V_{IL}				0.8	V
电流		-1		1	μA
管脚电容			10		pF
数字输出					

参数	测试条件	最小值	典型值	最大值	单位
SDO	V_{OL}，灌电流 = 200μA			0.4	V
	V_{OH}，拉电流 = 200μA	DVCC – 0.5			V
	高阻态漏电流	-1		1	μA
	高阻态输出电容		5		pF
$\overline{FAULT}$	V_{OL}，10kΩ 电阻至 DVCC			0.4	V
	V_{OL}，2.5mA		0.6		V
	V_{OH}，10kΩ 电阻至 DVCC	3.6			V
电源					
AVDD		10.8		40	V
AVSS		-26.4		0	V
|AVSS| + AVDD		10.8		52.8	V
DVCC	输入电压	2.7		5.5	V
	输出电压		4.5		V
	输出负载电流		5		mA
	短路电流		70		mA
AIDD	输出关闭		2.5		mA
	电流输出启用，未接负载		4		mA
	电压输出启用，未接负载		4.5		mA
AISS	输出关闭		0.25		mA
	电流输出启用		0.5		mA
	电压输出启用		1		mA
DICC	V_{IH} = DVCC，V_{IL} = GND		0.1		mA
功耗	AVDD = 40V，AVSS = 0V，输出空载		148		mW
	AVDD = 24 V，AVSS = –24V，输出空载		139		mW

注 1: 当使用 AVSS = 0V 上电时，0V~5V 范围和 0V~10V 范围的 INL 从 CM7551 的码字 256 开始测量。

注 2: 对于 0mA~20mA 和 0mA~24mA 电流范围，INL 从 CM7551 的码字 256 开始测量。

默认测试条件：AVDD = 15V~26.4V、AVSS = –26.4V~–3V/0V、AVDD + |AVSS| < 52.8V、GND = 0V、REFIN = 5V（外部）、DVCC = 2.7V~5.5V、VOUT:R_L = 1kΩ、C_L = 200pF、 IOUT:R_L = 350Ω、TA = -40°C~105°C。

参数	测试条件	最小值	典型值	最大值	单位
电压输出					
电压输出范围		0		5.5	V
		0		11	V
		-5.5		5.5	V
		-11		11	V
分辨率		16			Bits
静态性能					
TUE		-0.1		0.1	% FSR
DNL		-1		1	LSB
INL		-0.004		0.004	% FSR
	TA = 25°C		±0.002		% FSR
双极性零压失调误差	双极性输出	-5		5	mV
双极性零压失调误差温漂			±1		ppm FSR/°C
零码输入误差		-5		5	mV
零码输入误差温漂			±1		ppm FSR/°C
失调误差	单极性输出	-2		2	mV
失调误差温漂			±1		ppm FSR/°C
增益误差		-0.05		0.05	% FSR
增益误差温漂			±1		ppm FSR/°C
满量程误差		-0.05		0.05	% FSR
满量程误差温漂			±1		ppm FSR/°C

时序规格

参数	描述	最小值	典型值	最大值	单位
写模式					
t_{SCK}	SCLK 周期	33			ns
t_{SCKL}	SCLK 低电平时间	13			ns
t_{SCKH}	SCLK 高电平时间	13			ns
t_{LATCHD}	LATCH 延迟	13			ns
t_{LATCHH}	LATCH 高电平时间	5			ns
t_{DATST}	数据建立时间	5			ns
t_{DATHD}	数据保持时间	5			ns
t_{LATCHL}	LATCH 低电平时间	40			ns
$t_{CLEARPW}$	CLEAR 脉冲宽度	20			ns
$t_{CLEARACTVT}$	启用 CLEAR 管脚到 DAC 输出清至最小电平/中间电平所需要的时间			5	μs
回读模式					
t_{SCK}	SCLK 周期	90			ns
t_{SCKL}	SCLK 低电平时间	40			ns
t_{SCKH}	SCLK 高电平时间	40			ns
t_{LATCHD}	LATCH 延迟	13			ns
t_{LATCHH}	LATCH 高电平时间	40			ns
t_{DATST}	数据建立时间	5			ns
t_{DATHD}	数据保持时间	5			ns
t_{LATCHL}	LATCH 低电平时间	40			ns
t_{SPID}	串行输出延迟 ($C_{L\ SDO}$ = 15pF)[1]			35	ns
$t_{LATCHSDO}$	LATCH 上升沿到 SDO 三态 ($C_{L\ SDO}$ = 15pF)[1]			35	ns
菊花链模式					
t_{SCK}	SCLK 周期	90			ns
t_{SCKL}	SCLK 低电平时间	40			ns
t_{SCKH}	SCLK 高电平时间	40			ns
t_{LATCHD}	LATCH 延迟	13			ns
t_{LATCHH}	LATCH 高电平时间	40			ns
t_{DATST}	数据建立时间	5			ns
t_{DATHD}	数据保持时间	5			ns
t_{LATCHL}	LATCH 低电平时间	40			ns
t_{SPID}	串行输出延迟 ($C_{L\ SDO}$ = 15pF)[1]			35	ns

参数	描述	最小值	典型值	最大值	单位
$t_{LATCHSCKINT}$	LATCH 上升沿到下一个 SCLK 上升沿之间的间隔时间	10（写模式）			ns
		32（回读模式）			ns
		32（菊花链模式）			ns

注 1：$C_{L\ SDO}$ 表示 SDO 输出上的容性负载。

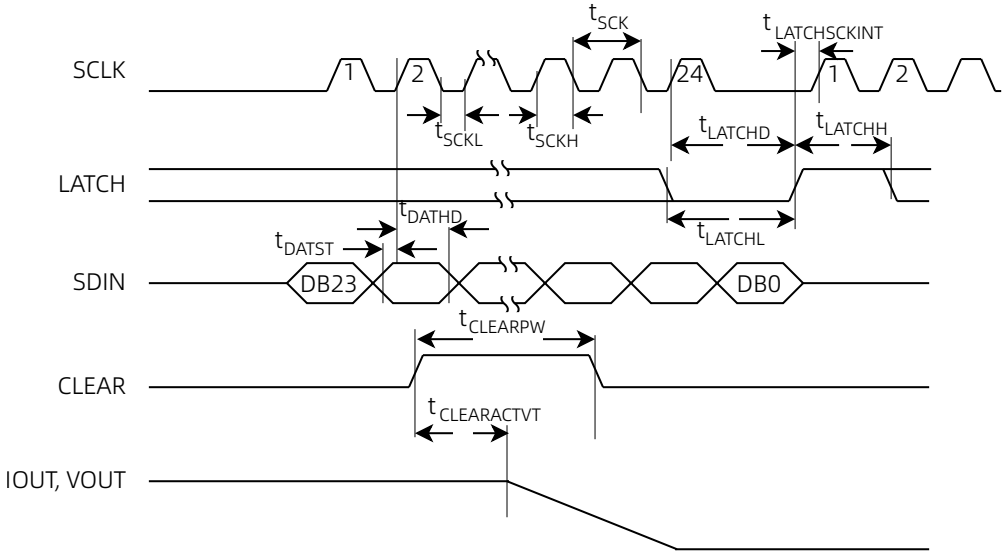


图 1 写模式时序图

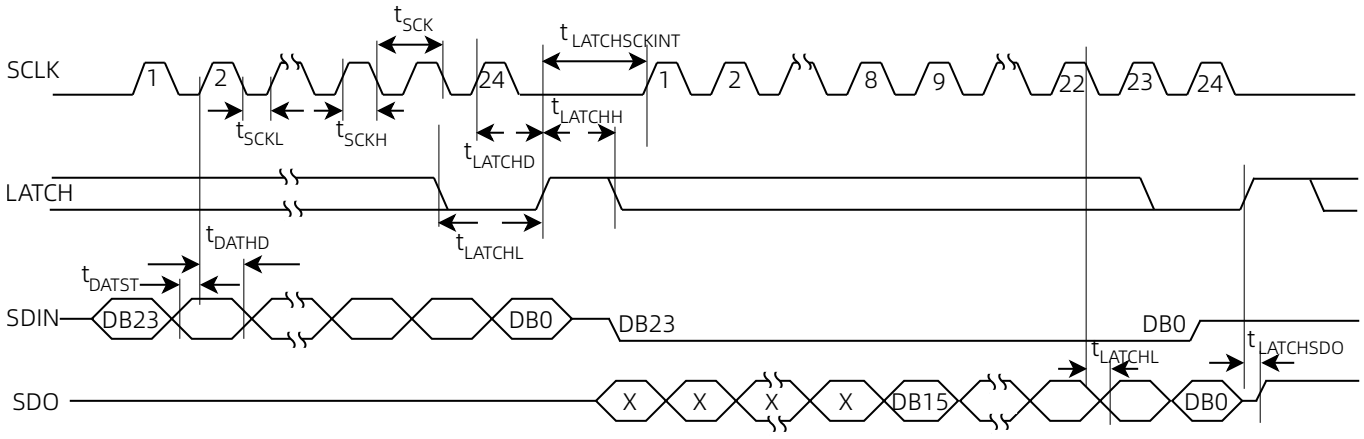


图 2 回读模式时序图

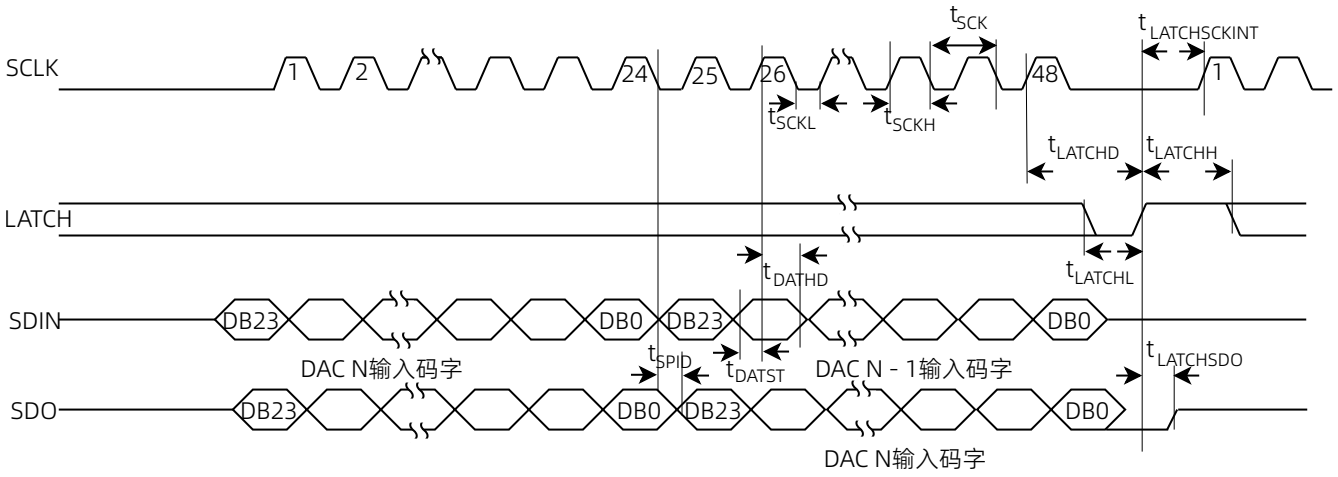

SCLK
LATCH
SDIN
SDO
1
2
24
25
26
48
1
tSCK
tLATCHSCKINT
tSCKL
tSCKH
tLATCHD
tLATCHH
tDATHD
tLATCHL
DB23
DB0
DB23
DB0
DAC N输入码字
tSPID
tDATST
DAC N - 1输入码字
tLATCHSDO
DB23
DB0
DB23
DB0
DAC N输入码字

图 3 菊花链模式时序图

典型特征

通用

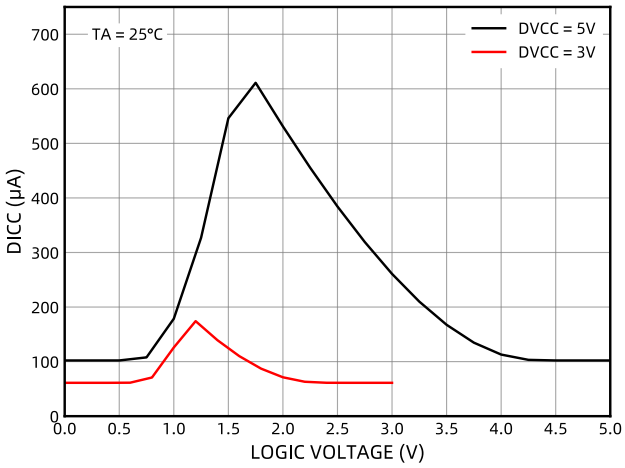


图 4 DICC vs 逻辑输入电压

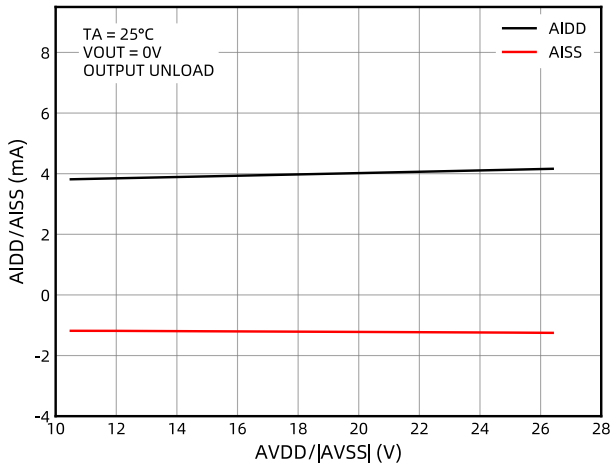


图 5 AIDD/AISS vs AVDD/|AVSS|

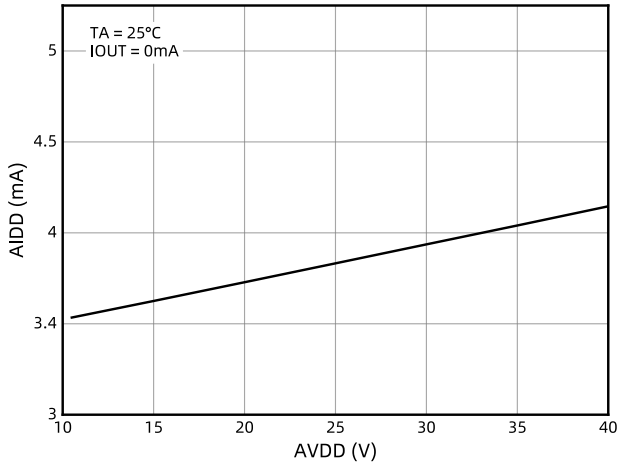


图 6 AIDD vs AVDD

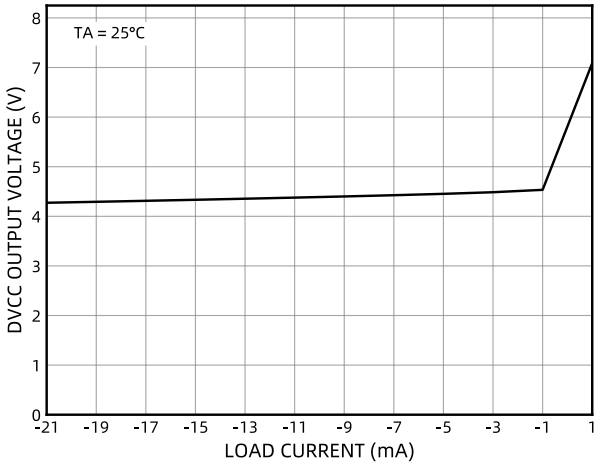


图 7 DVCC 输出电压随负载电流的变化

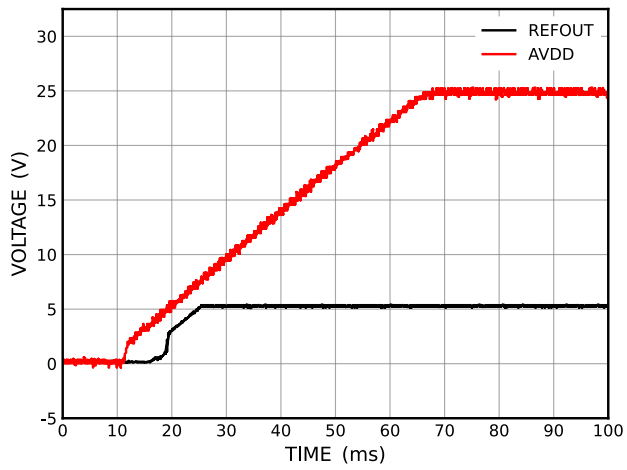


图 8 REFOUT 启动瞬态

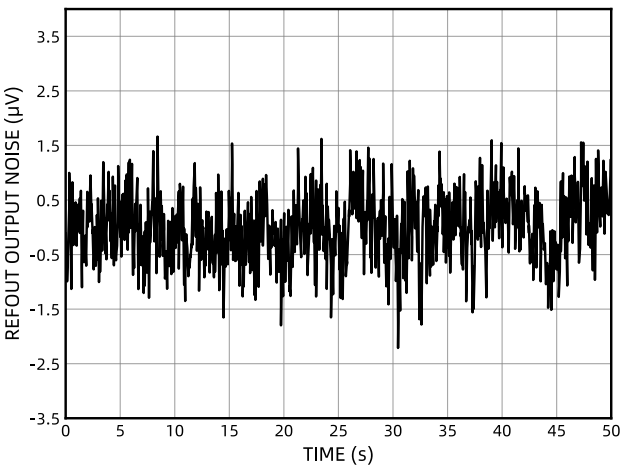


图 9 REFOUT 输出噪声 (0.1Hz~10Hz)

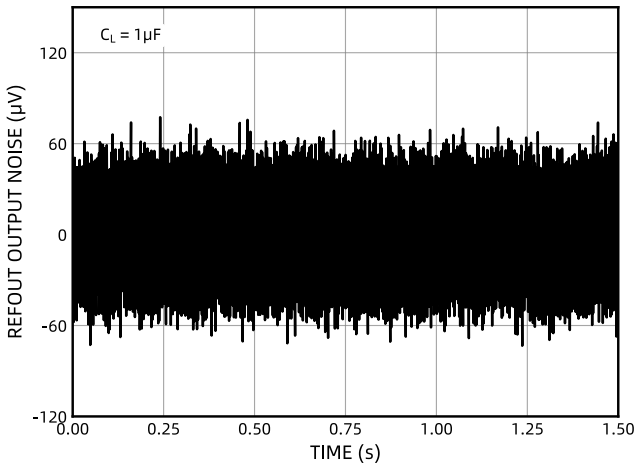


图 10 REFOUT 输出噪声 (100kHz)

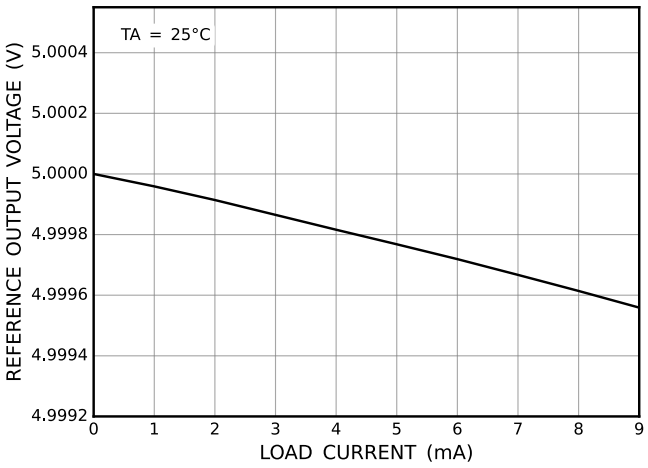


图 11 基准输出电压随负载电流的变化

电压输出

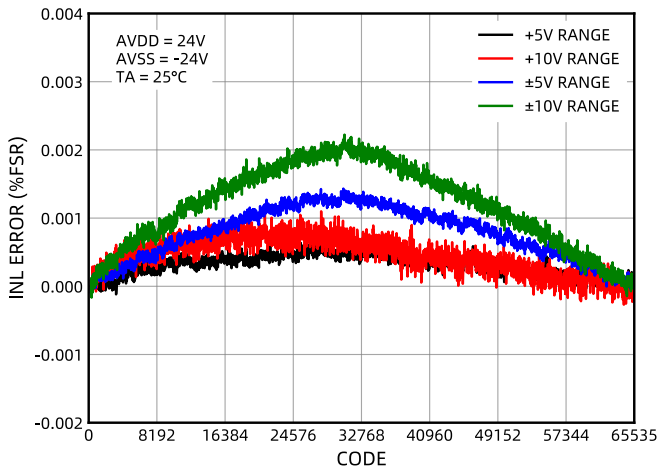


图 12 INL vs DAC 码值（双电源）

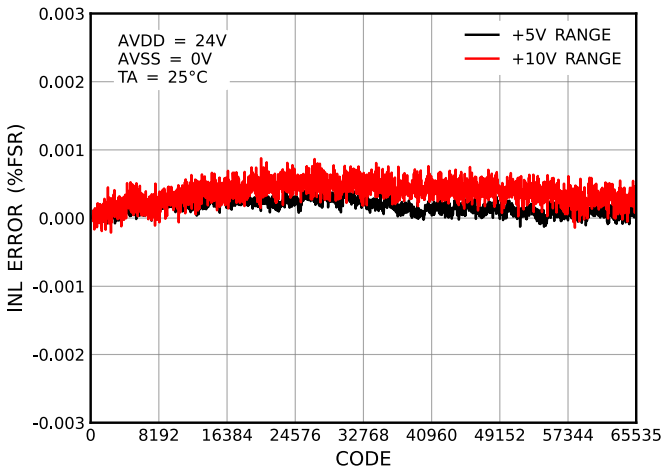


图 13 INL vs DAC 码值（单电源）

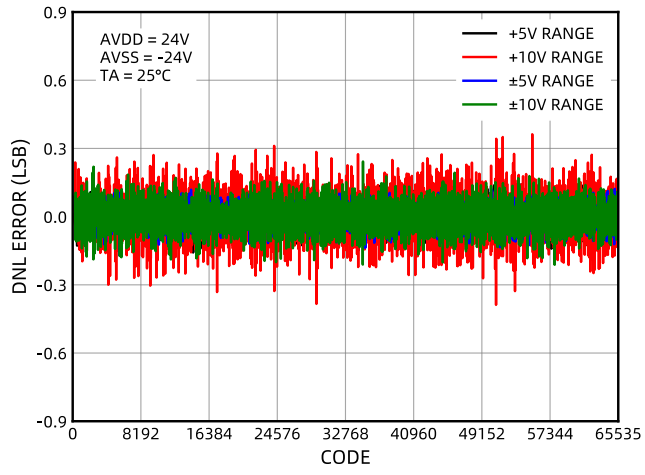


图 14 DNL vs DAC 码值（双电源）

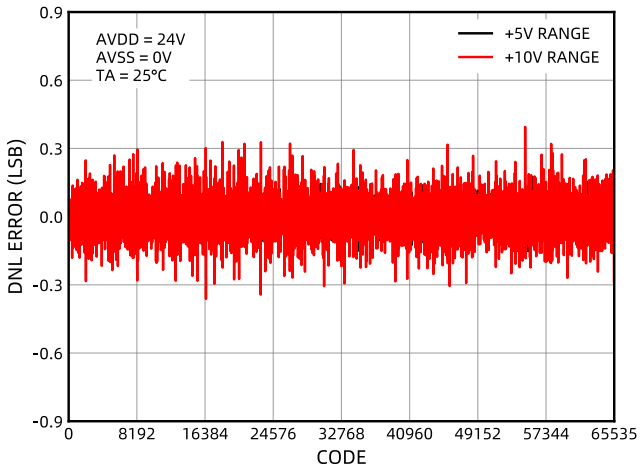


图 15 DNL vs DAC 码值（单电源）

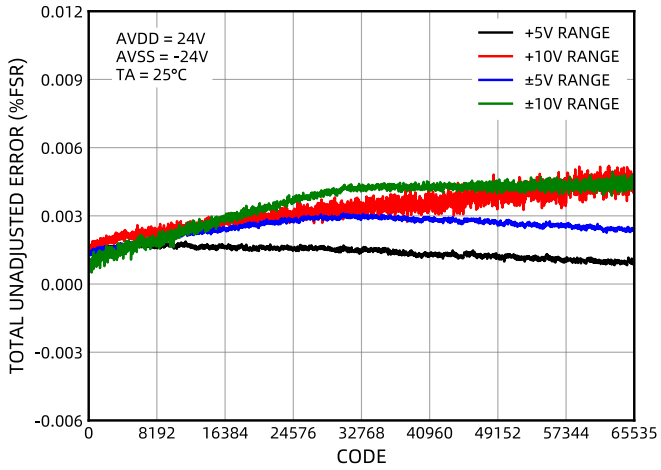


图 16 TUE vs DAC 码值（双电源）

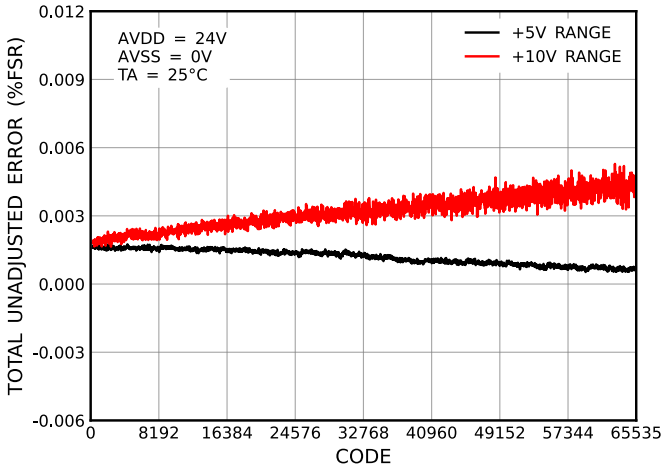


图 17 TUE vs DAC 码值（单电源）

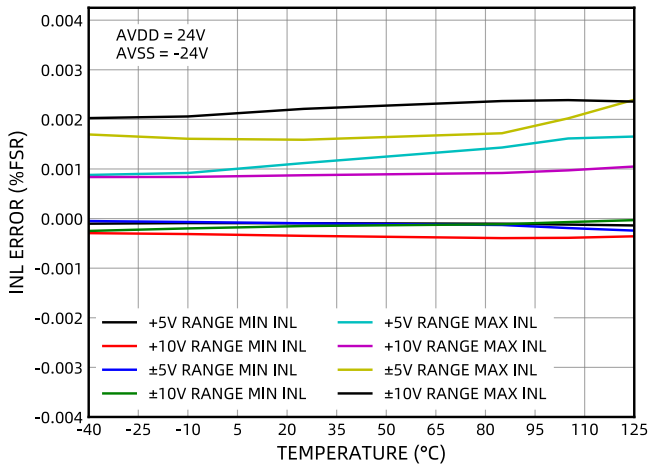


图 18 INL 的温度特性

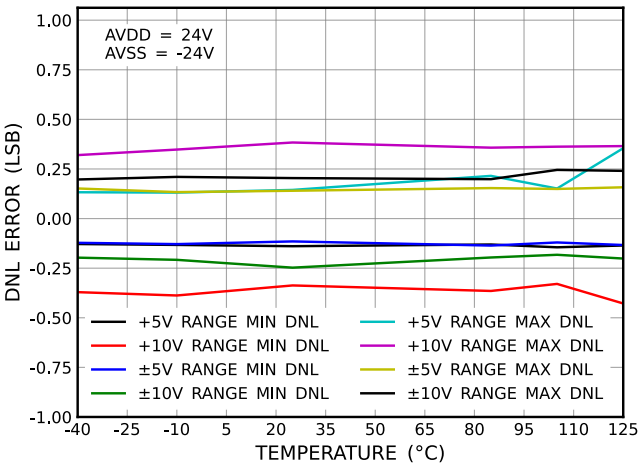


图 19 DNL 的温度特性

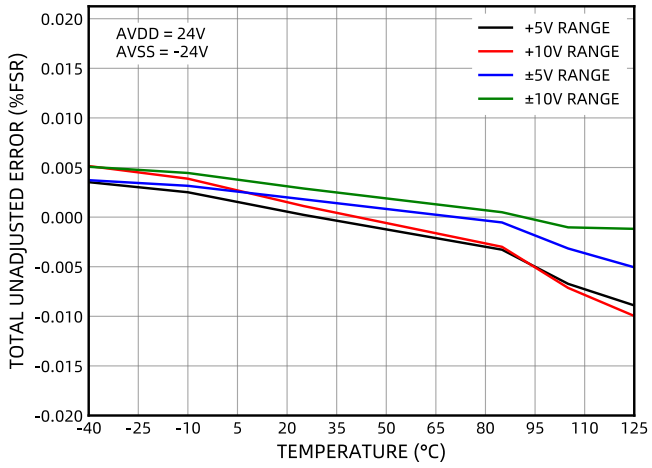


图 20 TUE 的温度特性

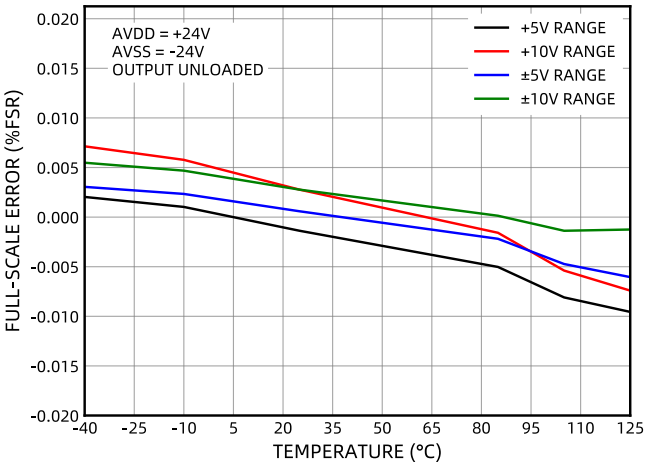


图 21 满量程误差的温度特性

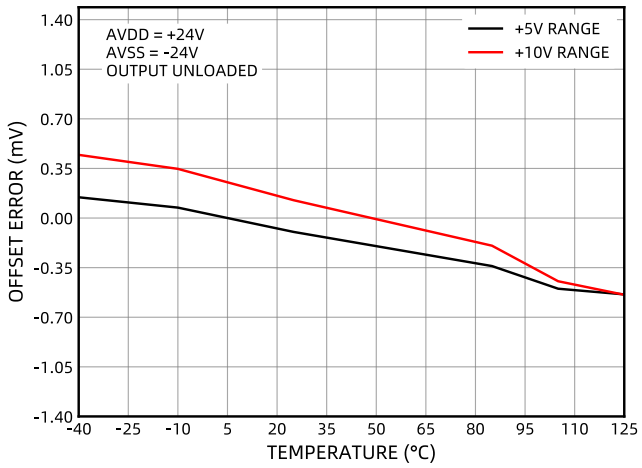


图 22 失调误差的温度特性

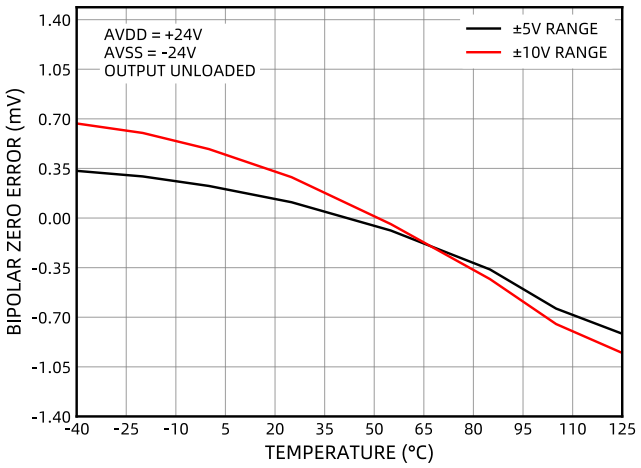


图 23 双极性零码误差的温度特性

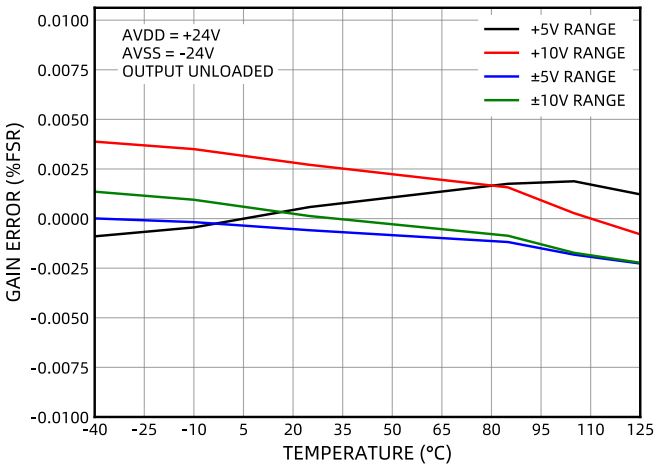


图 24 增益误差的温度特性

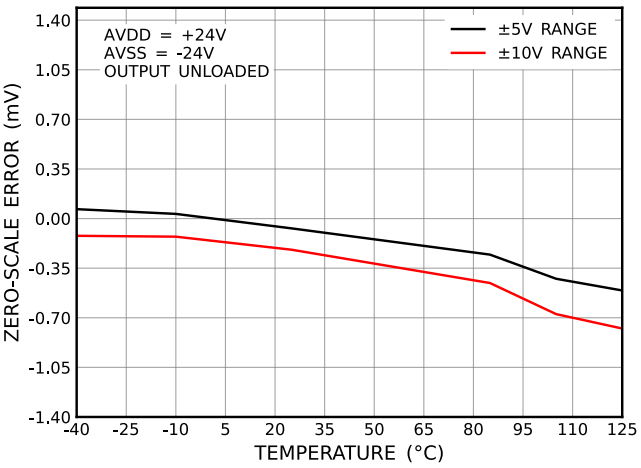


图 25 零码输入误差的温度特性

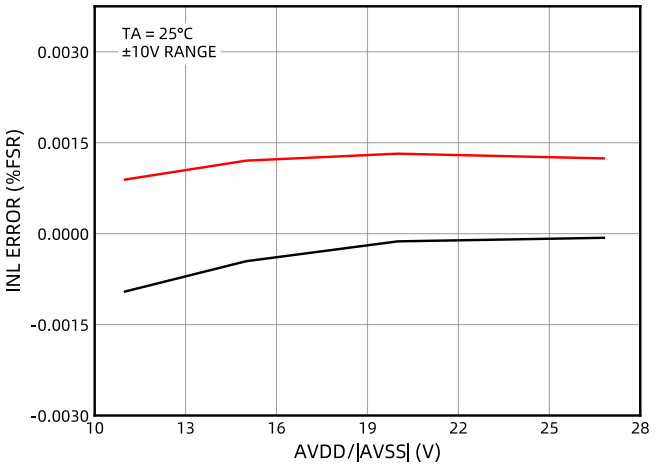


图 26 INL vs AVDD/|AVSS|

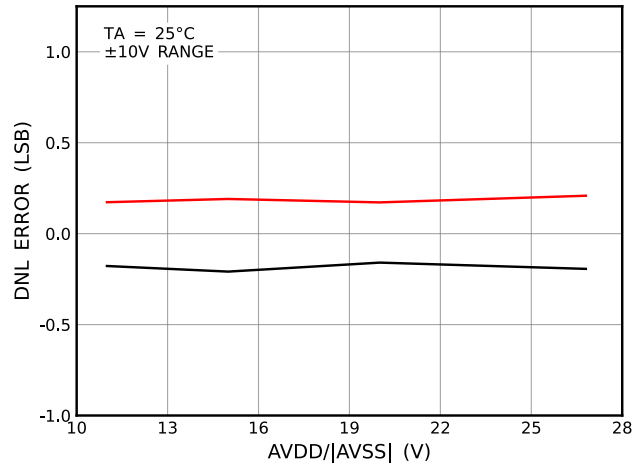


图 27 DNL vs AVDD/|AVSS|

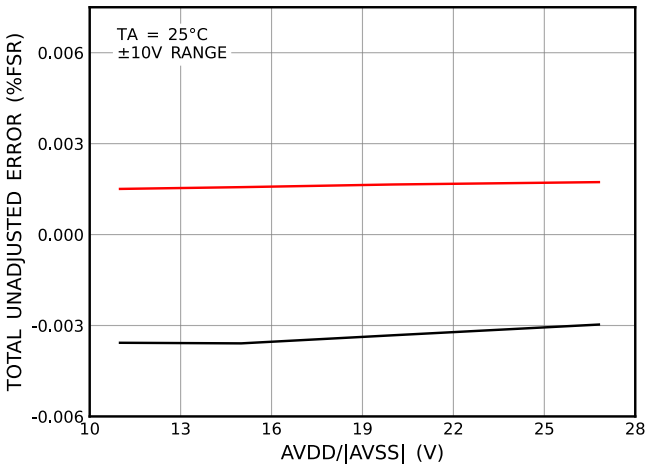


图 28 TUE vs AVDD/|AVSS|

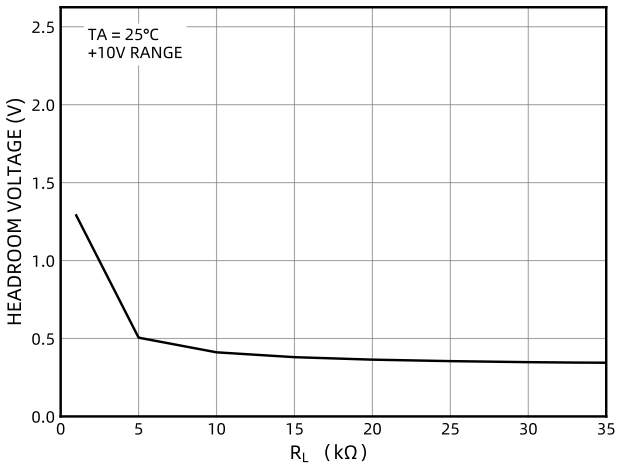


图 29 净空电压随负载的变化

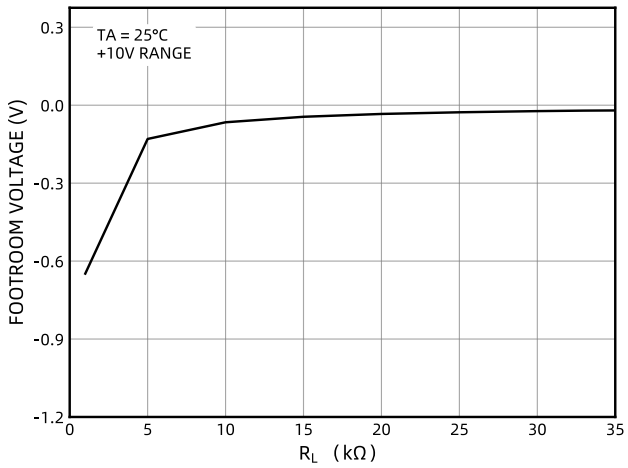


图 30 负向裕量电压随负载的变化

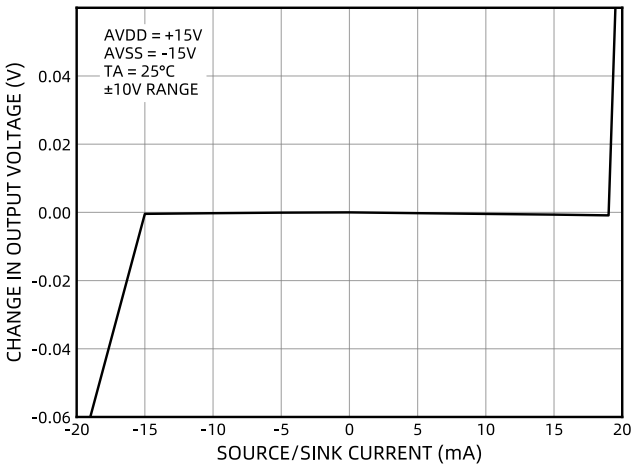


图 31 负满量程下输出放大器的灌电流和拉电流能力

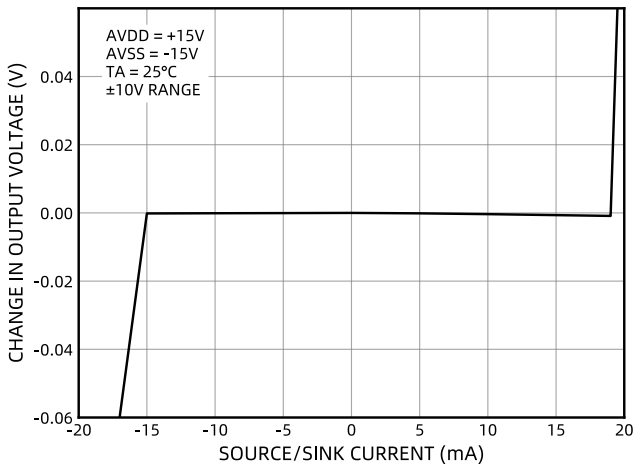


图 32 正满量程下输出放大器的灌电流和拉电流能力

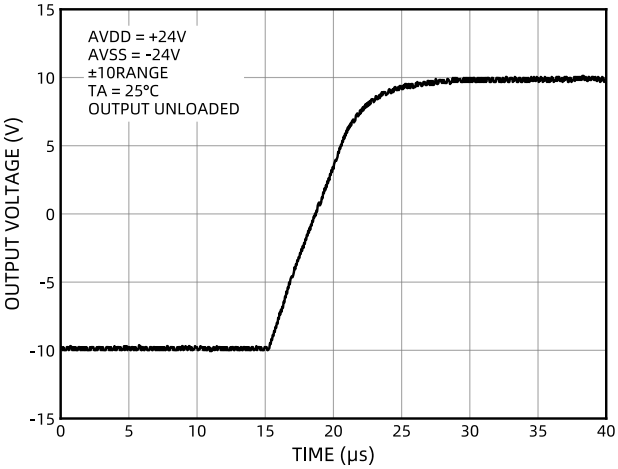


图 33 满量程正阶跃

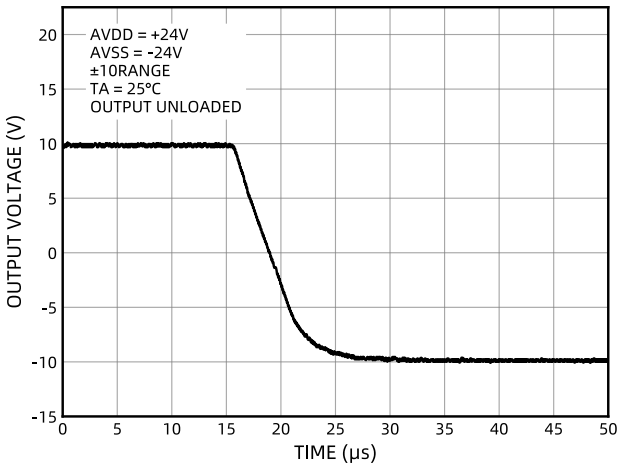


图 34 满量程负阶跃

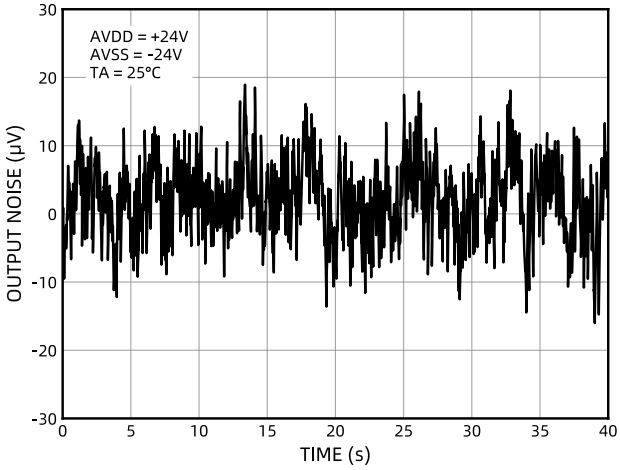


图 35 输出电压噪声 (0.1Hz~10Hz)

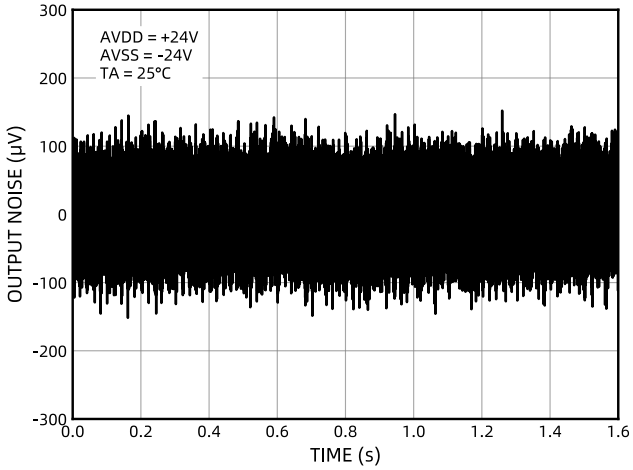


图 36 峰峰电压噪声 (100kHz)

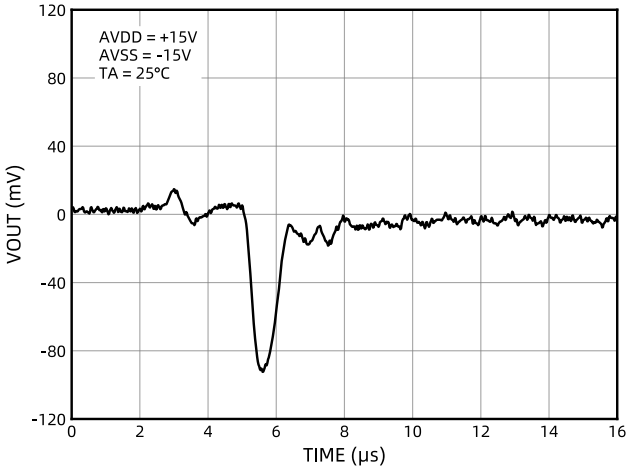


图 37 上电瞬态能量

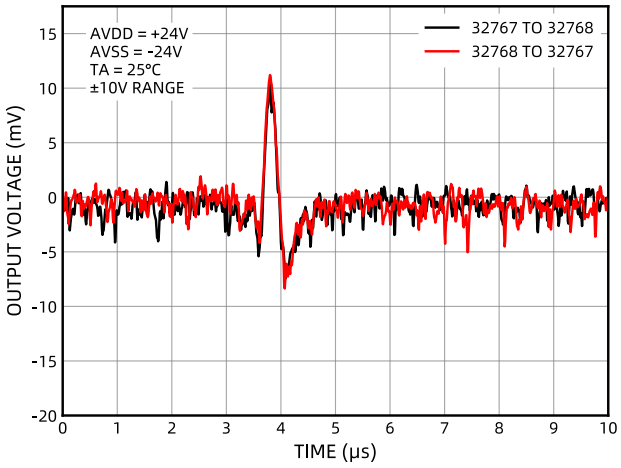


图 38 毛刺脉冲峰值幅度

电流输出

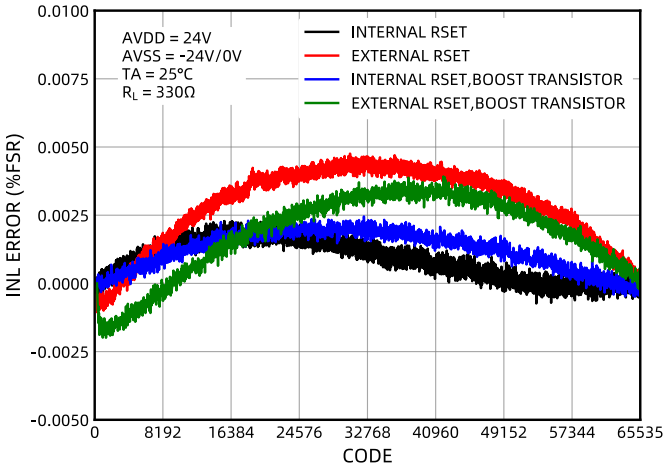


图 39 INL vs DAC 码值

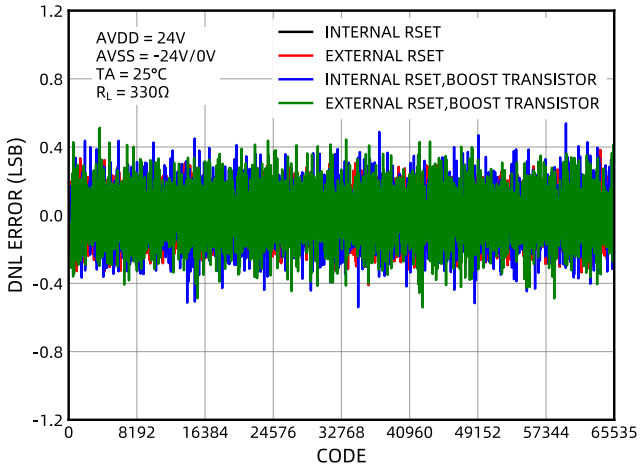


图 40 DNL vs DAC 码值

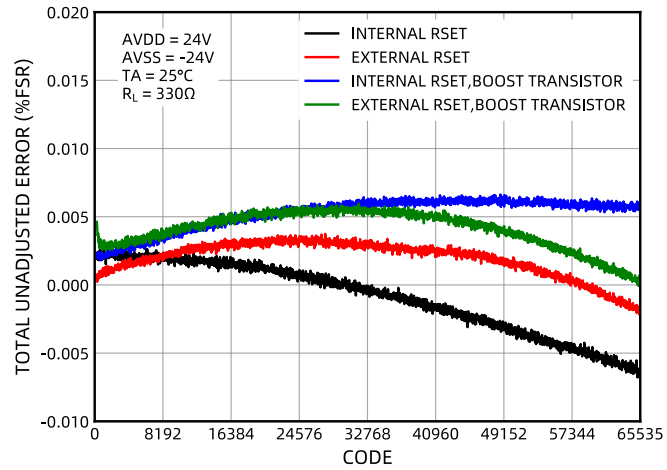


图 41 TUE vs DAC 码值

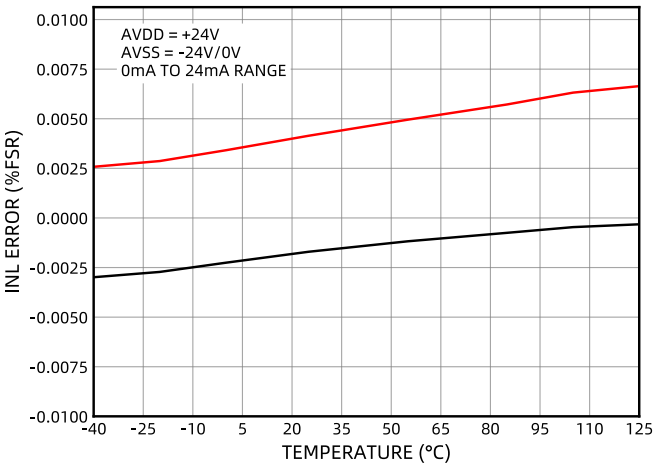


图 42 INL 的温度特性（内部电阻）

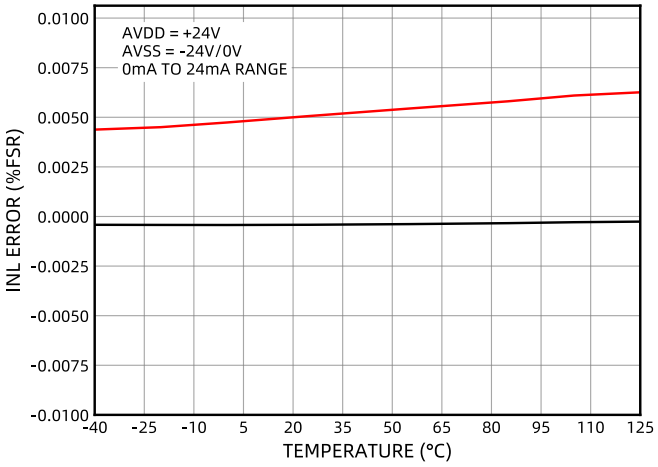


图 43 INL 的温度特性（外部电阻）

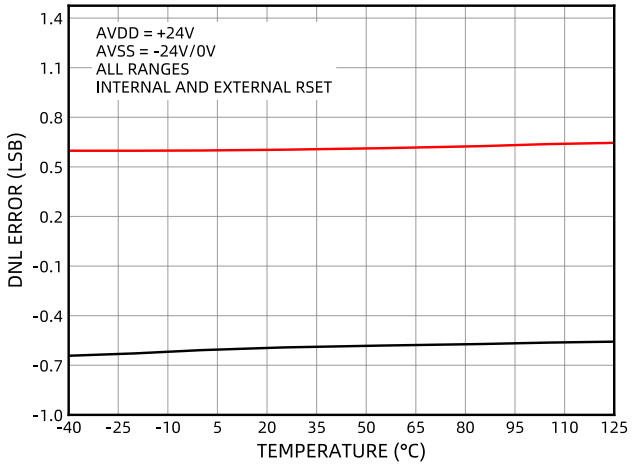


图 44 DNL 的温度特性

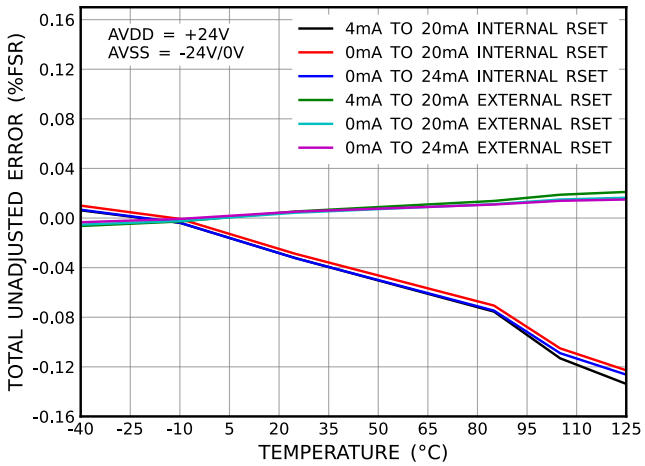


图 45 TUE 的温度特性

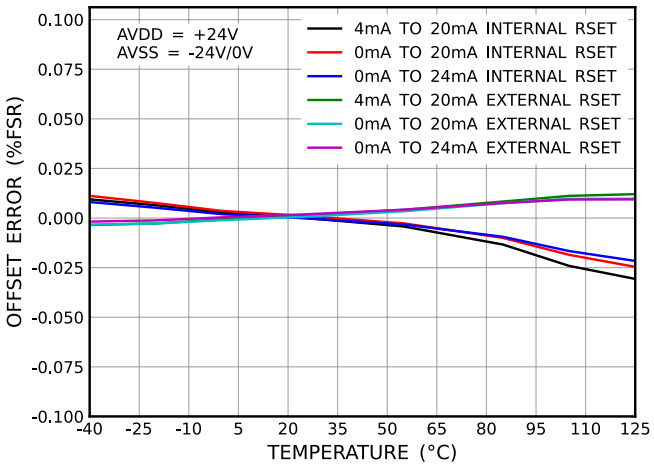


图 46 失调误差的温度特性

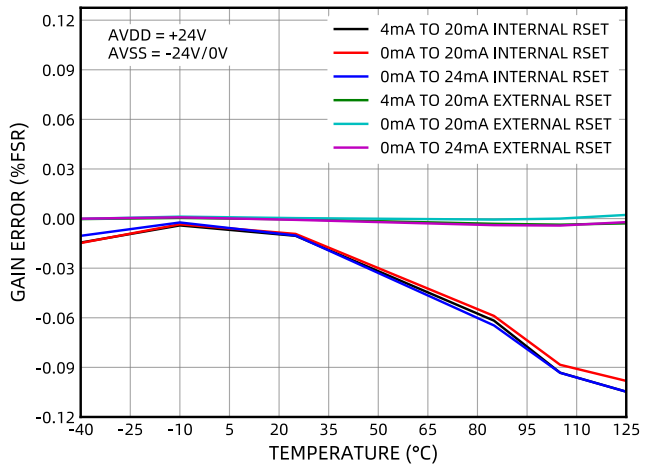


图 47 增益误差的温度特性

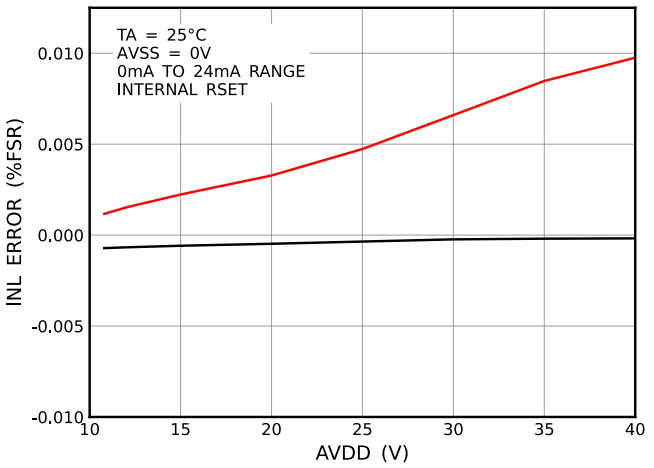


图 48 INL vs AVDD （外部电阻）

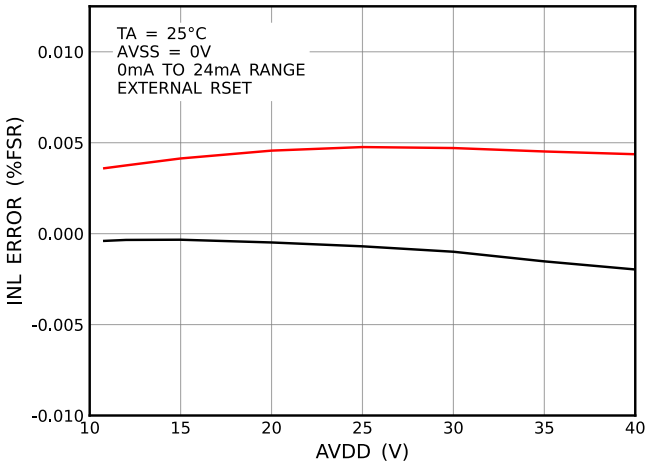


图 49 INL vs AVDD （内部电阻）

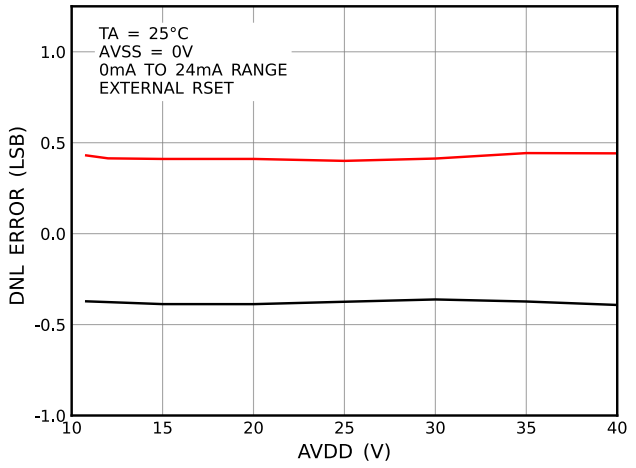


图 50 DNL vs AVDD（外部电阻）

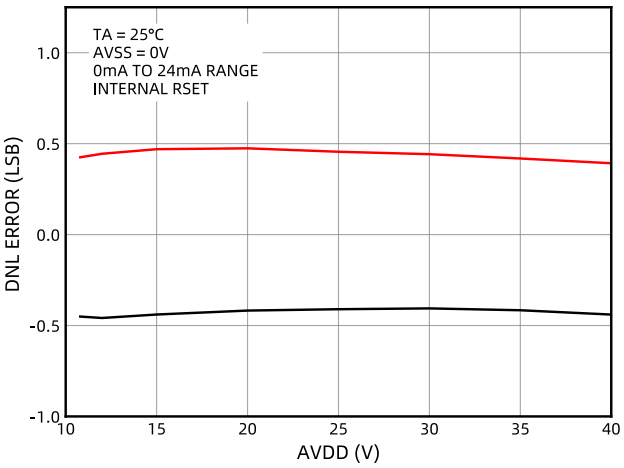


图 51 DNL vs AVDD（内部电阻）

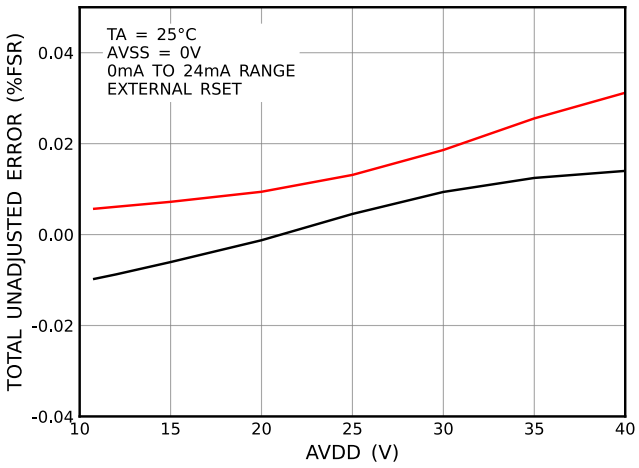


图 52 TUE vs AVDD （外部电阻）

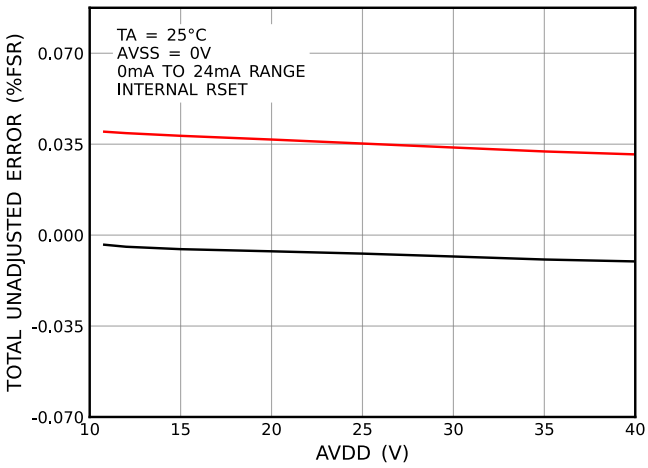


图 53 TUE vs AVDD （内部电阻）

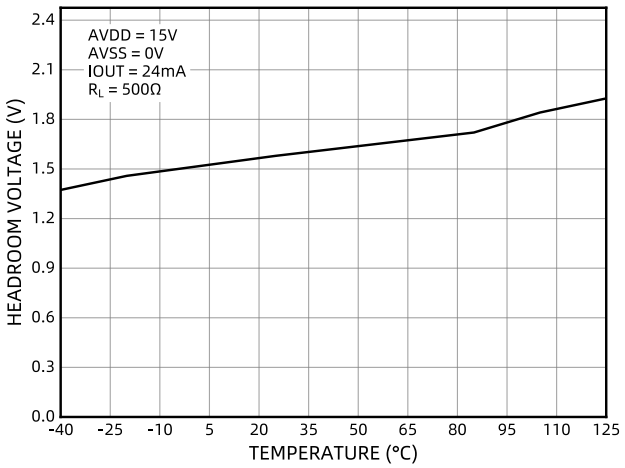


图 54 净空电压的温度特性

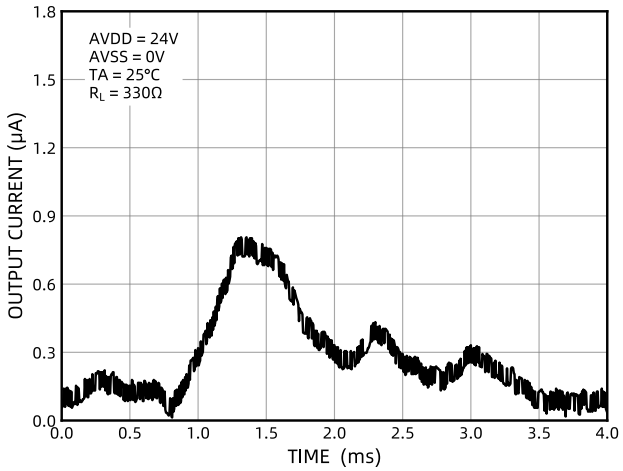


图 55 上电输出电流随时间的变化

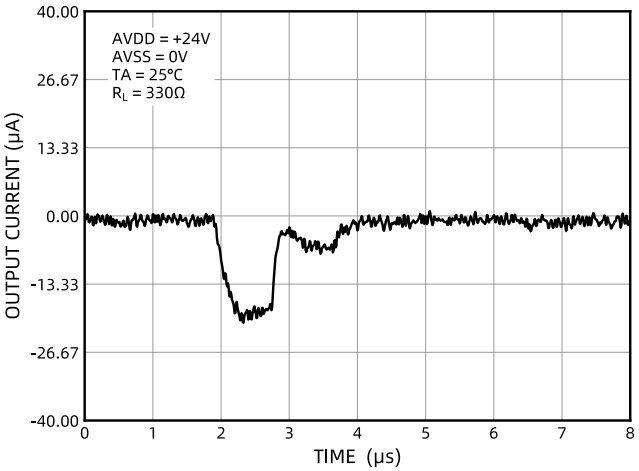


图 56 使能输出电流随时间的变化

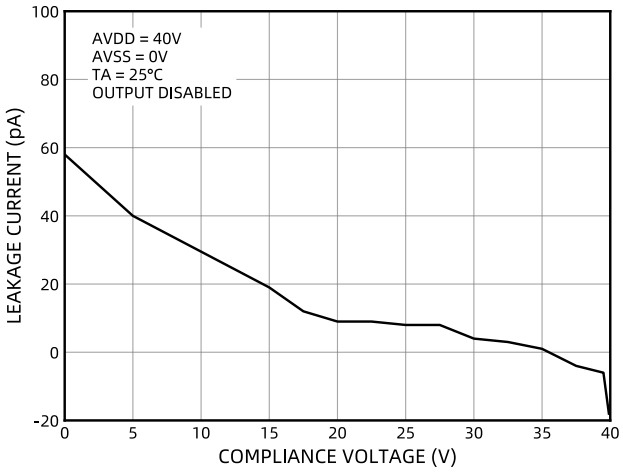


图 57 漏电流随合规电压的变化

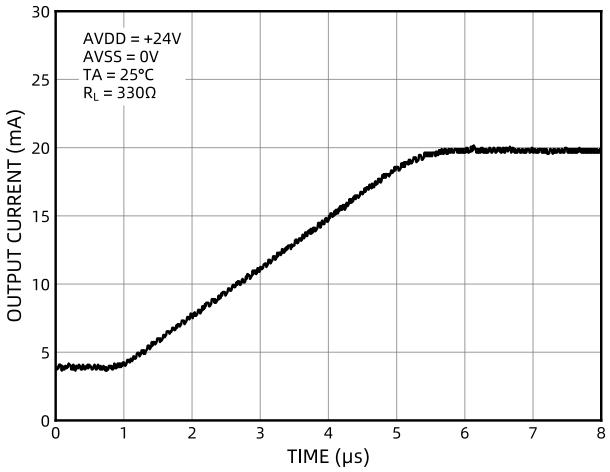


图 58 输出电流阶跃

工作原理

CM7551 是一款精密的电流输出和电压输出 DAC，它提供了一种高精度、完全集成、低成本的单芯片解决方案，可输出电流和双极性/单极性电压。电压和电流通过各自独立管脚输出，但不能同时使能。用户可通过控制寄存器选择需要的输出配置。

DAC 结构

CM7551 的核心结构是相匹配的电阻型 DAC。如图 59 所示，16 位输入码字的高四位经过解码后可控制 15 个相同的电阻支路，驱动 E1 至 E15 共 15 个开关。每个开关将相应的电阻支路连接到地或参考缓冲器的输出。输入码字的剩余 12 位驱动电压模式 R-2R 梯形网络的 S0 至 S11 开关。

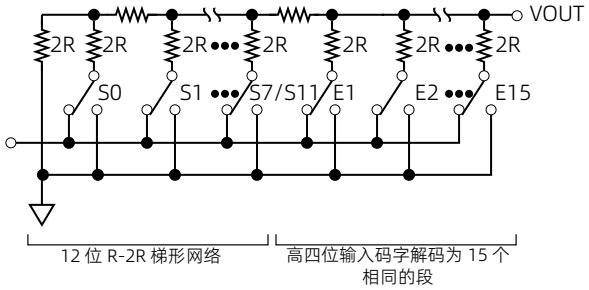


图 59 DAC 梯形网络

来自 DAC 的电压输出被转换为电流（参见图 60 ），然后镜像到电源轨，以便实现相对于地的电流源输出，或者 DAC 电压经过缓冲、缩放且被编程控制后输出单极性或者双极性电压（参见图 61 ）。电流和电压分别从不同的管脚输出，且不可同时输出。

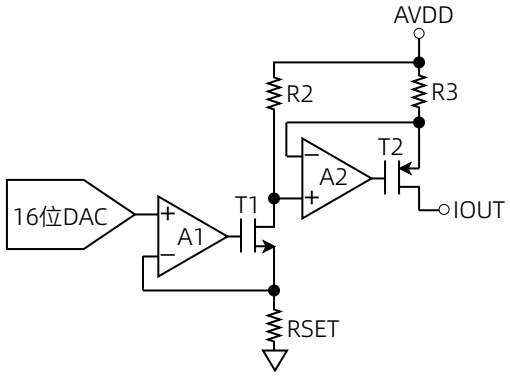


图 60 电压电流转换电路

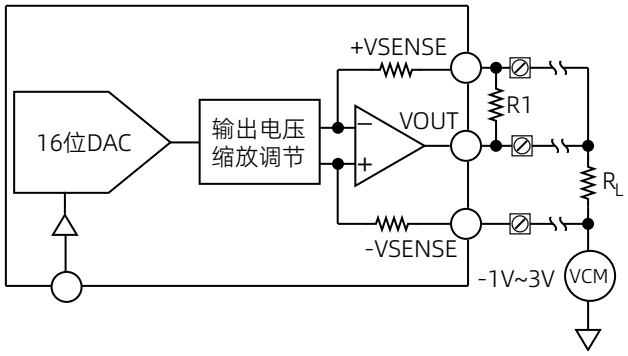


图 61 电压输出

电压输出放大器

电压输出放大器可产生单极性输出电压和双极性输出电压。它能驱动并联到地的 1kΩ 电阻和 1uF 电容负载。

输出放大器的拉电流驱动能力和灌电流驱动能力参见图 31 。其压摆率为 1V/μs，满量程建立时间最大为 25μs（10V 阶跃）。图 61 显示了电压输出在 -1V~3V 的共模电压 (VCM) 上驱动负载 R_L。在输出模块应用中，如果线缆从 +VSENSE 断开，会导致放大器回路断开，从而可能在 VOUT 管脚上产生破坏性的大电压，因此应在图 61 所示的 +VSENSE 和 VOUT 之间放置一个 2kΩ~5kΩ 的可选电阻 R1，以确保放大器回路保持闭合。如果不需要远程检测负载，可将 +VSENSE 直连至 VOUT，并将 -VSENSE 接地。更改电压输出范围时，可能会产生毛刺。因此，建议在更改电压输出范围之前，通过将控制寄存器的 OUTEN 位设置为逻辑低电平来禁用输出，以防止产生毛刺。

驱动较大电容负载

在增加一个无极性 200pF 补偿电容（CCOMP 和 VOUT 管脚之间）的情况下，电压输出放大器能够驱动高达 1μF 的电容负载。如果不放置补偿电容，则最多可驱动 20nF 的电容负载。

上电状态

在 CM7551 上电期间，上电复位电路确保所有寄存器均被加载为 0 码。此时，电压输出和电流输出均被禁用；即 VOUT 和 IOUT 管脚处于高阻态。+VSENSE 管脚通过片内 30kΩ 电阻连接到地。因此，如果 VOUT 和 +VSENSE 管脚连接在一起，VOUT 通过一个 30kΩ 电阻被钳位到地。上电时，内部校准寄存器会被读取，校准数据将应用到内部校准电路。

为了确保读取操作可靠，当 DVCC 上电触发读取事件时，AVDD 电源上必须有足够的电压。可以使 AVDD 电压达到至少 5V 后再给 DVCC 上电。如果 DVCC 和 AVDD 同时上电，通常应以大于 5000 V/秒的速率上电。如果内部 DVCC 被启用，通常应以大于 2000 V/秒的速率上电。如果无法达到这一点，上电后应向 CM7551 发出复位命令，执行上电复位，读取校准寄存器并确保 CM7551 的规范操作。为了确保准确校准，并允许内部基准电压稳定到准确的修正值，在成功上电复位后应等待 3ms。

电压输出

对于单极性电压输出范围，输出电压可表示为：

$$VOUT = V_{REFIN} \times GAIN \frac{D}{2^N}$$

对于双极性电压输出范围，输出电压可表示为：

$$VOUT = V_{REFIN} \times GAIN \frac{D}{2^N} - \frac{GAIN \times V_{REFIN}}{2}$$

其中，D 表示用户输入的十进制值；N 表示芯片的分辨率；V_{REFIN} 表示应用到 REFIN 管脚的基准电压；GAIN 表示内部增益，其值取决于用户选择的输出范围，参见表 2 。

表 2 内部增益值

输出范围 (V)	增益值
5	1
10	2
±5	2
±10	4

电流输出

对于 0mA~20mA、0mA~24mA、4mA~20mA 电流输出范围，输出电流可分别表示为：

$$IOUT = \frac{20mA}{2^N} \times D$$

$$IOUT = \frac{24mA}{2^N} \times D$$

$$IOUT = \frac{16mA}{2^N} \times D + 4mA$$

其中，D 表示用户输入的十进制值；N 表示芯片的分辨率。

表 3 读取操作的输入移位寄存器信息

MSB										LSB
D23	D22	D21	D20	D19	D18	D17	D16	D15~D2	D1	D0
0	0	0	0	0	0	1	0	X (DON'T CARE)	读取地址	

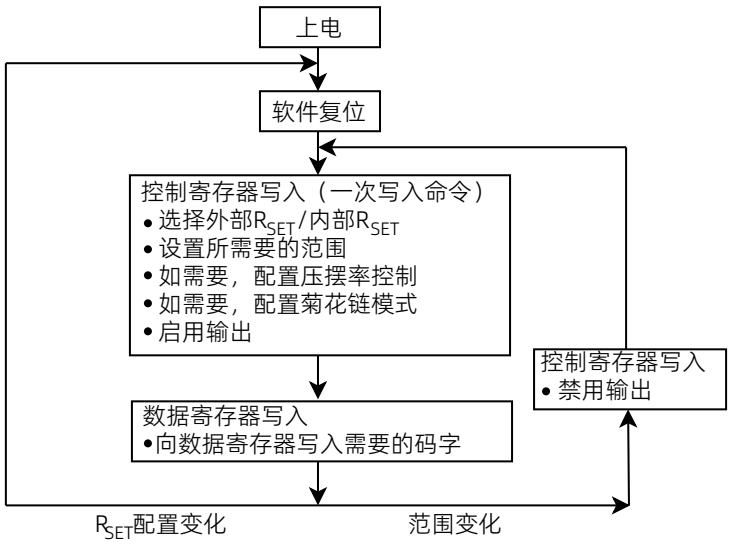


图 62 正确写入/启用输出的编程顺序

数字接口

CM7551 通过多功能 3 线串行接口进行通信，接口的时钟速率高达 30MHz，可兼容 SPI/MICROWIRE/DSP。

输入移位寄存器

输入移位寄存器的位宽为 24 位，由 8 位地址位和 16 位数据位组成，如表 4 所示。在串行时钟 SCLK 的上升沿，数据按照 MSB 优先的顺序，逐位被采样到移位寄存器中。24 位码字在 LATCH 的上升沿被锁存。需要注意的是，在 LATCH 上升沿到来之前，数据始终可以被 SCLK 的上升沿移入而更新移位寄存器的码值，因此 LATCH 锁存的是最后移入的 24 位数据。

表 4 输入移位寄存器格式

MSB	LSB
D23~D16	D15~D0
地址位	数据位

表 5 地址位功能

地址位	功能
00000000	无操作。
00000001	写数据寄存器。
00000010	每个读取地址的回读寄存器值，参见表 6 。
01010101	写控制寄存器。
01010110	写复位寄存器。

独立模式

串行接口可以在连续串行时钟和非连续串行时钟下工作。不论是哪种时钟模式，都需要保证在正确位数的数据被移入后立即将锁存信号 LATCH 拉高。写入数据码字 MSB 位的 SCLK 上升沿标志着写入周期的开始。必须在 LATCH 拉高之前，准确将 24 个 SCLK 上升沿应用到芯片的 SCLK 管脚。如果在第 24 个 SCLK 上升沿之前将 LATCH 拉高，则写入的数据无效。如果在 LATCH 拉高之前发送了超过 24 个 SCLK 上升沿，写入的数据同样无效。

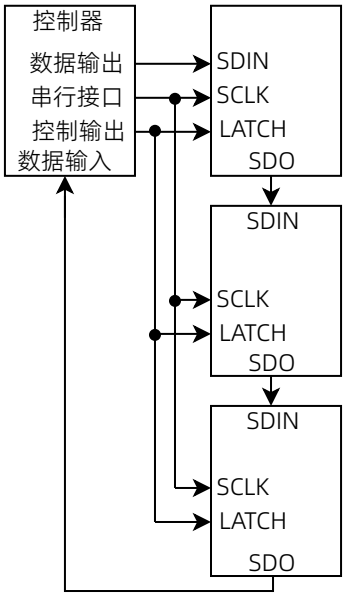


图 63 菊花链连接

菊花链模式

对于包含多颗芯片的系统，SDO 管脚可以将这些芯片以菊花链形式相连，如图 63 所示。菊花链模式有助于系统诊断和减少串行接口线缆数。通过将控制寄存器中的 DCEN 位置为 1，启用菊花链模式。当 SCLK 的第一个上升沿时钟输入数据字的最高位 (MSB) 时，标志着写入周期的开始。SCLK 会持续应用到输入移位寄存器。如果施加超过 24 个时钟脉冲，数据将从移位寄存器中溢出，并出现在 SDO 线上。此数据在 SCLK 的上升沿是有效的，因为它已在前一个 SCLK 的下降沿被时钟输出。通过将第一颗芯片的 SDO 连接到下一个芯片链中的 SDIN 输入，一个多芯片接口即构建完成。系统中的每颗芯片都需要 24 个时钟脉冲。因此，总时钟周期数必须等于 24 × n，其中 n 是菊花链中 CM7551 芯片的总数。当对所有芯片的串行数据传输完成后，LATCH 会被拉高，这会将每颗芯片中输入的数据锁存。串行时钟可以是连续时钟或门控时钟。

回读操作

回读模式通过向输入寄存器写入地址位和读取地址来启用（参见表 6 和表 3 ）。下一次对 CM7551 的写入应为 NOP 命令，该命令从先前指定的寄存器时钟输出数据（参见图 2 ）。

默认情况下，SDO 管脚被禁用。当对 CM7551 发送了读取操作所对应的寄存器地址后，在 LATCH 的上升沿启用 SDO 管脚，以便 SCLK 将准备好的数据输出。数据在 SDO 管脚输出后，LATCH 的上升沿会再次禁用（高阻态）SDO 管脚。以下是回读数据寄存器的操作举例：

1. 向输入寄存器写入 0x020001。芯片进入读取模式，并选择数据寄存器。
2. 进行第二次写入：写入 NOP 命令，即 0x000000。在该写入期间，寄存器中的数据会在 SDO 线上输出。

表 6 读取地址解码

读取地址	功能
00	读取状态寄存器。
01	读取数据寄存器。
10	读取控制寄存器。

功能与模式

故障报警

CM7551 配有 $\overline{\text{FAULT}}$ 管脚，该管脚为开漏输出，允许多颗 CM7551 芯片同时连接到一个上拉电阻，以实现全局故障检测。当发生以下任一故障情形时，$\overline{\text{FAULT}}$ 管脚将被强制激活：

- 由于负载开路或电源电压不足导致 IOUT 端口电压上升超过合规电压时，$\overline{\text{FAULT}}$ 管脚将被激活。IOUT 电流由一个 PMOS 晶体管和内部放大器控制（参见图 60 ）。PMOS 管栅端电压与内部放大器的地电位压差接近 1V 时触发报警。由于比较是在输出放大器的反馈回路中进行的，输出精度由其开环增益保证，并且在 $\overline{\text{FAULT}}$ 输出激活之前不会发生输出误差。
- 如果 CM7551 的内部温度超过约 150℃ 时。

状态寄存器中的 IOUT 故障位和 Over Temp 位与 $\overline{\text{FAULT}}$ 管脚配合使用，以通知用户是何种故障条件导致 $\overline{\text{FAULT}}$ 管脚被置位（参见表 17 和表 18 ）。

电压输出电路保护

在正常运行下，电压输出吸收/提供 10mA 电流。电压输出能够提供的最大电流约为 20mA，即短路电流。

电压输出超量程

电压输出支持超量程功能。通过控制寄存器启用该功能后，选定的输出范围通常会增加 10%。

电压输出检测

当负载通过长线缆或者高阻抗线缆连接到输出时，可以通过 +VSENSE 和 -VSENSE 来检测负载两端的真实电压，从而可调整输出放大器对负载电压进行补偿。

异步清零 (CLEAR)

CLEAR 是一个高电平有效清零管脚，用于将电压输出清至最低电平或中间电平，用户可通过 CLEAR SELECT 管脚，或者通过控制寄存器的 CLRSEL 位作为清除选择功能，参见表 7 （清除选择功能由 CLEAR SELECT 管脚和 CLRSEL 位的逻辑或产生）。电流输出会清至其编程范围的下限。要完成清除操作，CLEAR 信号需保持在高电平一段时间（参见图 1 ）。当 CLEAR 信号返回低电平时，输出保持为清除后的值。通过仅发送 LATCH 低脉冲而不输入任何数据，可以恢复清零前的值。在 CLEAR 管脚返回低电平之前，无法编程新值。

表 7 CLRSEL 选项

CLRSEL	输出值	
	单极性输出范围	双极性输出范围
0	0V	0V
1	中间电平	最小电平

除了定义清除操作的输出值外，CLRSEL 位和 CLEAR SELECT 管脚还定义了默认输出值。参见表 7 。为避免输出上产生毛刺，建议在更改电压范围之前，用户通过将控制寄存器的 OUTEN 位设置为低电平来禁用输出。当 OUTEN 设置为高电平时，输出将按 CLRSEL 和 CLEAR SELECT 所定义的默认值输出。

内部电压基准

CM7551 集成了一个 5V 电压基准，其初始误差最大为 ±5mV。该基准电压经过缓冲处理，并可用于片外输出。图 11 显示了基准输出电压随负载电流的变化。

外部电流设置电阻

RSET 作为内部检测电阻，是电压到电流转换电路的一部分（参见图 60 ）。输出电流的温漂特性取决于 RSET 的温漂结果。为了提高输出电流温漂性能，可以在 CM7551 的 RSET 管脚上连接一个 15kΩ 的精密低温漂外部电阻，以代替内部电阻 (RSET)。可通过控制寄存器选择外部电阻（参见表 12 ）。

数字电源

DVCC 管脚默认可接受 2.7V 至 5.5V 的电源供应。或者，可通过设置 DVCC SELECT，在 DVCC 管脚输出一个 4.5V 内部电压，用作系统中其他芯片的数字电源或上拉电阻的高压连接。这样，无需通过数字隔离器即可传输数字电源。内部电源可通过将 DVCC SELECT 管脚浮空来启用。要禁用内部电源，可将 DVCC SELECT 接 0V。内部 DVCC 电源能够提供高达 5mA 的电流（参见图 7 ）。

外部增强电流功能

如图 64 所示，可以通过添加外部增强电流晶体管减少片上输出晶体管中的电流（将其除以外部电路的电流增益）来降低 CM7551 的功耗。可以使用击穿电压大于 40V 的分立 NPN 晶体管。外部增强电流功能专为需要在电源电压、负载电流和温度范围极限条件下使用 CM7551 的用户而开发。升压晶体管还可以减少因片上温度变化引起的漂移。使片上电压基准的温漂最小化，从而改善温漂和线性度。

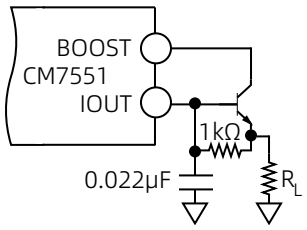


图 64 外部增强电流功能配置

外部补偿电容

电压输出通常可以驱动高达 20nF 的电容负载；如需驱动更大的电容负载，例如 1μF，可以在 CCOMP 管脚和 VOUT 管脚之间连接一个外部补偿电容。增加补偿电容可以保持输出电压的稳定性，但同时会减少带宽并增加电压输出的建立时间。

HART 通信

实现 HART 通信的一种方法是当 IOUT 使用外部 RSET 电阻进行操作时，通过 RSET 管脚耦合 HART 信号。如图 65 所示，来自调制解调器的 FSK 信号通过 Rin 和 Cin 的串联组合交流耦合到 RSET 管脚。

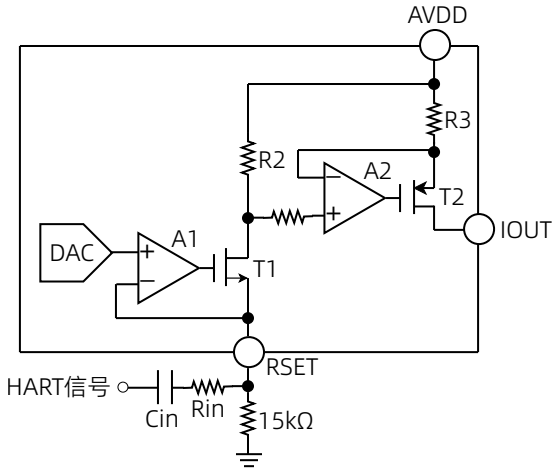


图 65 通过 RSET 管脚进行 HART 通信

交流电流输出的计算公式为 (VHART × k) / Rin，其中 k = 100，表示从 RSET 管脚到 IOUT 管脚的电压-电流传递函数。串联输入电阻和电容在 RSET 管脚形成一个高通滤波器，并且必须选择 Cin 以确保 HART 频带内的所有信号都能无衰减地通过。通常设置高通滤波器的 -3dB 带宽为 500Hz；对于 500mVpp 的 HART 电压信号，为了获得 1mApp 的电流输出，可以设置 Rin = 50K Ω，Cin = 6.4nF。

数字压摆率控制

CM7551 的压摆率控制功能允许用户控制输出电压或输出电流的变化速率。禁用压摆率控制功能时，输出电压或电流的变化速率受输出驱动电路和负载的限制。电流输出阶跃参见图 58 ，电压输出阶跃参见图 33 。要降低压摆率，可启用压摆率控制功能。通过控制寄存器的 SREN 位启用该功能后（参见表 12 ），输出不会直接在两个值之间进行转换，而是以数字方式按照寄存器中两个参数定义的速率逐步变化。这两个参数分别通过 SR 时钟和 SR 阶跃位设置。SR 时钟定义数字转换更新的速率，而 SR 阶跃定义每次更新时输出值的变化量。两个参数共同定义输出电压或电流的变化速率。表 8 和表 9 列出了 SR 时钟和 SR 阶跃参数的取值范围。

表 8 压摆率步进值选项

SR 阶跃	步进值 (LSB)
000	1
001	2
010	4
011	8
100	16
101	32
110	64
111	128

表 9 压摆率更新时钟选项

SR 时钟	更新时钟频率 (Hz)
0000	257,732
0001	198,413
0010	152,439
0011	131,579
0100	115,741
0101	69,444
0110	37,594
0111	25,773
1000	20,161
1001	16,031
1010	10,290
1011	8280
1100	6900
1101	5530
1110	4240
1111	3300

输出在给定输出范围内转换所需的时间表示如下：

$$\text{转换时间} = \frac{\text{输出变化}}{\text{步进值} \times \text{SR时钟频率} \times \text{LSB大小}}$$

其中，转换时间单位为秒。输出变化用电流 A 表示 (IOUT)，或用电压 V 表示 (VOUT)。

启用压摆率控制功能时，所有输出变化均按设定的转换速率进行。如果 CLEAR 管脚被置位，输出将以设定的转换速率清至表 7 中确定的电平。通过写入控制寄存器，可以在当前值处暂停输出。为了避免在转换过程中输出压摆被停止，可以在写入 CM7551 的任何寄存器之前，通过读取转换指示位（Slew Active，参见表 17 ）来检查压摆转换是否完成。给定值下的更新时钟频率在所有输出范围内都是相同的。然而，由于每个输出范围的 LSB 大小不同，因此在给定阶跃值时，步进值会随输出范围而变化。表 10 显示了在任意输出范围内满量程变化的可编程转换时间值，该表中的值基于上文中转换时间计算公式得出。

表 10 任意输出范围内满量程变化的可编程转换时间值

更新时钟频率 (Hz)	步进值 (LSB)							
	1	2	4	8	16	32	64	128
257,732	0.25	0.13	0.06	0.03	0.016	0.008	0.004	0.0020
198,413	0.33	0.17	0.08	0.04	0.021	0.010	0.005	0.0026
152,439	0.43	0.21	0.11	0.05	0.027	0.013	0.007	0.0034
131,579	0.50	0.25	0.12	0.06	0.031	0.016	0.008	0.0039
115,741	0.57	0.28	0.14	0.07	0.035	0.018	0.009	0.0044
69,444	0.9	0.47	0.24	0.12	0.06	0.03	0.015	0.007
37,594	1.7	0.87	0.44	0.22	0.11	0.05	0.03	0.014
25,773	2.5	1.3	0.64	0.32	0.16	0.08	0.04	0.020
20,161	3.3	1.6	0.81	0.41	0.20	0.10	0.05	0.025
16,031	4.1	2.0	1.0	0.51	0.26	0.13	0.06	0.03
10,290	6.4	3.2	1.6	0.80	0.40	0.20	0.10	0.05
8280	7.9	4.0	2.0	1.0	0.49	0.25	0.12	0.06
6900	9.5	4.8	2.4	1.2	0.59	0.30	0.15	0.07
5530	12	5.9	3.0	1.5	0.74	0.37	0.19	0.09
4240	15	7.7	3.9	1.9	0.97	0.48	0.24	0.12
3300	20	9.9	5.0	2.5	1.24	0.62	0.31	0.16

寄存器

数据寄存器

数据寄存器通过将输入移位寄存器的地址码字设置为 0x01 来寻址。写入数据寄存器的数据在 CM7551 中位于 D15 到 D0 位置，如表 11 所示。

表 11 数据寄存器

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
16 位数据码字															

控制寄存器

控制寄存器通过将输入移位寄存器的地址码字设置为 0x55 来寻址。写入控制寄存器的数据位于 D15 到 D0 位置，如表 12 所示。控制寄存器的功能，参见表 13 。

表 12 控制寄存器

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
CLRSEL	OVRRNG	REXT	OUTEN	SR 时钟				SR 阶跃			SREN	DCEN	R2	R1	R0

表 13 控制寄存器功能

选项	描述
CLRSEL	关于 CLRSEL 操作的描述，参见表 7 。
OVRRNG	设置该位会增加 10% 的电压输出范围。
REXT	设置此位可选择外部电流设定电阻。在使用外部电流设定电阻时，建议在设置 OUTEN 位时同时设置 REXT。或者，可以在设置 OUTEN 位之前设置 REXT ，但在使能输出时，需要将 RANGE 寄存器配置为电流输出模式（参见表 14 ）。最佳实践参见图 1。
OUTEN	启用输出。必须设置该位以启用输出。
SR 时钟	数字压摆率控制。
SR 阶跃	数字压摆率控制。
SREN	启用数字压摆率控制。
DCEN	启用菊花链模式。
R2，R1，R0	选择输出范围，参见表 14 。

表 14 输出范围选项

R2	R1	R0	选择的输出范围
0	0	0	0V~5V 电压输出范围
0	0	1	0V~10V 电压输出范围

R2	R1	R0	选择的输出范围
0	1	0	±5V 电压输出范围
0	1	1	±10V 电压输出范围
1	0	1	4mA~20mA 电流输出范围
1	1	0	0mA~20mA 电流输出范围
1	1	1	0mA~24mA 电流输出范围

复位寄存器

复位寄存器通过将输入移位寄存器的地址码字设置为 0x56 来寻址。写入复位寄存器的数据位于 D0 位置，参见表 15 和表 16 。

表 15 复位寄存器

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
保留															RESET

表 16 复位寄存器功能

选项	描述
RESET	该位置 1，将执行复位操作，将 CM7551 恢复至上电状态。

状态寄存器

状态寄存器为只读寄存器。状态寄存器的功能，参见表 17 和表 18 。

表 17 状态寄存器

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
保留													IOUT Fault	Slew Active	Over Temp

表 18 状态寄存器功能

选项	描述
IOUT Fault	IOUT 管脚检测到故障时，该位置 1。
Slew Active	当压摆率控制功能启用，且输出在压摆率控制转换过程中时，该位置 1。
Over Temp	当 CM7551 内部温度超过约 150°C 时该位置 1。

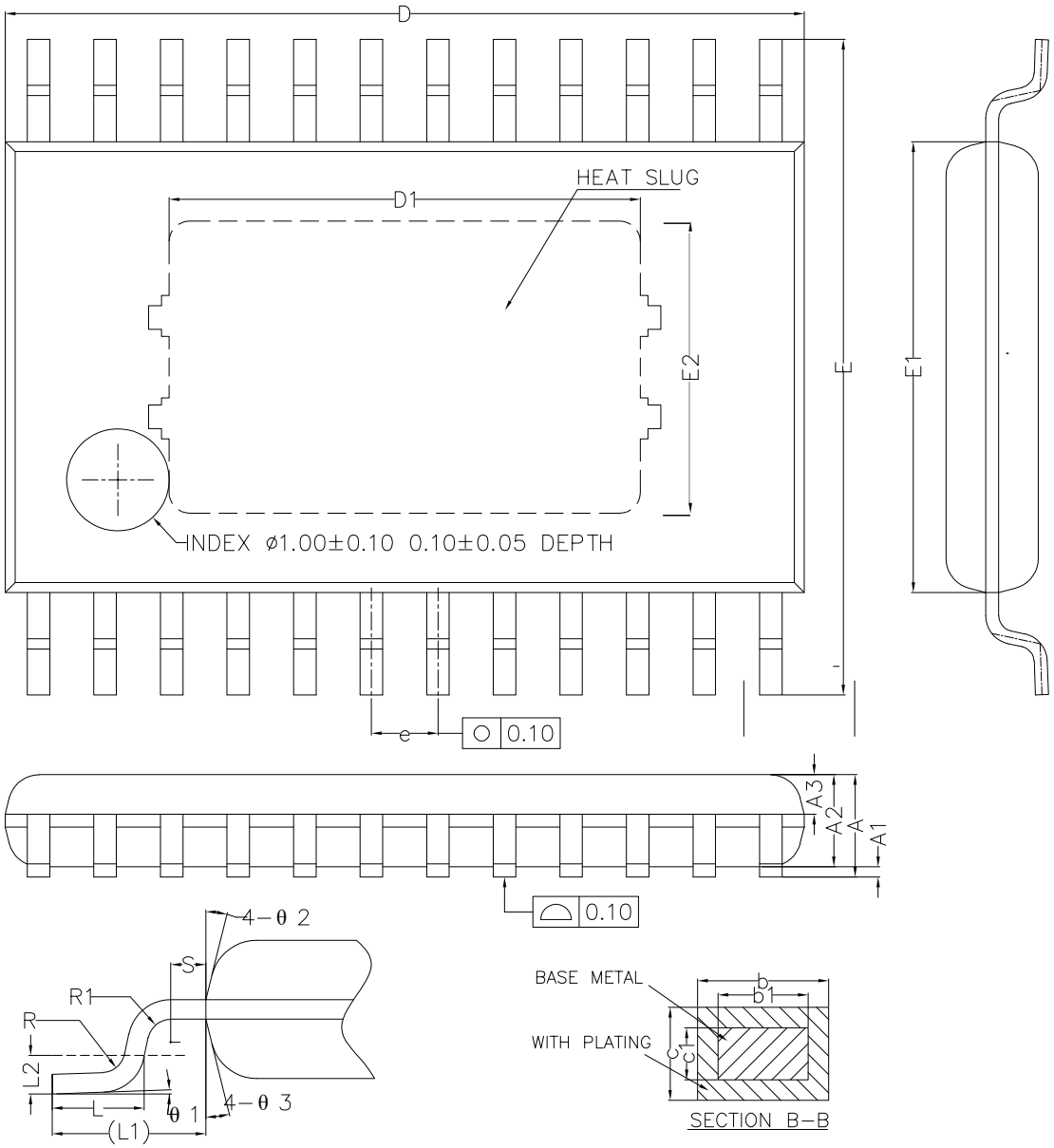
封装及订购信息

封装方式

CM7551 采用 TSSOP24 和 QFN40 封装。

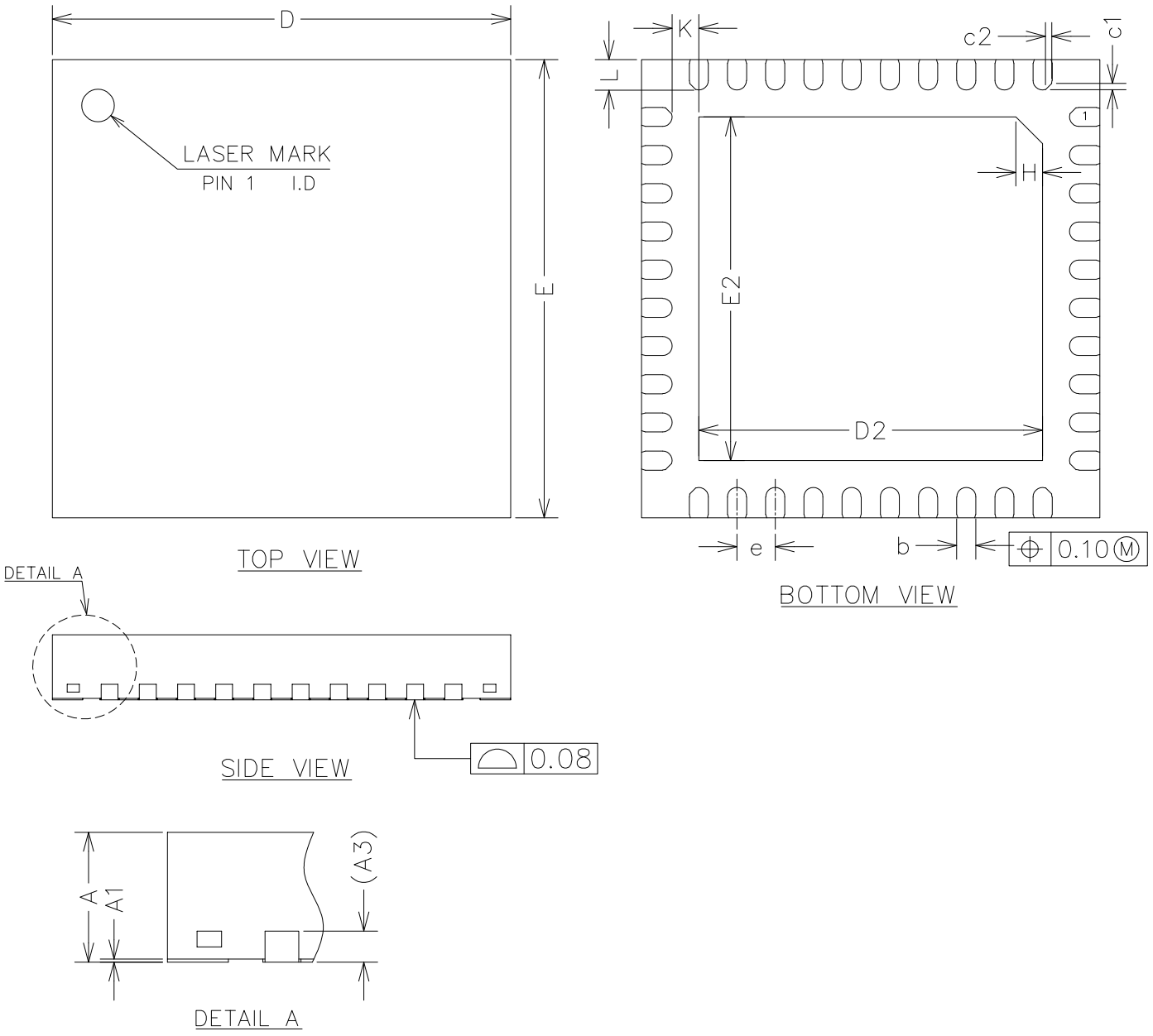
产品外形图

TSSOP24



标识	尺寸（毫米）		
	最小值	典型值	最大值
A	-	-	1.15
A1	0.05	0.10	0.15
A2	0.80	0.90	1.00
A3	0.34	0.39	0.44
b	0.20	0.25	0.29
b1	0.19	0.22	0.25
c	0.10	0.15	0.19
c1	0.10	0.13	0.15
D	7.70	7.80	7.90
D1	5.00 (REF)		
E	6.20	6.40	6.60
E1	4.30	4.40	4.50
E2	3.20 (REF)		
e	0.55	0.65	0.75
L	0.45	0.60	0.75
L1	1.00 (REF)		
L2	0.25 (BSC)		
R	0.09	-	-
R1	0.09	-	-
S	0.20	-	-
θ1	0°	4°	8°
θ2	12°	14°	16°
θ3	12°	14°	16°

QFN40


D
E
LASER MARK
PIN 1 I.D
TOP VIEW
K
L
c2
c1
H
E2
D2
e
b
0.10 M
BOTTOM VIEW
DETAIL A
0.08
SIDE VIEW
A
A1
(A3)
DETAIL A

标识	尺寸（毫米）		
	最小值	典型值	最大值
A	0.70	0.75	0.80
A1	0	0.02	0.05
A3	0.20 (REF)		
b	0.20	0.25	0.30
c1	-	0.08	-
c2	-	0.08	-
D	5.90	6.00	6.10
D2	4.40	4.50	4.60
E	5.90	6.00	6.10
E2	4.40	4.50	4.60
e	0.40	0.50	0.60
H	0.35 (REF)		
K	0.25	0.35	0.45
L	0.30	0.40	0.50

订购信息

型号	温度范围	封装	包装	包装数量
CM7551-TSSTA	-40℃~105℃	TSSOP24	Reel	4000
CM7551-QFNTR	-40℃~105℃	QFN40	Reel	4900

免责声明

本数据手册按“现状”(AS IS) 提供，所含信息仅供设计参考，不构成任何明示或暗示的性能、适用性、可靠性或安全性的保证。我司保留随时对产品规格、技术资料及相关手册进行更正的权利。用户应独立负责产品选择、应用设计、功能验证及合规性评估，确保满足相关法规与安全要求。我司不对应用设计提供支持或承担由此产生的任何责任。

本产品及资料不适用于生命支持、植入式医疗设备、军事、航空航天及其他安全关键应用，除非另有书面协议。在此类应用中使用该产品及资料的风险由用户自行承担。