ISO7321FCDR-HX 一款高性能 2 通道数字隔离器

概述

ISO7321FCDR-HX 是一款高性能 2 通道数字隔离器,具有精确的时序特性和低电源损耗。在隔离 CMOS 数字 I/O 时，ISO7321FCDR-HX 器件可提供高电磁抗扰度和低辐射。所有器件版本均具有施密特触发器输入，可实现高抗噪性能。每条隔离通道的逻辑输入和输出缓冲器均由二氧化硅(SiO_2)绝缘栅隔离。ISO7321FCDR-HX 有两个通道，具有故障安全模式选项。

ISO7321FCDR-HX 器件具有高绝缘能力，有助于防止数据总线或其他电路上的噪声和浪涌进入本地接地端，从而干扰或损坏敏感电路。高CMTI 能力有望保证数字信号的正确传输。ISO7321FCDR-HX 器件采用 SOP08(窄体)封装。其中窄体封装器件具有3.75kV_{RMS} 的隔离额定值。

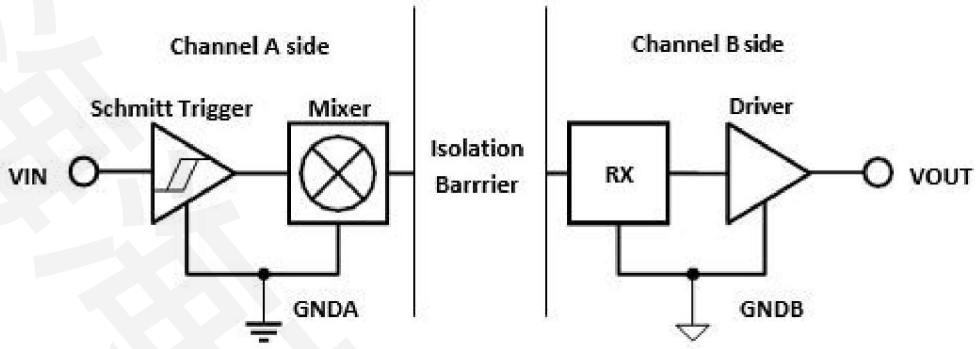
特点

- ★ 宽电源电压范围：2.5V to 5.5V
- ★ 信号传输速率：DC to 30 Mbps
- ★ 宽温度范围：-40°C to 125°C0
- ★ 无需启动初始化
- ★ 默认输出高电平和低电平选项
- ★ 施密特触发器输入
- ★ 高CMTI：+ 120KV/us(典型值)
- ★ 低功耗，(典型值)：
  - 电流为 3mA/通道(@3.3V, 1Mbps)
  - 电流为6mA/通道(@3.3V,30Mbps)
- ★ 精确时序(典型值)
  - 40ns 传播延迟
  - 4ns 脉冲宽度失真
  - 2ns 传播延迟误差
  - 22ns 最小脉冲宽度
- ★ 高达5kV_{RMS} 的隔离电压
- ★ 隔离栅寿命：>40 年
- ★ 优异的电磁抗扰度
- ★ 窄体SOP08 封装符合RoHS 标准

应用

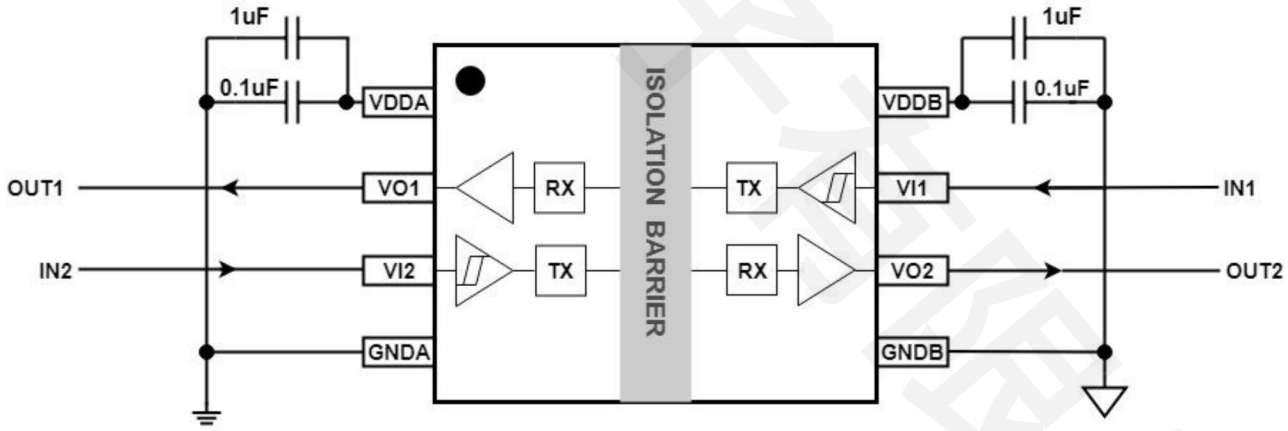
- ★ 工业自动化
- ★ 电机控制
- ★ 医疗电子
- ★ 隔离ADC,DAC
- ★ 太阳能逆变器
- ★ 隔离开关电源

简化通道结构图



通道A 和B 被隔离电容隔开。GNDA 和GNDB 分别连接A 侧信号和B 侧电源隔离接地。

典型应用图



相比于光耦器件，ISO7321FCDR-HX 系列数字隔离器不需要外部元件来提供偏置或限制电流能力，只需要在 VDDA 和 VDDB 电源分别放置两个旁路电容（推荐是 0.1μF 和 1μF，电容靠近芯片电源管脚）即可工作。 ISO7321FCDR-HX 产品输入兼容 CMOS 电平，仅吸收微安级的输入漏电流，无需外部缓冲电路即可驱动。输出电阻典型值为 50Ω（轨到轨输出）。

引脚图

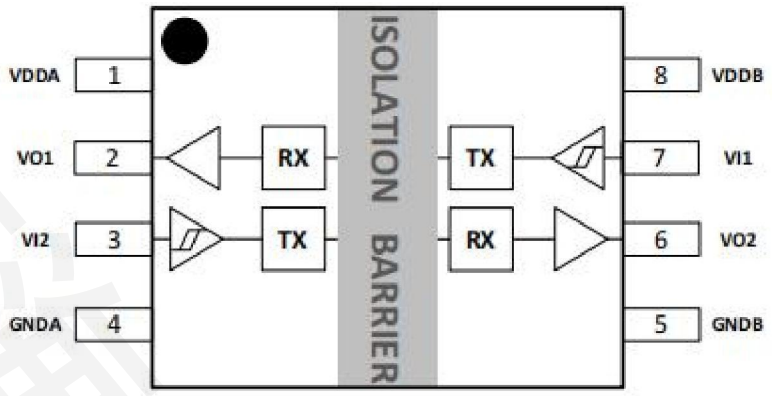


图 1.ISO7321FCDR-HX　SOP08(窄体)封装顶部视图

表 1. SOP08(窄体)引脚功能描述

名称	编号	类型	描述
VDDA	1	电源	A 侧电源电压
VO1	2	逻辑输出	A 侧逻辑输出
VI2	3	逻辑输入	A 侧逻辑输入
GNDA	4	地	A 侧接地基准点
GNDB	5	地	B 侧接地基准点
VO2	6	逻辑输出	B 侧逻辑输出
VI1	7	逻辑输入	B 侧逻辑输入
VDDB	8	电源	B 侧电源电压

绝对最大额定值(1)

符号	参数	最小值	最大值	单位
V_{DDA},V_{DDB}	电源电压(2)	-0.5	7.0	V
Vin	输入电压 VIx	-0.5	V_{DDI}+0.5(3)	V
I_O	输出电流	-20	20	mA
T_{STG}	存储温度范围	-65	150	°C

注：

(1)等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

(2) 除差分 I / O 总线电压以外的所有电压值，均相对于本地接地端子（GNDA 或 GNDB），并且是峰值电压值。

(3) 最大电压不得超过 7 V。

推荐工作条件

符号	参数		最小值	典型值	最大值	单位
V_{DDA},V_{DDB}	电源电压		2.5	3.3	5.5	V
$V_{DD\ (UVLO+)}$	V_{DD} 电源电压上升时的欠压阈值		2.15	2.25	2.325	V
$V_{DD\ (UVLO-)}$	V_{DD} 电源电压下降时的欠压阈值		2.05	2.10	2.125	V
$V_{HYS\ (UVLO)}$	V_{DD} 迟滞欠压阈值		100	150	200	mV
I_{OH}	高水平输出电流	V_{DDO} (1)= 5V	-4			mA
		V_{DDO} = 3.3V	-2			
		V_{DDO} = 2.5V	-1			
I_{OL}	低水平输出电流	V_{DDO} = 5V			4	mA
		V_{DDO} = 3.3V			2	
		V_{DDO} = 2.5V			1	
V_{IH}	输入阈值逻辑高电平		0.7*V_{DDI}		V_{DDI}	V
V_{IL}	输入阈值逻辑低电平		0		0.3*V_{DDI}	V
DR	信号传输速率		0		30	Mbps
T_A	环境温度		-40	25	125	°C

注：(1)：V_{DDO} = 输出侧V_{DD}, V_{DDI} = 输入侧V_{DD}

热量信息

热量表		数值	单位
符号	参数	SOP08 窄体	
$R_{\theta JA}$	IC 结至环境的热阻	109.0	°C/W

额定功率

符号	参数	测试条件	最小值	典型值	最大值	单位
P_D	最大功耗	V_{DDA} = V_{DDB} = 5.5 V, C_L = 15 pF, T_J = 150°C, 输入 15MHz 50% 占空比方波			70	mW
P_{DA}	A 侧最大功耗				35	mW
P_{DB}	B 侧最大功耗				35	mW

隔离特性

符号	参数	测试条件	数值 SOP08	单位
CLR	外部气隙(间隙)(1)	测量输入端至输出端，隔空最短距离	4	mm
CPG	外部爬电距离(1)	测量输入端至输出端，沿壳体最短距离	4	mm
DTI	隔离距离	最小内部间隙(内部距离)	19	um
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11) ; IEC 60112	>600	V
	材料组	依据 IEC 60664-1	|	
IEC 60664-1 过压类别		额定市电电压 ≤ 300 VRMS	I-III	
		额定市电电压 ≤ 400 VRMS	I-III	
		额定市电电压 ≤ 600 VRMS	n/a	
DIN V VDE V 0884-11:2017-01(2)				
V_{IORM}	最大重复峰值隔离电压	交流电压(双极)	566	V_{PK}
V_{IOWM}	最大工作隔离电压	交流电压； 时间相关的介质击穿 (TDDB) 测试	400	V_{RMS}
		直流电流	566	V_{DC}

V_{IOTM}	最大瞬态隔离电压	V_{TEST} = V_{IOTM}, t = 60 s (认证); V_{TEST} = 1.2 × V_{IOTM}, t= 1 s (100% 产品测试)	5300	V_{PK}
V_{IOSM}	最大浪涌隔离电压(3)	测试方法 依据 IEC 60065, 1.2/50 μs 波形, V_{TEST}= 1.6 × V_{IOSM} (生产测试)	5000	V_{PK}
q_{pd}	表征电荷(4)	方法 a，输入/输出安全测试子类 2/3 后， V_{ini} = V_{IOTM}, t_{ini} = 60 s; $V_{pd(m)}$ = 1.2 × V_{IORM}, t_m = 10 s	≤5	pC
		方法 a，环境测试子类 1 后， V_{ini} = V_{IOTM}, t_{ini} = 60 s; $V_{pd(m)}$ = 1.6 × V_{IORM}, t_m = 10 s	≤5	
		方法 b1，常规测试 (100% 生产测试)和前期 预处理(抽样测试) V_{ini} = 1.2 × V_{IOTM}, t_{ini} = 1 s; $V_{pd(m)}$ = 1.875 × V_{IORM}, t_m = 1 s	≤5	
C_{IO}	栅电容，输入到输出(5)	V_{IO} = 0.4 × sin (2πft), f= 1 MHz	~0.5	pF
R_{IO}	绝缘电阻(5)	V_{IO} = 500 V, T_A = 25°C	>10^{12}	Ω
		V_{IO} = 500 V, 100°C ≤ T_A ≤ 125°C	>10^{11}	
		V_{IO} = 500 V at T_S = 150°C	>10^{9}	
	污染度		2	
UL 1577				
V_{ISO}	最大隔离电压	V_{TEST} = V_{ISO} ,t=60s (认证), V_{TEST} = 1.2 × V_{ISO} , t= 1s(100%生产测试)	3750	V_{RMS}

备注:

(1) 根据应用的特定设备隔离标准应用爬电距离和间隙要求。注意保持电路板设计的爬电距离和间隙距离，以确保印刷电路板上隔离器的安装焊盘不会缩短该距离。在某些情况下印刷电路板上的爬电距离和间隙相等。在印刷电路板上插入凹槽的技术有助于提高这些指标。

(2) 该标准仅适用于安全等级内的安全电气绝缘。应通过适当的保护电路确保符合安全等级。

(3) 测试在空气或油中进行，以确定隔离屏障的固有浪涌抗扰度。

(4) 表征电荷是由局部放电引起的放电电荷(pd)。

(5) 栅两侧的所有引脚连接在一起，形成双端子器件。

电气特性

(1) V_{DDA}= V_{DDB} = 5 V ± 10%, T_A = -40 to 125°C

符号	参数	测试条件	最小值	典型值	最大值	单位
V_{OH}	输出电压逻辑高电平	I_{OH} = -4mA; 图3	V_{DDO} [1]-0.4	4.8		V
V_{OL}	输出电压逻辑低电平	I_{OL} = 4mA; 图3		0.2	0.4	V
$V_{IT+(IN)}$	正输入阈值		0.7*V_{DDI}		V_{DDI}	V
$V_{IT-(IN)}$	负输入阈值		0		0.3*V_{DDI}	V
I_{IH}	输入高电平漏电流	V_{IH} = V_{DDA} atAx or Bx			20	uA
I_{IL}	输入低电平漏电流	V_{IL} = 0 V atAx or Bx	-20			uA
Z_O	输出阻抗[2]			100		Ω
CMTI	共模瞬变抗扰度	V_I = V_{DDI} [1] or 0 V, V_{CM} = 1200 V; 图5	100	120		kV/μs
C_I	输入电容[3]	V_I = V_{DD}/ 2 + 0.4×sin(2πft), f= 1 MHz, V_{DD} = 5 V		5		pF

备注:

1. V_{DDI} = 输入侧V_{DD}, V_{DDO} = 输出侧V_{DD}
2. 正常隔离器通道的输出阻抗约为 50Ω ± 40%。
3. 从引脚到地测量。

(2) V_{DDA}= V_{DDB} = 3.3V ± 10%, T_A = -40 to 125°C

符号	参数	测试条件	最小值	典型值	最大值	单位
V_{OH}	输出电压逻辑高电平	I_{OH} = -4mA; 图3	V_{DDO} [1]-0.4	3.1		V
V_{OL}	输出电压逻辑低电平	I_{OL} = 4mA; 图3		0.2	0.4	V
$V_{IT+(IN)}$	正输入阈值		0.7*V_{DDI}		V_{DDI}	V
$V_{IT-(IN)}$	负输入阈值		0		0.3*V_{DDI}	V
I_{IH}	输入高电平漏电流	V_{IH} = V_{DDA} atAx or Bx			20	uA
I_{IL}	输入低电平漏电流	V_{IL} = 0 V atAx or Bx	-20			uA
Z_O	输出阻抗[2]			100		Ω
CMTI	共模瞬变抗扰度	V_I = V_{DDI} [1] or 0 V, V_{CM} = 1200 V; 图5	100	120		kV/μs
C_I	输入电容[3]	V_I = V_{DD}/ 2 + 0.4×sin(2πft), f= 1 MHz, V_{DD} = 5 V		5		pF

备注:

1. V_{DDI} = 输入侧V_{DD}, V_{DDO} = 输出侧V_{DD}
2. 正常隔离器通道的输出阻抗约为 50Ω ± 40%。
3. 从引脚到地测量。

(3) V_{DDA} = V_{DDB} = 2.5 V ± 5%, T_A = -40 to 125°C

符号	参数	测试条件	最小值	典型值	最大值	单位
V_{OH}	输出电压逻辑高电平	I_{OH} = -4mA; 图3	V_{DDO}[1]-0.4	2.3		V
V_{OL}	输出电压逻辑低电平	I_{OL} = 4mA; 图3		0.2	0.4	V
$V_{IT+(IN)}$	正输入阈值		0.7*V_{DDI}		V_{DDI}	V
$V_{IT-(IN)}$	负输入阈值		0		0.3*V_{DDI}	V
I_{IH}	输入高电平漏电流	V_{IH} = V_{DDA} atAx or Bx			20	uA
I_{IL}	输入低电平漏电流	V_{IL} = 0 V atAx or Bx	-20			uA
Z_O	输出阻抗[2]			100		Ω
CMTI	共模瞬变抗扰度	V_I = V_{DDI}[1] or 0 V, V_{CM} = 1200 V; 图5	100	120		kV/μs
C_I	输入电容[3]	V_I = V_{DD}/ 2 + 0.4×sin(2πft), f= 1 MHz, V_{DD} = 5 V		5		pF

备注:

1. V_{DDI} = 输入侧V_{DD}, V_{DDO} = 输出侧V_{DD}
2. 正常隔离器通道的输出阻抗约为 50Ω ± 40%。
3. 从引脚到地测量。

电源电流特性

(1) V_{DDA} = V_{DDB} = 5 V ± 10%, T_A = -40 to 125°C

参数	测试条件		电源电流	最小值	典型值	最大值	单位
电源电流-直流信号	V_{IN} = 0V		I_{DDA}		1.6	3.2	mA
			I_{DDB}		1.6	3.2	
	V_{IN} = V_{DDI} [1]		I_{DDA}		2.9	5.8	
			I_{DDB}		2.9	5.8	
电源电流-交流信号	所有通道输入 50% 占空比，幅值为 5V 的方波；每个通道 C_L = 15 pF	1Mbps (500kHz)	I_{DDA}		2.9	4	
			I_{DDB}		2.9	4	
		10Mbps (5MHz)	I_{DDA}		5.8	8	
			I_{DDB}		5.8	8	
		30Mbps (15MHz)	I_{DDA}		10	16	
			I_{DDB}		10	16	

备注:

1. V_{DDI} = 输入侧V_{DD}

(2) V_{DDA} = V_{DDB} = 3.3 V ± 10%, T_A = -40 to 125°C

参数	测试条件		电源电流	最小值	典型值	最大值	单位
电源电流-直流信号	V_{IN} = 0V		I_{DDA}		1.2	1.9	mA
			I_{DDB}		1.2	1.9	
	V_{IN} = V_{DDI} [1]		I_{DDA}		2.3	3.3	
			I_{DDB}		2.3	3.3	
电源电流-交流信号	所有通道输入 50% 占空比，幅值为 3.3V 的方波；每个通道 C_L = 15 pF	1Mbps (500kHz)	I_{DDA}		2.5	3.5	
			I_{DDB}		2.5	3.5	
		10Mbps (5MHz)	I_{DDA}		5	7	
			I_{DDB}		5	7	
		30Mbps (15MHz)	I_{DDA}		9	14	
			I_{DDB}		9	14	

备注:

1. V_{DDI} = 输入侧V_{DD}

(3) V_{DDA} = V_{DDB} = 2.5 V ± 5%, T_A = -40 to 125°C

参数	测试条件		电源电流	最小值	典型值	最大值	单位
电源电流-直流信号	V_{IN} = 0V		I_{DDA}		1.5	1.9	mA
			I_{DDB}		1.5	1.9	
	V_{IN} = V_{DDI} [1]		I_{DDA}		2.1	3.1	
			I_{DDB}		2.1	3.1	
电源电流-交流信号	所有通道输入 50% 占空比，幅值为2.5V 的方波；每个通道 C_L = 15 pF	1Mbps (500kHz)	I_{DDA}		2.1	3	
			I_{DDB}		2.1	3	
		10Mbps (5MHz)	I_{DDA}		4	6	
			I_{DDB}		4	6	
		30Mbps (15MHz)	I_{DDA}		8	12	
			I_{DDB}		8	12	

备注:

1. V_{DDI} = 输入侧V_{DD}

时序特性

(1) V_{DDA}= V_{DDB} = 5 V ± 10%, TA= -40 to 125°C

符号	参数	测试说明	最小值	典型值	最大值	单位
DR	数据速率		0		30	Mbps
PW_{min}	最小脉宽				22	ns
t_{PLH}, t_{PHL}	传播延迟	图3			40	ns
PWD	脉冲宽度失真$\lvert t_{PLH} - t_{PHL} \rvert$				4	ns
$t_{sk(o)}$	通道到通道输出偏移时间 [1]	同方向通道		0.4	2.5	ns
$t_{sk(pp)}$	片与片之间通道输出偏移时间[2]			2.0	4.5	ns
t_r	输出上升时间	图3			6	ns
t_f	输出下降时间	图3			4	ns
t_{DO}	默认输出延迟时间从输入电源损耗	图4		40		ns
t_{SU}	启动时间			15	40	us

备注:

1. tsk(o) 为具有所有驱动输入连接在一起的单个设备的输出与驱动相同负载时沿相同方向切换的输出之间的偏差 2. tsk(pp)是在相同的电源电压、温度、输入信号和负载下，不同器件在同一方向切换的任意终端之间传播延迟时间的差值。

(2) V_{DDA} = V_{DDB} = 3.3 V ± 10%, T_A = -40 to 125°C

符号	参数	测试说明	最小值	典型值	最大值	单位
DR	数据速率		0		30	Mbps
PW_{min}	最小脉宽				22	ns
t_{PLH}, t_{PHL}	传播延迟	图3			40	ns
PWD	脉冲宽度失真|t_{PLH} - t_{PHL} |				4	ns
$t_{sk(o)}$	通道到通道输出偏移时间[1]	同方向通道		0.4	2.5	ns
$t_{sk(pp)}$	片与片之间通道输出偏移时间[2]			2.0	4.5	ns
t_r	输出上升时间	图3			6	ns
t_f	输出下降时间	图3			4	ns
t_{DO}	默认输出延迟时间从输入电源损耗	图4		40		ns
t_{SU}	启动时间			15	40	us

备注:

1. tsk(o) 为具有所有驱动输入连接在一起的单个设备的输出与驱动相同负载时沿相同方向切换的输出之间的偏差

2. tsk(pp)是在相同的电源电压、温度、输入信号和负载下，不同器件在同一方向切换的任意终端之间传播延迟时间的差值

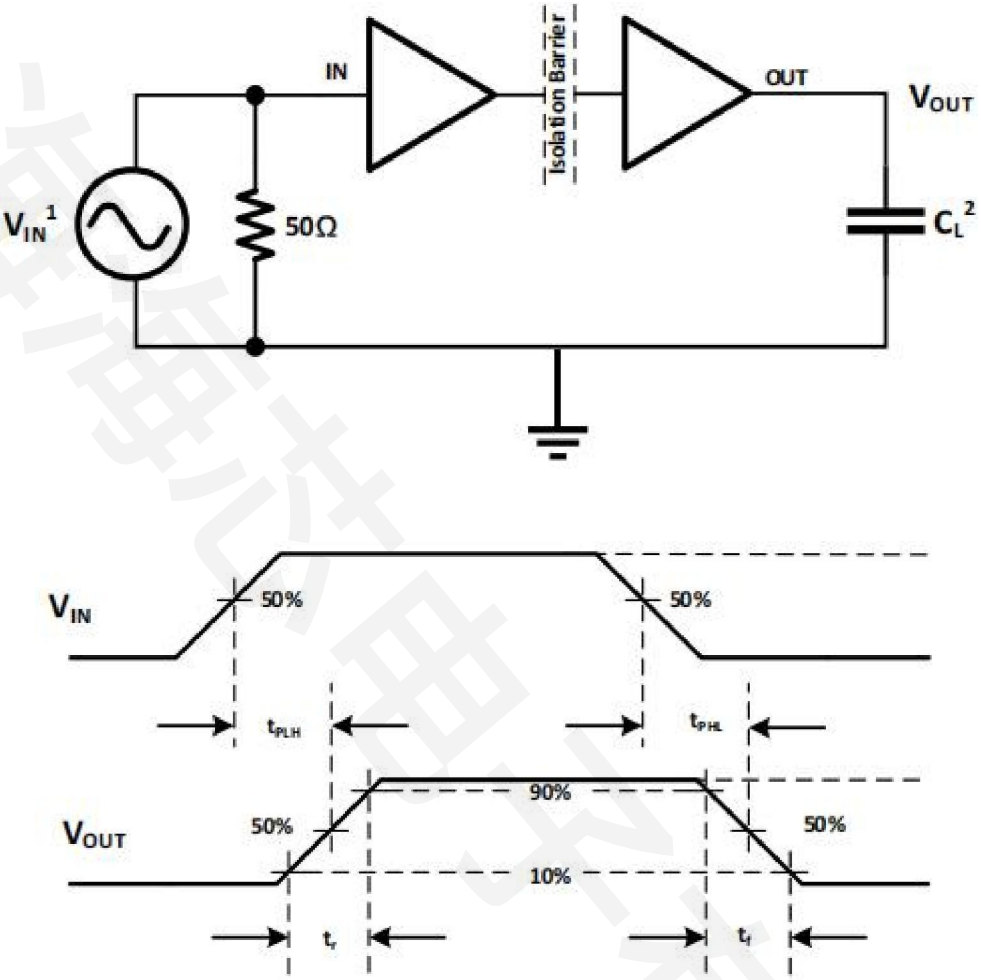
(3) V_{DDA}= V_{DDB} = 2.5 V ± 5%, T_A = -40 to 125°C

符号	参数	测试说明	最小值	典型值	最大值	单位
DR	数据速率		0		30	Mbps
PW_{min}	最小脉宽				22	ns
t_{PLH}, t_{PHL}	传播延迟	图3			40	ns
PWD	脉冲宽度失真|t_{PLH} - t_{PHL}|				4	ns
$t_{sk(o)}$	通道到通道输出偏移时间[1]	同方向通道		0.4	2.5	ns
$t_{sk(pp)}$	片与片之间通道输出偏移时间[2]			2.0	4.5	ns
t_r	输出上升时间	图3			6	ns
t_f	输出下降时间	图3			4	ns
t_{DO}	默认输出延迟时间从输入电源损耗	图4		40		ns
t_{SU}	启动时间			15	40	us

备注:

1. tsk(o) 为具有所有驱动输入连接在一起的单个设备的输出与驱动相同负载时沿相同方向切换的输出之间的偏差 2. tsk(pp)是在相同的电源电压、温度、输入信号和负载下，不同器件在同一方向切换的任意终端之间传播延迟时间的差值。

参数测量信息



备注:

1. 信号发生器产生输入信号VIN 具有以下约束条件:波形频率≤100kHz， 占空比50%， tr≤3ns， tf≤3ns 。由于波形发生器的输出阻抗Zout = 50Ω， 图中的50Ω 电阻是用来匹配。在实际应用中不需要。

2. C_L 是大约 15pF 的负载电容和仪表电容。由于负载电容会影响输出上升时间，因此它是时序特性测量的关键因素。

图 3.时序特性测试电路和电压波形

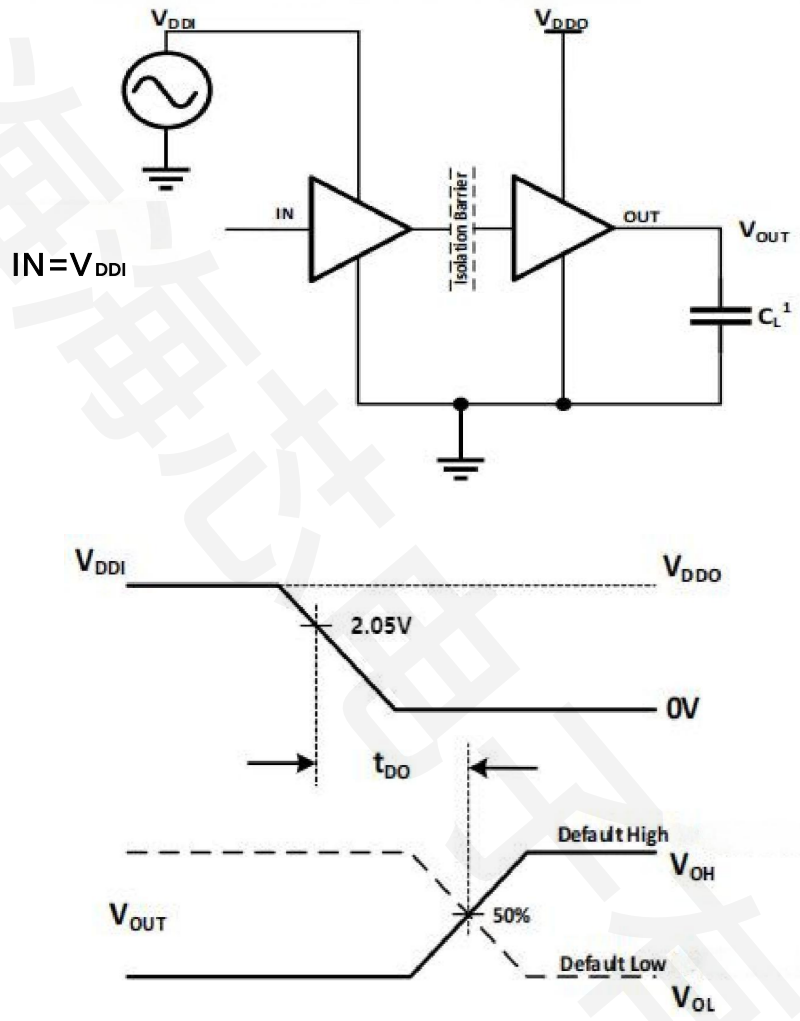
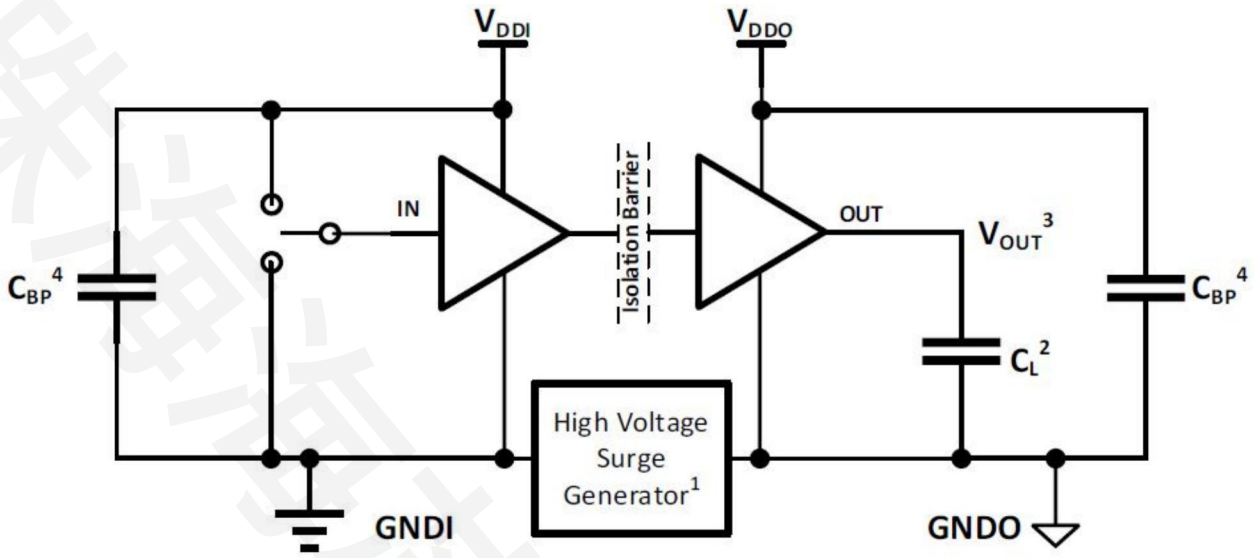


图 4. 默认输出延迟时间测试电路和电压波形

备注:

1. C_L 是大约 15pF 的负载电容和仪表电容。由于负载电容会影响输出上升时间，因此它是时序特性测量的关键因素。
2. 电源电压斜率速率= 10mV/ns



备注:

1. 高压浪涌脉冲发生器产生振幅> 1kV，上升/下降时间<10ns，达到共模瞬态噪声压摆率> 120kV /μs 的重复高压脉冲。
2. C_L 是大约 15pF 的负载电容以及仪表电容。
3. 通过 - 失败标准：每当高压浪涌到来时，输出必须保持稳定。
4. C_{BP} 是0.1μF~1μF 的旁路电容。

图 5. 共模瞬变抗扰度测试电路

详细说明

1、工作原理

ISO7321FCDR-HX 采用全差分隔离电容技术。由 SiO2 构成的高压隔离电容为不同的电压域之间提供可靠的绝缘屏障，并提供可靠的高频信号传输路径；为了保证稳定的数据传输质量，引入开关键控(OOK)调制解调技术。发射机(TX)将输入信号调制到载波频率上，即TX 在一个输入状态下通过隔离电容传递高频信号，而在另一个输入状态下无信号通过隔离电容，然后接收机根据检测到的带内数据重建输入信号。这个架构为隔离的不同电压域之间提供了可靠的数据传输路径，在启动时不需要考虑初始化。全差分的隔离电容架构可以最大限度地提高信号共模瞬态抗干扰能力。

ISO7321FCDR-HX 采用先进的电路技术可以有效的抑制载波信号和 IO 开关引入的 EMI 。相比于电感耦合隔离架构，电容耦合架构具有更高的电磁抗干扰能力。OOK 调制方案消除了脉冲调制方案中可能出现的脉冲丢失引起的误码现象。 图 6 和图 7 分别为单通道功能框图和OOK 开关键控调制方案波形示意图。

2、功能框图

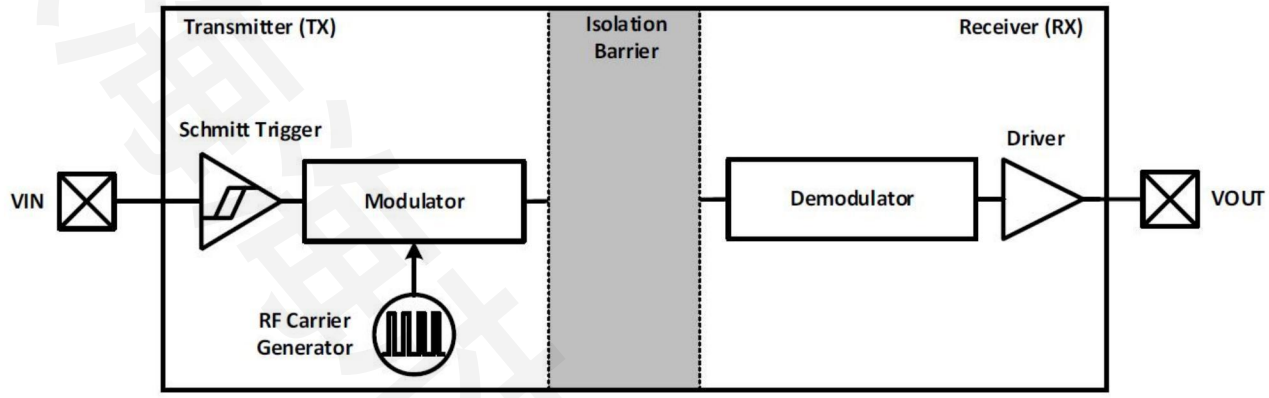


图6. 单通道功能框图

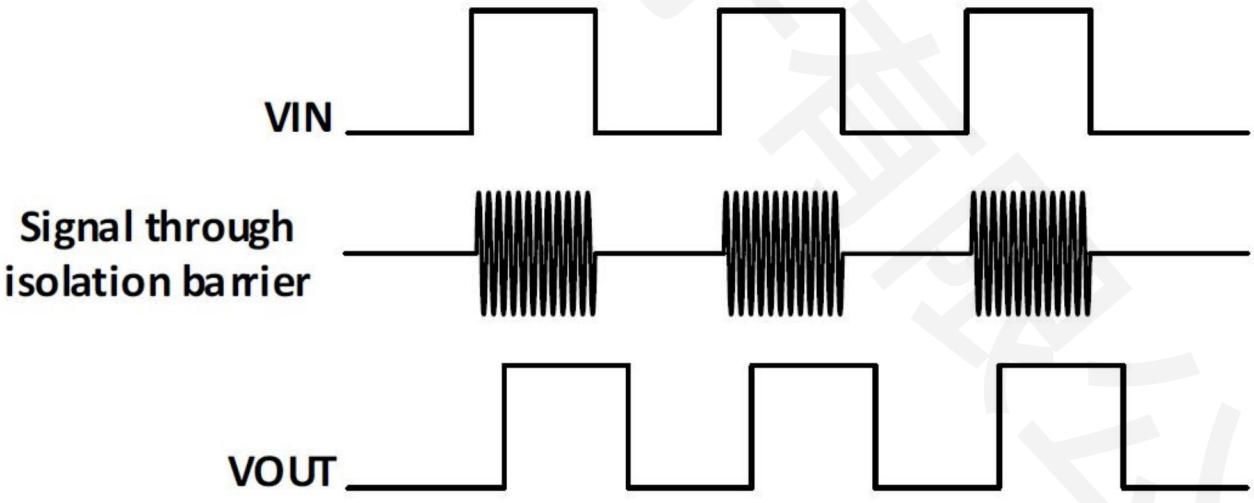


图7. OOK 开关键控调制方案波形示意图

3、真值表

ISO7321FCDR-HX 器件真值表[1]：

V_{DDI}	V_{DDO}	输入(VIx)[2]	输出(VOx)	模式
PU	PU	H	H	正常运行模式； 通道的输出跟随通道输入状态
		L	L	
		Open	Default	默认输出故障安全模式； 如果通道的输入保持断开状态，则其输出将变为默认值
PD	PU	X	Default	默认输出故障安全模式； 如果输入侧 V_{DD} 未通电，则输出进入默认输出故障安全模式高电平
X	PD	X	Undetermined	如果输出侧 V_{DD} 未供电，则输出的状态不确定[3]

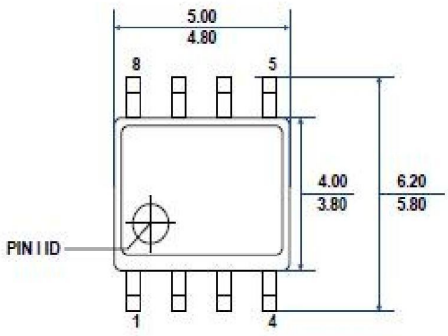
备注:

1. V_{DDI} =输入侧 V_{DD}; V_{DDO} =输出侧 V_{DD}; PU = 上电 ($V_{DD} \geq V_{DD(UVLO+)}$); PD = 断电($V_{DD} \leq V_{DD(UVLO-)}$); X = 无关; H = 高电平; L=低电平; Z=高阻态。

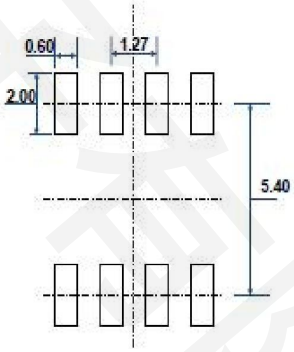
2. 强驱动的输入信号可以通过内部保护二极管微弱地驱动浮动的 V_{DD}，从而导致输出不确定。
3. 当电源电压 $V_{DD(UVLO+)} < V_{DDI}$，$V_{DDO} < V_{DD(UVLO-)}$ 时，输出状态不确定。

封装尺寸

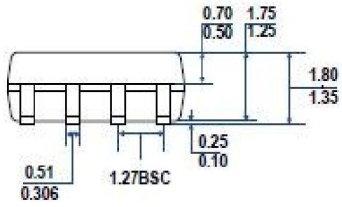
(1) SOP08(窄体)封装图



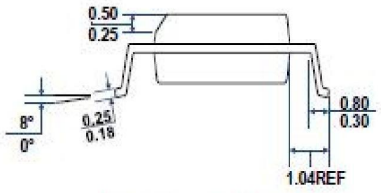
TOP VIEW



RECOMMENDED LAND PATTERN



FRONT VIEW



LEFT-SIDE VIEW