1. 产品简介

1.1 产品特点

- 可产生 3 路 2.5kHz 到 200MHz 的任意频率
- 用户可通过 I²C 自定义配置
- 每个输出通路可实现高精度无误差合成
- 低输出抖动
- 每个输出通路可选择配置扩频（spreadspectrum，SSC）
- 可工作在低成本、固定频率（25MHz 或 27MHz）的晶振下
- 时钟输出支持静态相位偏移
- 时钟输出上升沿/下降沿延时可编程控制
- 无毛刺的频率切换
- 相互独立的不同电源供电管脚：
  - ✧ 主控电源（VDD）：2.5V 或 3.3V
  - ✧ 输出管脚电源（VDDO）：1.8V、2.5V 或 3.3V
- 高电源抑制比（PSRR）
- 低功耗
- 输出延时可调
- 可兼容 PCIEGen1
- 支持差分输出

1.2 应用范围

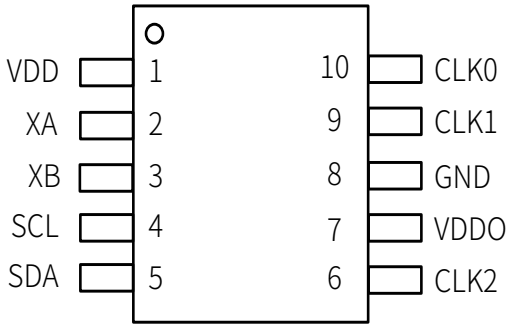
- 音/视频设备、游戏机。
- 打印机、扫描仪、投影仪。
- 手持设备。
- 激光测距仪。
- 家用网关设备。
- 网络、通信、服务器、存储器。
- 晶振替代。

1.3 订货信息

产品型号	封装类型	包装形式	最小包装数量
SI5351A-B-GTR	MSOP10	编带	4000

2. 引脚描述

2.1 引脚示意图



2.2 引脚说明

管脚	序号	I/O 类型	功能描述
XA	2	I	外部晶振输入
XB	3	I	外部晶振输入
CLK0	10	O	输出时钟 0
CLK1	9	O	输出时钟 1
CLK2	6	O	输出时钟 2
SCL	4	I	I^2C 总线串行时钟输入，外接 1kΩ电阻拉高到 VDD
SDA	5	I/O	I^2C 总线数据输入，外接 1kΩ电阻拉高到 VDD
VDD	1	P	芯片电源
VDDO	7	P	CLK0、CLK1、CLK2 输出电源供电
GND	8	P	地
I=Input，O=Output，P=Power			

3.功能描述

SI5351A-B-GTR是一款可I²C编程的多功能时钟发生器，可替代晶振以及输出缓冲器。下给出了SI5351A-B-GTR 的主要结构，分为输入级电路、MSx综合电路以及输出电路。输入级电路选择外部晶振XTAL，然后MSx综合电路使用高精度小数分频器产生需求的输出频率。另外输出电路提供了整数分频器，最低可产生2.5KHz的输出频率。从输入频率到输出的每条通路可任意选择时钟源。正是因为这种高精度灵活的结构，SI5351A-B-GTR每个输出通路可以同步产生独立的非整数相关的时钟频率。

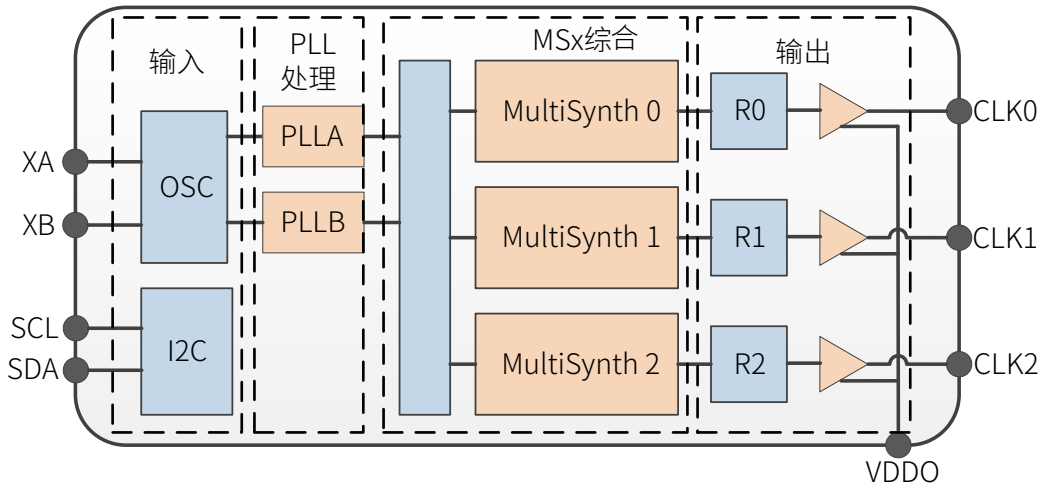


图1.SI5351A-B-GTR功能结构图

3.1 输入

3.1.1. 晶振输入（XA，XB）

SI5351A-B-GTR使用一个频率固定的晶振作为内部时钟的参考时钟。晶振输出可以作为PLL的参考以产生异步时钟，晶振频率为25MHz或27MHz。

SI5351A-B-GTR提供了可配置大小的内部负载电容，这就省去了外部负载电容的使用。内部负载电容可配置为0,6,8,10pF，晶振可以支持选择2pF的外部负载电容。

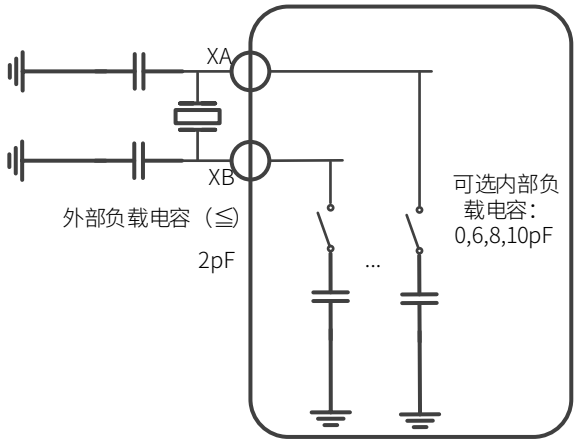


图 2.外部晶振负载电容选择

3.1.2. PLL 处理模块及 MSx 综合分频器

PLL 处理模块将低频的参考频率倍频到一个高频频率（600MHz～900MHz)。而 MSx 综合分频器使用高精度的小数分频器将高频频率分频为满足要求的输出频率。每个 PLL 只允许一个大于 112.5MHz 的输出频率（比如，125MHz（CLK0)，130MHz(CLK1)，150MHz（CLKx）是不允许同时输出的)。注意大于 112.5MHz 的频率可以复制到多个输出，比如，可以输出（CLK0-2）3 个 125MHz。

PLL 处理模块的参考频率来源是 XTAL。这使得每个 PLL 可以锁定不同的时钟源来产生相互独立的同步时钟。当然，两个 PLL 也可以锁定相同的时钟源。允许每个 MSx 综合分频器连接到 PLLA 或者 PLLB。这种灵活的结构可以让每个输出可以通过扩频或者不扩频生成同步或者异步时钟，并且到每个输出上是稳定的相关的非整数分频时钟。

3.2 输出

输出模块包含了额外的分频器，可以用以产生低于 2.5kHz 的频率。所有的输出分频器，通过独立的输出电源脚 VDDOx 供电（两个输出共用一个电源脚，共 4 组)，并允许不同的电源输入（1.8V、2.5V 或 3.3V)。

3.3 扩频

扩频可以通过 PLLA 使能到任意时钟输出。扩频在减小 EMI 方面非常有用。使能扩频的输出时钟会调整它的频率，这有效地减少振幅的辐射功率。注意扩频在使用 PLLB 输出时钟时是无效的。

3.4 I²C 接口

SI5351A-B-GTR 的许多功能和特性需要通过 I²C 读写寄存器来控制。下面列举一些通过 I²C 接口控制的特性。完整的列表可以参考寄存器和编程部分。

状态指示：

(1) 参考晶振丢失，LOS_XTAL，见寄存器 reg0[3]

(2) CLKIN 丢失，LOS_CLKIN，见寄存器 reg0[4]

(3) PLLA/PLLB 锁定失效，LOL_A/LOL_B,见寄存器 reg0[6:5]

- ✧ 配置 PLL 和综合分频器
- ✧ 配置扩频（向下扩频或中心扩频，调幅比例）
- ✧ PLL 和综合分频器选择控制
- ✧ 设置时钟输出选择：

(1) 使能或禁止时钟输出

(2) 时钟输出相位翻转或不翻转

(3) 输出分频值（2^n，n=1..7）

(4) 禁止时钟输出时输出状态（高电平、低电平或高阻态）

(5) 输出相位偏移量

I²C 接口是包含 7 位地址从机模式，支持 100kbps 的标准模式和 400kbps 的快速模式，以及地址自加的数据块传输。

I²C 总线包含双线的串行数据线（SDA）和串行时钟输入（SCL)。SDA 和 SCL 管脚必须通过大于 1K 的外部上拉电阻接到电源。

SI5351A-B-GTR 的 7 位从设备地址包括 6 位固定地址加上 1 位可选 LSB 位。对于要求一个主 I²C 上挂多个 SI5351A-B-GTR 的应用，LSB 位可以通过 A0 脚选择 0 或 1。对于没有 A0 脚的封装，默认地址为 0x60。

6	5	4	3	2	1	0(A0)
1	1	0	0	0	0	0/1

图 3. SI5351A-B-GTR I²C 从机地址

数据传输方式采用 MSB 优先的 8 位数据传输。写命令包括 7 位从机地址和 1 位写标志、8 位的寄存器地址和 8 位的数据。写块操作只需要追加其他数据字节，地址自加。

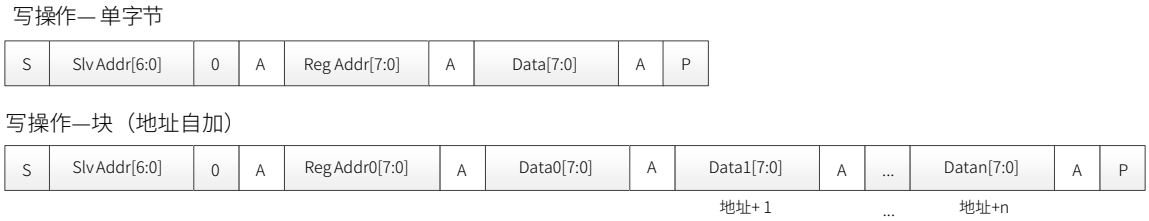


图 4.I ²C 写操作

读操作包括两条命令。第一条为写命令，用以发送寄存器地址；第二条为读命令，用来接收该寄存器的数据。同样支持数据块读操作。

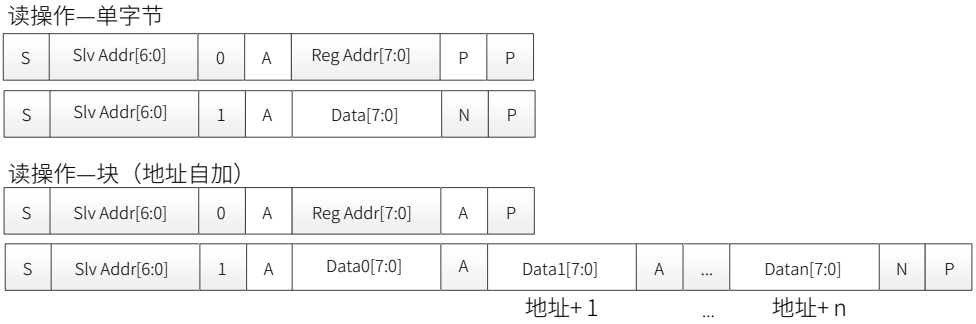


图 5.I²C 读操作

3.5 配置

SI5351A-B-GTR 是一款可以通过 I²C 接口配置的灵活的时钟发生器。默认配置存储在 OTP 中，用户可以将通用用户配置烧录 OTP 中，每次上电后自动从 OTP 中加载到寄存器中。这种方式适用于上电时需要提供一个时钟的应用场景。

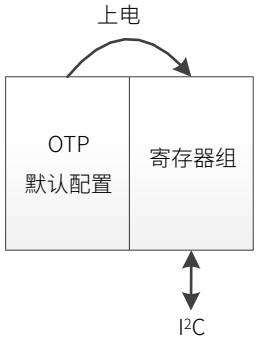


图 6.SI5351A-B-GTR 配置

上电之后，可以通过 I²C 接口对寄存器进行读写操作来改变应用配置。

3.5.1. 配置流程

根据输出时钟频率要求，计算并配置相应寄存器，配置流程如下：

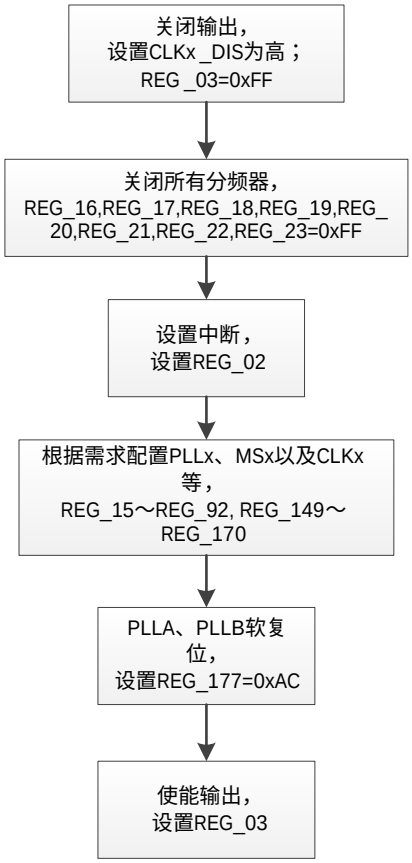


图 7.I²C 配置流程

3.6 相关方程

3.6.1. PLL 反馈分频器配置

PLL 时钟源确定后，两个 PLL 的 VCO 输出频率可以通过以下公式来选择并锁定。PLL 分频器通过参考时钟锁定后 VCO频率与参考时钟源的关系如下

$$f_{VCO} = f_{XTAL} \times \left(a + \frac{b}{c}\right) \quad 或 \quad f_{VCO} = \frac{f_{CLKIN}}{CLKIN_DIV} \times \left(a + \frac{b}{c}\right)$$

其中$\left(a + \frac{b}{c}\right)$表示倍频比，且$\left(a + \frac{b}{c}\right) \in [(15 + 0/1{,}048{,}575), 90]$，根据参考时钟选择不同大小，使得$600\text{MHz} \leq f_{VCO} \leq 900\text{MHz}$。PLL 反馈分频器相关寄存器配置值由一下公式计算

$$MSNx_P1[17:0] = 128 \times a + \left\lfloor 128 \times \frac{b}{c} \right\rfloor - 512$$

$$MSNx_P2[19:0] = 128 \times b - c \times \left\lfloor 128 \times \frac{b}{c} \right\rfloor$$

$$MSNx_P3[19:0] = c$$

3.6.2. 输出综合分频器配置

输出频率 CLKx 由对应的输出综合分频器 MSx 控制输出。通过 MSx_SRC 可以选择不用的源 PLLA/PLLB，然后由输出综合分频器 MSx 分频。

对于小于等于 150MHz，输出分频器设置分频比为$\left(a + \frac{b}{c}\right)$，即

$$f_{out} = f_{VCO} / \left(a + \frac{b}{c}\right)$$

相关寄存器设置如下

$$MSx_P1[17:0] = 128 \times a + \left\lfloor 128 \times \frac{b}{c} \right\rfloor - 512$$

$$MSx_P2[19:0] = 128 \times b - c \times \left\lfloor 128 \times \frac{b}{c} \right\rfloor$$

$$MSx_P3[19:0] = c$$

对于通过综合分频器 MS0~MS5 分频输出的大于 150MHz，MSx 分频器设置为 4 分频输出。相关寄存器设置如下

MSx_P1=0，MSx_P2=0，MSx_P3=1，MSx_INT=1，MSx_DIVBY4[1:0]=2 ’ b11.

3.6.3. 扩频配置

扩频可以应用到使用 PLLA 作为参考的所有输出上。向下扩频范围为-0.1%~-2.5%，中心扩频范围为 ± 1.5%。扩频调幅率被校准到近似 31.5kHz。

向下扩频相关配置参数计算公式如下

$$SSUDP[11:0] = \left\lfloor \frac{f_{PFD}}{4 \times 31{,}500} \right\rfloor$$

$$SSDN = 64 \times \left(a + \frac{b}{c}\right) \times \frac{sscAmp}{(1 + sscAmp) \times SSUDP}$$

$$SSDN_P1[11:0] = \lfloor SSDN \rfloor$$

$$SSDN_P2[14:0] = 32{,}767 \times \lfloor SSDN - SSDN_P1 \rfloor$$

$$SSDN_P3[14:0] = 32{,}767 = 0x7FFF$$

$$SSUP_P1 = 0，\ SSUP_P2 = 0，\ SSUP_P3 = 1$$

中心扩频相关参数配置计算公式如下

$$SSUDP[11:0] = \left\lfloor \frac{f_{PFD}}{4 \times 31{,}500} \right\rfloor$$

$$SSUP = 128 \times \left(a + \frac{b}{c}\right) \times \frac{sscAmp}{(1 + sscAmp) \times SSUDP}$$

$$SSDN = 128 \times \left(a + \frac{b}{c}\right) \times \frac{sscAmp}{(1 + sscAmp) \times SSUDP}$$

$$SSUP_P1[11:0] = \lfloor SSUP \rfloor$$

$$SSUP_P2[14:0] = 32{,}767 \times \lfloor SSUP - SSUP_P1 \rfloor$$

$$SSUP_P3[14:0] = 32{,}767 = 0x7FFF$$

$$SSDN_P1[11:0] = \lfloor SSDN \rfloor$$

$$SSDN_P2[14:0] = 32{,}767 \times \lfloor SSDN - SSDN_P1 \rfloor$$

$$SSDN_P3[14:0] = 32{,}767 = 0x7FFF$$

4. 电路框图

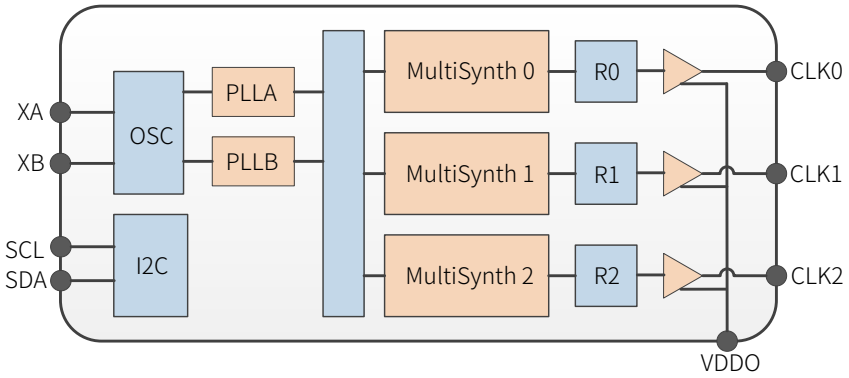


图 8：电路框图

5. 特性参数

5.1 极限参数

参数	符号	测试条件	范围值	单位
DC 电压	V_{DD_max}	-	–0.5 to 3.8	V
输入电压	$V_{IN_XA/B}$	PinsXA，XB	–0.5 to 1.3V	V
结温	T_J	-	–55 to 150	℃
电烙铁温度（无铅）	T_{PEAK}	-	260	℃
电烙铁温度处于 TPEAK 时持续时间（无铅）	T_P	-	20–40	Sec

注：超过极限参数应用可能会对芯片造成永久性损伤。

5.2 常规参数

5.2.1. DC 特性

（VDD=2.5V±10%或 3.3V±10%，TA=–40°C～85°C）

参数	符号	测试条件	最小	标准	最大	单位
VDD 电流	I_{VDD}	3 通道输出	-	22	35	mA
输出端电流*	I_{VDDOx}	CL=5pF	-	2.2	5.6	mA
输出阻抗	Z_O	VDDO=3.3V，最高驱动	-	50	-	Ω

注意*：输出时钟小于或等于 100MHz。

5.2.2. AC 特性

（VDD=2.5V±10%或 3.3V±10%，TA=–40°C～85°C）

参数	符号	测试条件	最小	标准	最大	单位
上电时间	T_{RDY}	从 VDD=min（VDD）到时钟有效输出，CL=5pF，fCLKx>1MHz	-	2	10	ms
PLL 旁路下上电时间	T_{BYP}	从 VDD=min（VDD）到时钟有效输出，CL=5pF，fCLKx>1MHz	-	0.5	1	ms
输出使能时间	T_{OE}	从 OEB 拉低到时钟有效输出，CL=5pF，fCLKx>1MHz	-	-	10	μs
输出频率切换时间	T_{FREQ}	fCLKx>1MHz	-	-	10	μs
输出相位偏移	P_{STEP}	-	-	333	-	ps/step
扩频范围	SS_{DEV}	下扩频，步进 0.1%	–0.1	-	–2.5	%
		中心扩频，步进 0.1%	±0.1	-	±1.5	%
扩频调频率	SS_{MOD}	-	30	31.5	33	kHz

5.2.3. 输入时钟特性

（VDD=2.5V±10%或 3.3V±10%，TA=–40°C～85°C）

参数	符号	测试条件	最小	标准	最大	单位
晶振频率	f_{XTAL}	-	25	-	27	MHz

5.2.4. 输出时钟特性

（VDD=2.5V±10%或 3.3V±10%，TA=–40°C～85°C）

参数	符号	测试条件	最小	标准	最大	单位
频率范围 [1]	F_{CLK}	-	0.0025	-	200	MHz
负载电容	CL	-	-	-	15	pF
占空比	DC	FCLK<160MHz，VDD/2	45	50	55	%
		FCLK>160MHz，VDD/2	40	50	60	%
上升/下降时间	tr	20%～80%，CL=5pF，默认高驱动	-	1	1.5	ns
	tf	20%～80%，CL=5pF，默认高驱动	-	1	1.5	ns
输出高电平	V_{OH}	CL=5pF	VDD-0.6	-	-	V
输出低电平	V_{OL}	CL=5pF	-	-	0.6	V
周期抖动 [2，3]	J_{PER}	3 通道同时输出	-	60	135	ps，pk-pk
相邻时钟抖动 [2，3]	J_{CC}	3 通道同时输出	-	60	130	ps，pk
VCXO 周期抖动 [2，3]	J_{PER_VCXO}	3 通道同时输出	-	60	135	ps，pk-pk
VCXO 相邻时钟抖动 [2,3]	J_{CC_VCXO}	3 通道同时输出	-	60	130	ps，pk

(1) 超过 112.5MHz 的时钟仅允许同时输出两个。

(2) 在输出驱动时（50Ω的输出阻抗）测试时钟抖动超过 10K 周期。

(3) 抖动极大程度上取决于频率设置。规格表示的是实际最坏情况的频率设置，正常配置稳定性会更好。3 通道输出的 10-MSOP 分别配置为 74.25MHz、24.576MHz、48MHz。

5.2.5. 晶振必要条件 [1,2]

参数	符号	最小	标准	最大	单位
晶振频率	f_{XTAL}	25	-	27	MHz
负载电容	C_{xL}	6	-	12	pF
等效串联电阻	r_{ESR}	-	-	150	Ω
最大驱动等级	d_L	100	-	-	μW

(1) 晶振要求的负载电容 6,8,or 10pF 可以通过内部负载电容调节实现，见寄存器 183 的[7:6]位。晶振要求 12pF 负载电容时可使用内部 10pF 组合外加 2pF 负载电容。

5.2.6. I²C 特性（SCL,SDA）[1]

参数	符号	测试条件	标准模式 100kbps		快速模式 400kbps		单位
			最小	最大	最小	最大	
低电平输入 [2]	V_{ILI2C}	-	–0.5	0.3VDDI2C	–0.5	0.3VDDI2C	V
高电平输入 [2]	V_{IHI2C}	-	0.7VDDI2C	3.6	0.7VDDI2C	3.6	V
施密特迟滞电压	V_{HYS}	-	-	-	0.1	-	V
低电平输出电压	V_{OLI2C}	V_{DDI2C}=2.5/3.3V	0	0.4	0	0.4	V
输入电流	I_{II2C}	-	–10	10	–10	10	μA
I/O 管脚电容	C_{II2C}	V_{IN}=–0.1 to V_{DDI2C}	-	4	-	4	pF
I²C 总线超时时间	T_{TO}	超时使能	25	35	25	35	ms

(1) 参考 NXP UM10204 I²C 总线规范。

(2) I²C 仅支持 2.25V 到 3.63V 供电。

5.3 推荐工作条件

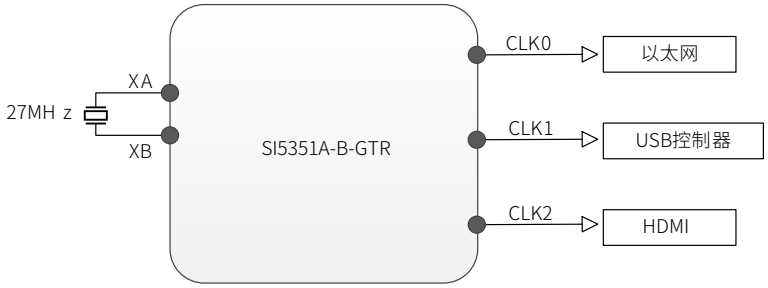
参数	符号	测试条件	最小	标准	最大	单位
工作温度	T_A	/	–40	25	85	°C
电源电压	VDD	/	3.0	3.3	3.60	V
		/	2.25	2.5	2.75	V
输出端电压	V_{DDOx}	/	1.71	1.8	1.89	V
		/	2.25	2.5	2.75	V
		/	3.0	3.3	3.60	V

注意：所有的 VDDOx 必须在 VDD 设定之前或同时设定

6. 典型应用

6.1 代替石英晶体、晶体振荡器和锁相环

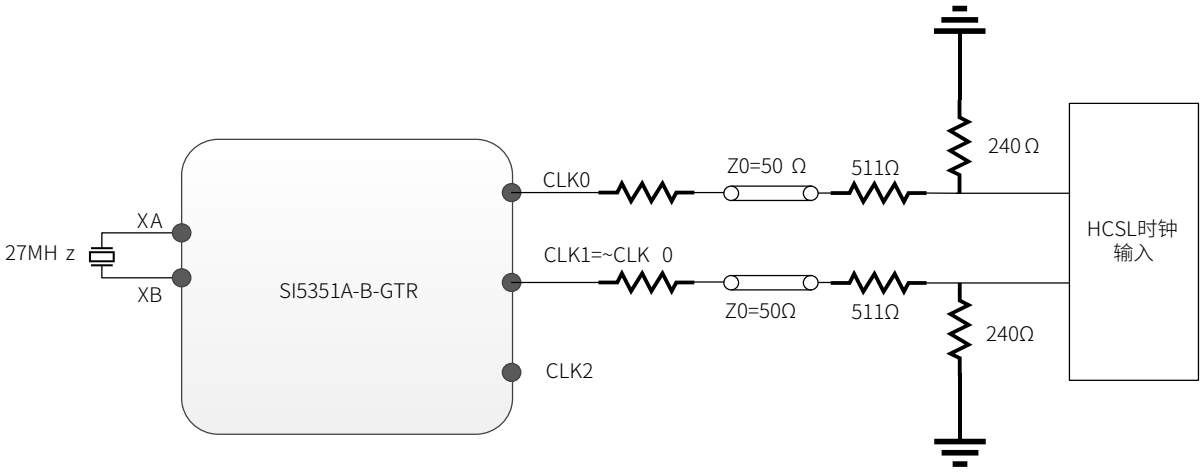
SI5351A-B-GTR 作为一款通用时钟发生器芯片，它的应用十分广泛。外部使用廉价的石英晶体就可以产生 3 个独立的时钟，如下图：



XA 端也可以接受 CMOS 时钟，这时 XB 应该悬空。

6.2 兼容 HCSL 的输出

当输出级供电电压 VDDO 采用 2.5V 时，SI5351A-B-GTR 可配置兼容 HCSL 摆幅。下图是 HCSL 应用场景，由于HCSL只接收差分信号，这时有一个输出必须取反，设置寄存器 CLKn_INV(n=0,1,2)即可。



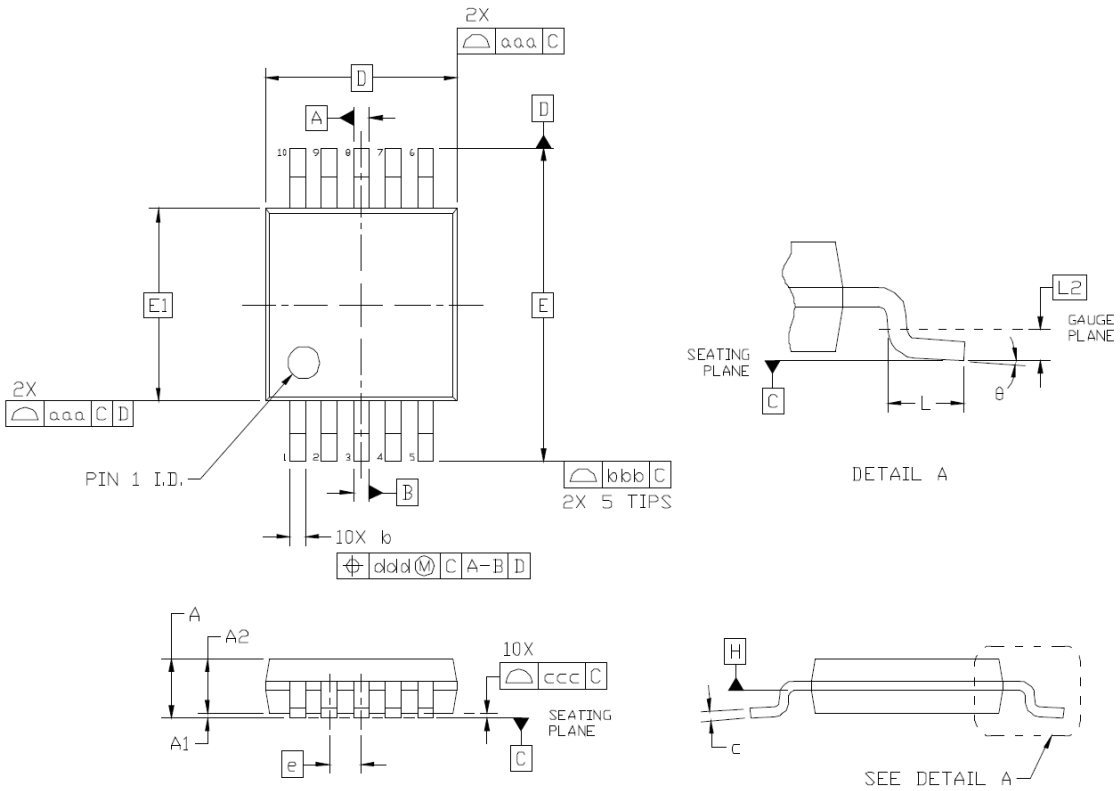
6.3 XTAL 输入有源时钟

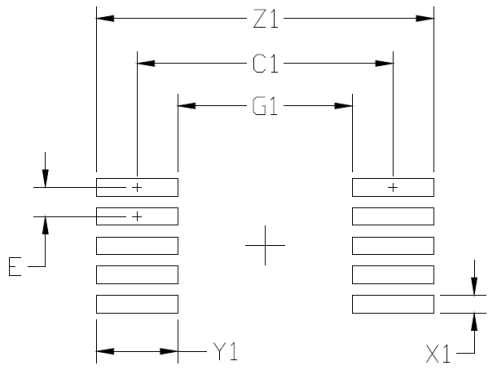
SI5351A-B-GTR 可以通过 XA 管脚输入一个有源时钟来驱动。



7. 封装尺寸

10-Pin MSOP 封装尺寸



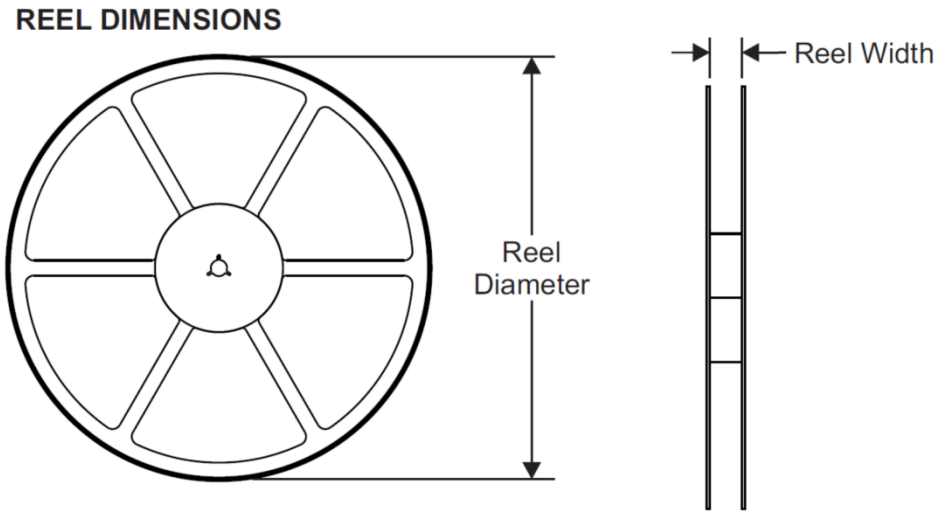


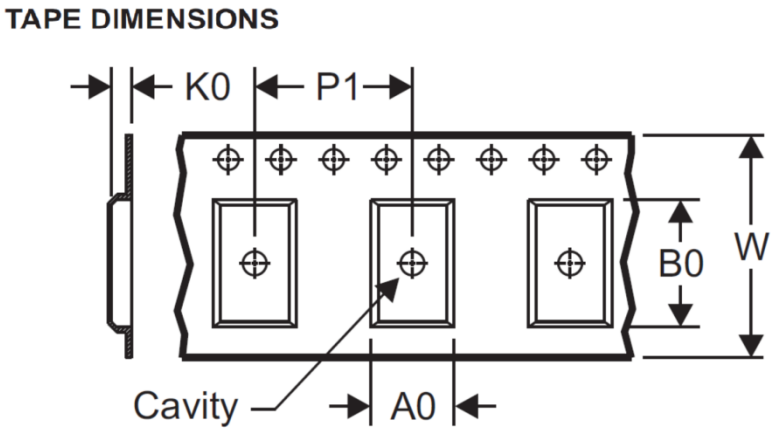
Symbol	Millimeters	
	Min	Max
C1	4.40 REF	
E	0.50 BSC	
G1	3.00	-
X1	-	0.30
Y1	1.40 REF	
Z1	-	5.80

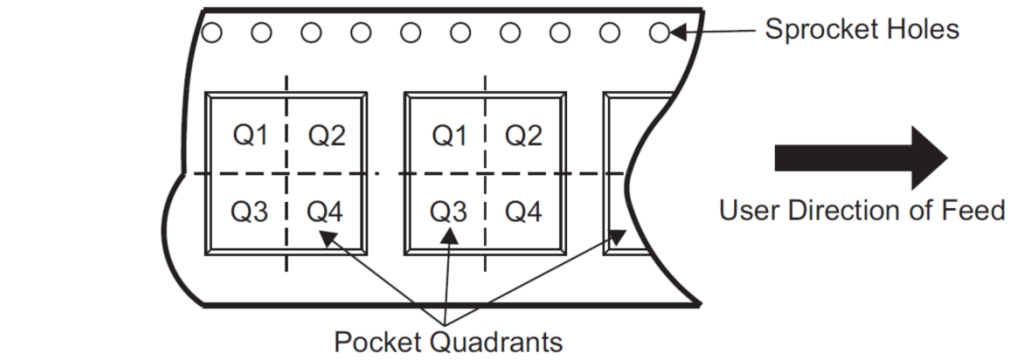
Dimension	Min	Nom	Max
A	-	-	1.10
A1	0.00	-	0.15
A2	0.75	0.85	0.95
b	0.17	-	0.33
C	0.08	-	0.23
D	3.00 BSC		
E	4.90 BSC		
E1	3.00 BSC		
E	0.50 BSC		
L	0.40	0.60	0.80
L2	0.25 BSC		
q	0	-	8
aaa	-	-	0.20
bbb	-	-	0.25
ccc	-	-	0.10
ddd	-	-	0.08

8. 包装信息

卷带包装信息







A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers