



JSC8P012 用户手册

8 位 OTP 微控制器

Rev. 1.07

目录

1 芯片简介	4
1.1 功能特性	4
2 引脚说明	5
2.1 引脚排列	5
2.2 引脚说明	6
3 存储器结构	7
3.1 程序存储器结构	7
3.2 数据存储区结构	8
3.3 BANK0 页面存储器	9
3.3.1 R0 (IAR:间接地址寄存器)	9
3.3.2 R1 (TCC:TCC 计数器)	9
3.3.3 R2 (PC:程序计数器) 与堆栈	9
3.3.4 R3 (STATUS:状态寄存器)	10
3.3.5 R4 (RSR:RAM 选择寄存器)	11
3.3.6 R5 (P5:端口 5)	12
3.3.7 R6 (P6:端口 6)	12
3.3.8 R7 (P7:端口 7)	12
3.3.9 R8 (AISR:ADC 输入选择寄存器)	12
3.3.10 R9 (ADCON:ADC 控制寄存器)	13
3.3.11 RA (ADOC:ADC 补偿校准寄存器)	14
3.3.12 RB (ADDATA:ADC 转换结果)	15
3.3.13 RC (ADDATA1H:ADC 转换结果)	15
3.3.14 RD (ADDATA1L:ADC 转换结果)	15
3.3.15 RE (ISR1:中断状态 1 及唤醒控制寄存器)	15
3.3.16 RF (ISR2:中断状态 2 寄存器)	16
3.3.17 R10~R3F 通用寄存器	16
3.4 BANK1 页面寄存器详解	16
3.4.1 R5 (TBHP:TRBD 指令的表指向寄存器)	16
3.4.2 R6 (TBLP:TBRD 指令的表指向寄存器)	17
3.4.3 R7 (PWMCON:PWM 控制寄存器)	17
3.4.4 R8 (TMRCN:定时器控制寄存器)	17
3.4.5 R9 (PRD1:PWM1 时间周期)	18
3.4.6 RA (PRD2:PWM2 时间周期)	18

3.4.7	RB (DT1:PWM1 占空比周期)	18
3.4.8	RC (DT2:PWM2 占空比周期)	18
3.4.9	RD (SFS:基准选择及 IRC 校准位寄存器)	18
3.4.10	RE (LVDIWR:LVD 中断和唤醒控制寄存器)	18
3.4.11	RF (SCR:模式选择以及 IRC 切换寄存器)	19
3.5	BANK2 页面寄存器详解	20
3.5.1	RA (PWMDTEX:PWM 占空比延展寄存器)	20
3.5.2	RE (PIE3CON:中断使能控制寄存器 2)	21
3.5.3	RF (中断状态 3 以及唤醒控制寄存器 2)	21
3.6	I0C0 页面寄存器详解	22
3.6.1	ACC (累加器)	22
3.6.2	CONT (控制寄存器)	22
3.6.3	I0C50 (P5CR:P5 输入/输出控制寄存器)	22
3.6.4	I0C60 (P6CR:P6 输入/输出控制寄存器)	22
3.6.5	I0C70 (P7CR:P7 输入/输出控制寄存器)	23
3.6.6	I0C80 (CCR:比较器控制寄存器)	23
3.6.7	I0C90 (TMR1:TMR1 寄存器)	23
3.6.8	I0CA0 (TMR2:TMR2 寄存器)	23
3.6.9	I0CB0 (P5PDCR:P5 下拉控制寄存器)	23
3.6.10	I0CC0 (P60DCR:P6 漏极开路控制寄存器)	23
3.6.11	I0CD0 (P5PHCR:P5 上拉控制寄存器)	24
3.6.12	I0CE0 (WDTCR:WDT 控制寄存器及中断使能寄存器 2)	24
3.6.13	I0CF0 (IMR:中断使能寄存器 1)	24
3.7	I0C1 页面寄存器详解	25
3.7.1	I0C51 (P5HSCR:P5 高灌电流控制寄存器)	25
3.7.2	I0C61 (P6HSCR:P6 高灌电流控制寄存器)	25
3.7.3	I0C71 (P5HDCR:P5 高驱动电流控制寄存器)	25
3.7.4	I0C81 (P6HDCR:高驱动电流控制寄存器)	26
3.7.5	I0CB1 (P6PDCR:P6 下拉控制寄存器)	26
3.7.6	I0CC1 (P50DCR:P5 开漏控制寄存器)	26
3.7.7	I0CD1 (P7PHCR:P7 上拉控制寄存器)	26
Bit 0	PH70: P70 端口上拉使能控制位	27
3.7.8	I0CE1 (P7PDCR:下拉\开漏控制寄存器)	27
Bit 0	PD70: P70 端口下拉使能控制位	27
3.7.9	I0CF1 (P6PHCR:P6 上拉控制寄存器)	27

4	JSC8P012 主要功能模块	27
4.1	I/O 功能	27
4.1.1	P5 口概述	27
4.1.2	P6 口概述	27
4.1.3	P7 口概述	27
4.2	TCC/WDT&预分频器	28
4.3	PWM 功能	28
4.3.1	功能概述	28
4.3.2	PWM1	28
4.3.3	PWM2	29
4.3.4	16 位 PWM	30
4.4	ADC 功能	30
4.4.1	功能概述	30
4.4.2	ADC 功能应用说明	30
4.5	比较器	32
4.6	LVD（低压检测）功能	32
4.7	睡眠与唤醒	32
4.7.1	SLEEP 模式唤醒	32
4.7.2	IDLE 模式唤醒	33
4.8	中断功能	35
4.8.1	功能概述	35
4.8.2	中断功能应用说明	35
4.9	复位功能	36
4.9.1	功能概述	36
4.10	时钟模块	40
4.11	代码选项寄存器	40
5	极限参数	41
6	DC 电气特性	42
7	封装外形及尺寸	43
8	修订记录	45

1 芯片简介

1.1 功能特性

CPU配置

- 2K×16-Bit OTP ROM
- 112×8-Bit SRAM
- 8 级堆栈空间
- 工作电流小于 1.5 mA (4MHz/5V)
- 休眠电流小于 2 μ A (睡眠模式)

I/O配置

- 14 个可编程上拉 I/O 引脚
- 13 个可编程下拉 I/O 引脚
- 10 个可编程高灌电流 I/O 引脚
- 14 个开漏输出 I/O 引脚
- 外部中断:P60
- 可配置上拉和输出
- 唤醒端口:P5、P6、P70 口

工作频率范围

- 内部 RC 选择:
16MHz、8MHz、4MHz、1MHz
- 指令周期长度选择:
2/4/8/16 振荡周期

ADC 模块

- 位数: 12 位逐次逼近型 ADC
- 输入通道: 8 路模拟信号输入通道, 2 个内部输入通道 (0.25VDD, BGP)
- 参考电压: 内部参考电压 2V/3V/4V 以及外部参考电压 VREF
- 有效精度最高可达 10.8 位

低压检测

- 4.2V ● 4.1V
- 4.0V ● 3.6V
- 3.3V ● 3.0V
- 2.9V ● 2.8V
- 2.4V ● 2.2V
- 2.0V

低压复位

- 3.9V ● 3.6V
- 2.6V ● 1.75V

中断源

- TCC 溢出中断
- 外部中断

- 比较器输出状态改变中断
- ADC 转换完成中断
- PWM1 周期中断
- PWM2 周期中断
- PWM1 占空比中断
- PWM2 占空比中断
- P5、P6、P70 输入端口状态改变中断
- LVD 中断

工作电压

- 工作电压范围：
 - 2.1V~5.5V (0°C~70°C)
 - 2.3V~5.5V (-40°C~85°C)

外围模块

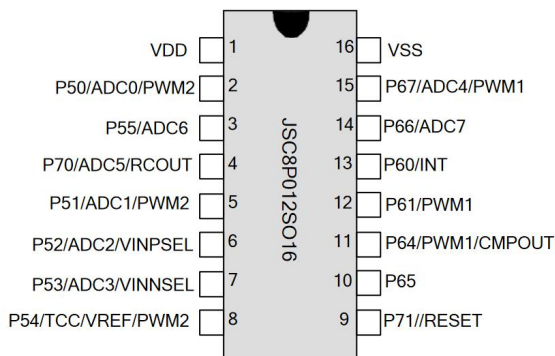
- 可编程 WDT 预分频器
- 可编程 WDT 时间
- 2 路 8Bit PWM(支持 8+3 模式)
- 8Bit 定时器/计数器 (TCC)
- 1 路可编程比较器

封装类型

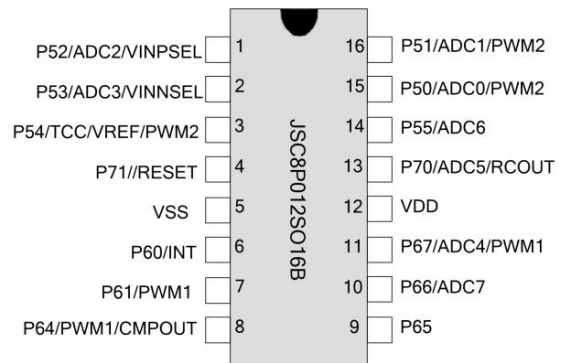
- SOP16, SOP14, MSOP10, SOP8

2 引脚说明

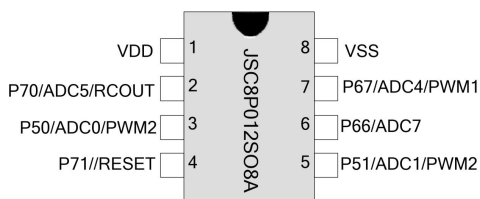
2.1 引脚排列



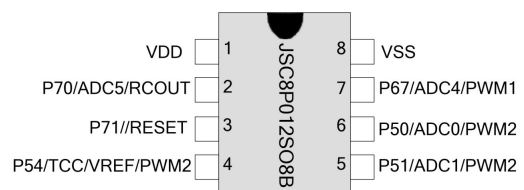
JSC8P012SO16(BB)(BD)



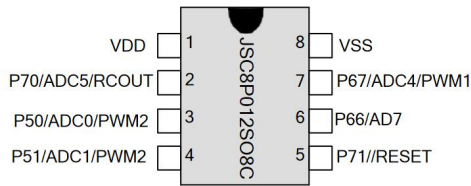
JSC8P012SO16B(BB)(BD)



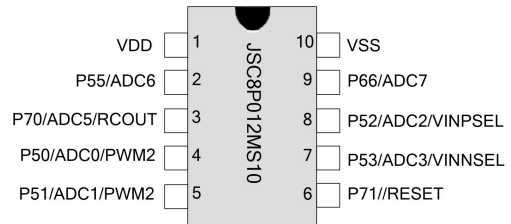
JSC8P012SO8A(BB)(BD)



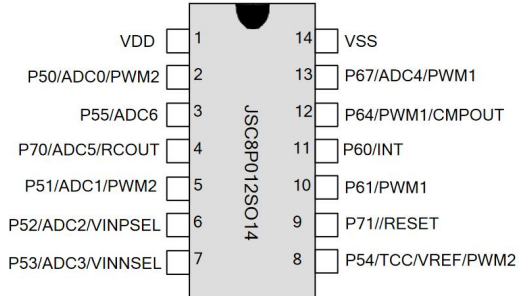
JSC8P012SO8B(BB)(BD)



JSC8P012SO8C(BB)(BD)



JSC8P012MS10(BB)(BD)



JSC8P012SO14(BB)(BD)

2. 2 引脚说明

序号	管脚名	I/O	功能描述
P50	P50	I/O (上/下拉)	通用 I/O 口 (OPTION 选择 8K 或者普通上拉电阻)
	ADC0	I (AN)	ADC INPUT 0
	PWM2	O	PWM2 输出 (OPTION 选择)
P51	P51	I/O (上/下拉)	通用 I/O 口
	ADC1	I (AN)	ADC INPUT 1
	PWM2	O	PWM2 输出
P52	P52	I/O (上/下拉)	通用 I/O 口
	ADC2	I (AN)	ADC INPUT 2
	VINPSEL	I (AN)	比较器正端输入
P53	P53	I/O (上/下拉)	通用 I/O 口
	ADC3	I (AN)	ADC INPUT 3
	VINNSEL	I (AN)	比较器负端输入
P54	P54	I/O (上/下拉)	通用 I/O 口
	TCC	I (SMT)	TCC 时钟输入端口
	PWM2	O	PWM2 输出 (OPTION 选择)
	VREF	I (AN)	ADC 外部基准电压
P55	P55	I/O (上/下拉)	通用 I/O 口

	ADC6	I (AN)	ADC INPUT 6
P60	P60	I/O (上/下拉)	通用 I/O 口
	INT	I (SMT)	外部中断输入端口
P61	P61	I/O (上/下拉)	通用 I/O 口
	PWM1	0	PWM1 输出 (OPTION 选择)
P64	P64	I/O (上/下拉)	通用 I/O 口
	CMPOUT	0	比较器输出口 (OPTION 配置)
	PWM1	0	PWM1 输出 (OPTION 选择)
P65	P65	I/O (上/下拉)	通用 I/O 口
P66	P66	I/O (上/下拉)	通用 I/O 口
	ADC7	I (AN)	ADC INPUT 7
P67	P67	I/O (上/下拉)	通用 I/O 口
	ADC4	I (AN)	ADC INPUT 4
	PWM1	0	PWM1 输出口
P70	P70	I/O (上/下拉)	通用 I/O 口
	ADC5	I (AN)	ADC INPUT 5
	RCOUT	0	RC 振荡器输出口 (OPTION 配置)
P71	P71	I/O (上拉)	通用 I/O 口
	RESET	I (SMT)	复位脚
VDD	VDD	Power	电源
VSS	VSS	Power	地

3 存储器结构

3.1 程序存储器结构

JSC8P012 具有一个 11 位程序计数器，能寻址 $2K \times 16$ 位程序存储空间。复位向量是 000H，硬件中断向量如图：



程序存储器结构

3. 2 数据存储区结构

数据存储区分成 R 页面寄存器和 I0CX 页面寄存器。R 页面寄存器包括通用寄存器和特殊功能寄存器，特殊功能寄存器位于低地址单元 00H~0FH，通用寄存器地址范围为 10H~3FH。I0CX 页面寄存器只包括特殊功能寄存器，地址范围为 00H~0FH 数据存储区结构分布

地址	BANK0 页面寄存器	BANK1 页面寄存器	BANK2 页面寄存器	I0C0 页面寄存器	I0C1 页面寄存器
00	R0 (间接寻址寄存器)	保留	保留	保留	保留
01	R1 (TCC 计数器)	保留	保留	保留	保留
02	R2 (程序计数器)	保留	保留	CONT (控制寄存器)	保留
03	R3 (状态寄存器)	保留	保留	保留	保留
04	R4 (RAM 选择寄存器)	保留	保留	保留	保留
05	R5 (Port5)	R5 (TRBD 指令的表指向寄存器)	保留	I0C50 (P5 控制寄存器)	I0C51 (高灌电流控制寄存器 1)
06	R6 (Port6)	R6 (TRBD 指令的表指向寄存器)	保留	I0C60 (P6 控制寄存器)	I0C61 (高灌电流控制寄存器 2)
07	R7 (Port7)	R7 (PWM 控制寄存器)	保留	I0C70 (P7 控制寄存器)	I0C71 (高驱动电流控制寄存器 1)
08	R8 (ADC 输入选择寄存器)	R8 (定时器控制寄存器)	保留	I0C80 (比较器控制寄存器)	I0C81 (高驱动电流控制寄存器 2)

09	R9 (ADC 控制寄存器)	R9 (PWM1 周期寄存器)	保留	IO90 (TMR1 寄存器)	保留
0A	RA (ADC 补偿校准寄存器)	RA (PWM2 周期寄存器)	RA (PWM 占空比延展寄存器)	IOCA0 (TMR2 寄存器)	保留
0B	RB (AD 转换值寄存器)	RB (PWM1 占空比寄存器)	保留	IOCB0 (P5 下拉控制寄存器)	IOCB1 (P6 下拉控制寄存器)
0C	RC (AD 转换值寄存器)	RC (PWM2 占空比寄存器)	保留	IOCC0 (P6 漏极开路控制寄存器)	IOCC1 (P5 开漏控制寄存器)
0D	RD (AD 转换值寄存器)	RD (IRC 校准位寄存器)	保留	IOCD0 (P5 上拉控制寄存器)	IOCD1 (P7 上拉控制寄存器)
0E	RE (中断状态 2 及唤醒控制寄存器)	RE (LVD 中断及唤醒寄存器)	RE (中断使能控制寄存器 2)	IOCE0 (WDT 控制寄存器及中断使能寄存器 2)	IOCE1 (P7 下拉控制寄存器)
0F	RF (中断状态寄存器 1)	RF (模式选择以及 IRC 切换寄存器)	RF (中断状态 3 以及唤醒控制寄存器 2)	IOCF0 (中断使能寄存器 1)	IOCF1 (P6 上拉控制寄存器)
10~1F	通用寄存器 16*8			—	—
20~3F	RAM BANK0 32*8	RAM BANK1 32*8	RAM BANK2 32*8	—	—

3. 3BANK0 页面存储器

3.3.1 R0 (IAR:间接地址寄存器)

间接寻址寄存器并不是一个实际存在的寄存器，它的主要功能是作为间接寻址的指针。任何以 R0 作为指针的指令，实际对应的地址是 R4 (RAM 选择寄存器) 低 6 位 RAMS[5:0] 所指向的数据。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RIND[7:0]							

3.3.2 R1 (TCC:TCC 计数器)

RTC 是一个 8 bit 上行计数器，时钟源可选内部时钟/外部时钟，计数溢出可形成中断，RTC 可读可写。

RTC 可由 EXCK 引脚上的信号边沿或系统时钟振荡周期触发产生加 1 操作 (SCT.5 位定义)。如果置一 PAB 位 (SCT.3)，会有一个预分频器分配给 TCC。当有值被写入 RTC 寄存器，或者 SCT 寄存器的低四位发生改变时，预分频器的值会被清零。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCC[7:0]							

3.3.3 R2 (PC:程序计数器) 与堆栈

程序计数器 (PC) 是用于记录每个指令周期中 CPU 所要处理的指令的指针。在一个普通的 CPU 运行周期中，PC 将指令指针推进程序存储器，然后指针自增 1 以进入下一个周期。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PC[7:0]							

堆栈是用于记录程序返回的指令指针。当调用子程序时，PC 将指令指针压栈。待执行返回指令时，堆栈将指令指针送回 PC，继续进行原来的进程。

- (1) 内置 8 级堆栈是 11 位元宽，用于 2K*16 bit ROM 的寻址，具体结构见下图：
- (2) 一般情况下，PC 自动加一；复位时，PC 的所有位都被清零；
- (3) 指令“JMP”允许直接载入低 10 位地址，因此，JMP 指令可以实现同一页面任意位置跳转；指令“LJMP”允许直接载入 11 位地址，因此 LJMP 可以实现 2K 地址内任意位置跳转；指令“JSR”载入低 10 位地址，同时将 PC+1 压栈，子程序入口地址只要在同一页面内就能够被准确定位；指令“LJSR”载入 11 位地址，同时将 PC+1 压栈，子程序入口地址在 2K 地址内就能够被准确定位；
- (4) 指令 PAGE K 用来设置 RCFG.5，用来决定 JMP, JSR 指令跳转的页面 (K=0 为 0~1K, K=1 为 1~2K)。

- (5) 除 LJSR 及 LJMP 指令需要两个指令周期，其它指令均是单周期指令；
- (6) “ADD R2, A” 对 PC 值进行改写的时会相应影响 PC 高位（A10、A9、A8 相应增加），其他指令（如 “STR R2”，“SET R2, 6” 等）对 PC 值进行改写时 PC 高位将保持不变；
- (7) 执行 “RTS”（“RTSA k”，“RTI”）指令时将栈顶数据送到 PC，其中 RTI 指令最好在中断子程序中使用，因为如果没有进过中断的话，执行 RTI 指令时 R4, R3, ACC 的值会出错；
- (8) 发生中断时，程序计数器的值将指向相应中断入口地址。

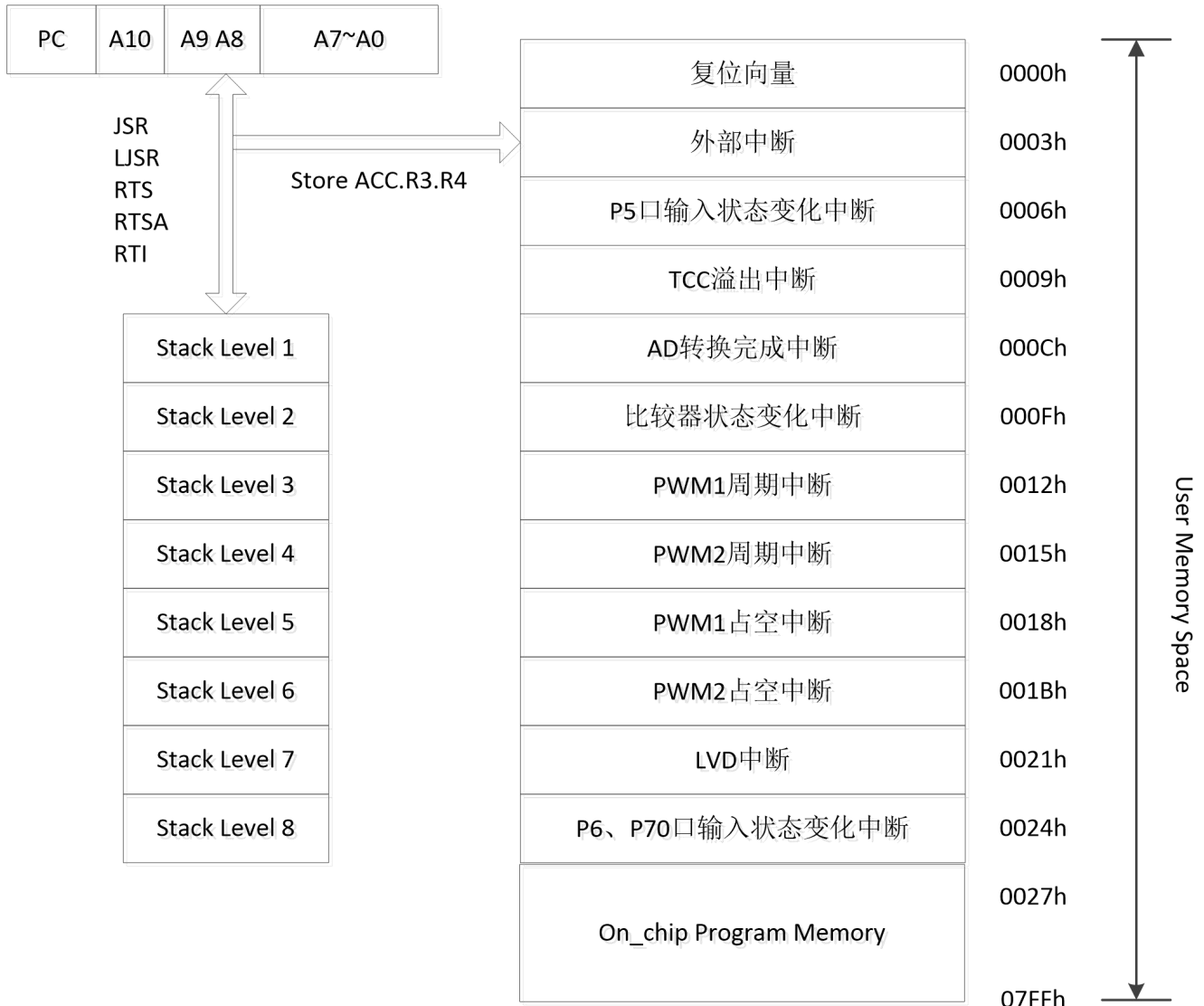


图 1 程序计数器与堆栈结构图

3.3.4 R3 (STATUS: 状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RST	I0CS	ROMBKSEL	T	P	Z	DC	C
Bit 7 RST: 复位类型标志位: 1: 睡眠状态唤醒, 包括 P5 口输入状态改变唤醒, P6, P7 口输入状态改变唤醒, 比较器输出状态变化唤醒, AD 转换完成唤醒, 低压检测唤醒, 外部中断唤醒; 0: 其它复位类型; Bit 6 I0CS: 控制寄存器页面选择位: 1: 选择 I0C51~I0CF1; 0: 选择 I0C50~I0CF0; Bit 5 ROMBKSEL: ROM 页面选择位: 1: 选择 1~2K;							

0: 选择 0~1K;

Bit 4 T: 暂停标志位:

1: 执行 “SLEEP” 和 “CWDT” 指令或低压复位;

0: WDT 溢出;

Bit 3 P: 掉电标志位:

1: 上电复位或执行 “CWDT” 指令;

0: 执行 “SLEEP” 指令;

下表列出了 RST、T 和 P 的值, 用于检测控制器是怎样唤醒 (*P: 复位前状态):

复位类型	RST	T	P
上电	0	1	1
运行模式期间的/RESET	1	*P	*P
睡眠模式期间的/RESET	0	1	0
系统工作时低电压复位	0	*P	*P
系统睡眠时低电压复位	0	1	0
运行模式期间的 WDT 溢出	0	0	1
睡眠模式期间的 WDT 溢出	0	0	0
睡眠模式期间的引脚改变唤醒	1	1	0

下表列出可能影响 RST、T 和 P 值的事件

事件	RST	T	P
上电	0	1	1
CWDT 指令	*P	1	1
WDT 溢出	0	0	*P
SLEEP 指令	*P	1	0
睡眠模式期间的引脚改变唤醒	1	1	0

Bit 2 Z: 零标志位:

1: 当算术或者逻辑运算结果为 0;

0: 当算术或者逻辑运算结果不为 0;

Bit 1 DC: 辅助进位标志:

1: 执行加法运算时, 低四位有进位产生; /执行减法运算时, 低四位没有产生借位;

0: 执行加法运算时, 低四位没有进位产生; /执行减法运算时, 低四位产生借位;

Bit 0 C: 进位标志:

1: 执行加法运算时, 高四位有进位产生; /执行减法运算时, 高四位没有产生借位;

0: 执行加法运算时, 高四位没有进位产生; /执行减法运算时, 高四位产生借位;

3.3.5 R4 (RSR:RAM 选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBANK	BANK	RAMS[5:0]					
Bit 7 SBANK：特殊寄存器（05H～0FH）页面选择位：							
(!SBANK_OPT)&ROMBKSEL		SBANK		寄存器页面			
0		0		BK0			
0		1		BK1			
1		0		BK2			

SBANK_OPT（OPTION 选项）和 ROMBKSEL（RCFG[5]）一起使用。

注：使用 JMP/JSR 之前要注意 R3[5]的赋值

RAM 选择表：（RAM 需求超过 80byte 需要手动选择 RAM BANK2）

(!SBANK_OPT)&ROMBKSEL		BANK		RAM 页面	
X		0		RAM BANK0	
X		1		RAM BANK1	

1	0	RAM BANK2
---	---	-----------

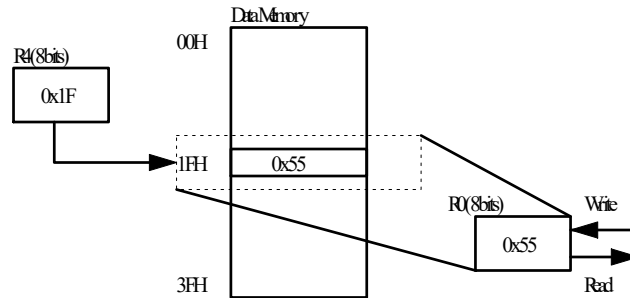
Bit 6 BANK: 普通寄存器页面选择位:

1: 选择 BANK1;

0: 选择 BANK0;

Bit[5: 0] RAMS[5:0]: 配合 R0 实现间接寻址 (寻址范围 00H~0FH, 10H~3FH)。

R4 用于配合 R0 实现间接寻址操作。用户可以将某个寄存器对应的地址放进 R4, 然后通过访问间接寻址寄存器 R0, 此时地址将指向 R4 中对应地址的寄存器。示意图如下



3.3.6 R5 (P5:端口 5)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	P55	P54	P53	P52	P51	P50

端口 5 的输入/输出寄存器, JSC8P012 P5 端口为 6 位。
P5 寄存器可读可写。

3.3.7 R6 (P6:端口 6)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P67	P66	P65	P64	--	--	P61	P60

端口 6 的输入/输出寄存器, JSC8P012 P6 端口为 6 位。
P6 寄存器可读可写。

3.3.8 R7 (P7:端口 7)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	--	--	P71	P70

端口 7 的输入/输出寄存器, JSC8P012 P7 端口为 2 位。
P7 寄存器可读可写。

3.3.9 R8 (AISR:ADC 输入选择寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADE7	ADE6	ADE5	ADE4	ADE3	ADE2	ADE1	ADE0

Bit 7 ADE7: 使能 P66 口作为 AD 转换
1: 使能 ADC7, P66 作为模拟输入引脚
0: 禁止 ADC7, P66 作为 I/O 口
Bit 6 ADE6: 使能 P55 口作为 AD 转换
1: 使能 ADC6, P55 作为模拟输入引脚
0: 禁止 ADC6, P55 作为 I/O 口

- Bit 5 ADE5: 使能 P70 口作为 AD 转换
 1: 使能 ADC5, P70 作为模拟输入引脚
 0: 禁止 ADC5, P70 作为 I/O 口
- Bit 4 ADE4: 使能 P67 口作为 AD 转换
 1: 使能 ADC4, P67 作为模拟输入引脚
 0: 禁止 ADC4, P67 作为 I/O 口
- Bit 3 ADE3: 使能 P53 口作为 AD 转换
 1: 使能 ADC3, P53 作为模拟输入引脚
 0: 禁止 ADC3, P53 作为 I/O 口
- Bit 2 ADE2: 使能 P52 口作为 AD 转换
 1: 使能 ADC2, P52 作为模拟输入引脚
 0: 禁止 ADC2, P52 作为 I/O 口
- Bit 1 ADE1: 使能 P51 口作为 AD 转换
 1: 使能 ADC1, P51 作为模拟输入引脚
 0: 禁止 ADC1, P51 作为 I/O 口
- Bit 0 ADE0: 使能 P50 口作为 AD 转换
 1: 使能 ADC0, P50 作为模拟输入引脚
 0: 禁止 ADC0, P50 作为 I/O 口

3.3. 10R9 (ADCON:ADC 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VREFS	CKR1	CKR0	ADRUN	ADPD	ADIS2	ADIS1	ADIS0

Bit 7 VREFS: ADC 的 Vref 输入源

1: ADC 的 Vref 连接到 P54/TCC/VREF

0: ADC 的 Vref 连接到 VDD (默认), P54/TCC/VREF 引脚作为 P54

Bit[6:5] CKR1 ~ CKR0: ADC 振荡时钟分频比

CPUS	CKR1:CKR0	AD 运行频率	MCU 最大运行频率 VDD=2.5V~3.0V	MCU 最大运行频率 VDD=3.0V~5.5V
1	00	Fosc/16	4 MHz	16 MHz
1	01	Fosc/4	1 MHz	4 MHz
1	10	Fosc/64	16 MHz	--
1	11	Fosc	--	1 MHz
0	XX	Fosc	内部低速 RC (128KHz)	

Bit 4 ADRUN: ADC 开始运行

1: AD 转换开始。此位可以由软件置位

0: 转换完成后自动清“0”，此位不能通过软件清“0”

Bit 3 ADPD: AD 电源

1: ADC 电源打开

0: ADC 电源关闭

Bit[2:0] ADIS2 ~ ADIS0: ADC 模拟输入通道的选择 (配合 BANK0 RA Bit0:ADICS)

ADICS	ADIS2	ADIS1	ADIS0	选择通道
0	0	0	0	ADIN0/P50
0	0	0	1	ADIN1/P51
0	0	1	0	ADIN2/P52
0	0	1	1	ADIN3/P53
0	1	0	0	ADIN4/P67
0	1	0	1	ADIN5/P70
0	1	1	0	ADIN6/P55
0	1	1	1	ADIN7/P66
1	0	X	X	BGP
1	1	X	X	0.25*VDD

3.3.11RA (ADOC:ADC 补偿校准寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CALI	SIGN	VOF[2]	VOF[1]	VOF[0]	VREF1	VREF0	ADICS
Bit 7 CALI: AD 精度校正使能位 1: 使能校正 0: 禁止校正 Bit 6 SIGN: 校正电压的极性 1: 正极性 0: 负极性 Bit[5:3] VOF[2]~VOF[0]: 补偿电压位							
		VOF[2]	VOF[1]	VOF[0]	/LSB		
		0	0	0	0		
		0	0	1	2		
		0	1	0	4		
		0	1	1	6		
		1	0	0	8		
		1	0	1	10		
		1	1	0	12		

1	1	1	14
---	---	---	----

Bit[2:1] VREF1~VREF0: ADC 内部基准电压

VREF1	VREF0	内部基准电压/V
0	0	VDD
0	1	4 ± 1%
1	0	3 ± 1%
1	1	2 ± 1%

Bit 0 ADICS: ADC 输入通道选择 (配合 ADIS[2:0] 选择运放输出或 0.25*VDD):
 0: 禁止
 1: 使能

3.3. 12RB (ADDATA: ADC 转换结果)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4

Bit[7:0] AD[11:4]: ADC 的转换值高 8 位

3.3. 13RC (ADDATA1H: ADC 转换结果)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	AD11	AD10	AD9	AD8

Bit[7:4] 未使用, 保持为 0
 Bit[3:0] AD[11:8]: ADC 的转换值高 4 位

3.3. 14RD (ADDATA1L: ADC 转换结果)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0

Bit[7:0] AD[7:0]: ADC 的转换值低 8 位

3.3. 15RE (ISR1: 中断状态 1 及唤醒控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/LVD	LVDIF	ADIF	CMP1F	ADWE	CMPWE	ICWE	LVDWE

Bit7 /LVD: 低电压侦测器状态位, 该位为只读位。当 VDD 引脚电压小于 LVD 中断电平 (通过 LVD3~LVD0 位来选择) 时, 该位被清零。

- 1: 未检测到低电压或 LVD 功能禁止 (默认)
- 0: 检测到低电压

Bit6 LVDIF: LVD 状态变化中断标志位

- 1: 有中断形成
- 0: 没有中断

Bit5 ADIF: AD 转换完成中断标志位

- 1: 有中断形成
- 0: 没有中断

Bit4 CMPIF: 比较器状态变化中断标志位

- 1: 有中断形成
- 0: 没有中断

Bit 3 ADWE: ADC 唤醒使能位

- 1: 使能 ADC 唤醒
- 0: 禁止 ADC 唤醒

当 AD 转换进入休眠/空闲模式时, 该位必须设为“使能”。

Bit 2 CMPWE: 比较器唤醒使能位

- 1: 使能比较器唤醒
- 0: 禁止比较器唤醒 (默认)

当比较器进入休眠/空闲模式时, 该位必须设为“使能”。

Bit 1 ICWE: P5 输入状态改变唤醒使能位

- 1: 使能端口 P5 输入状态改变唤醒
- 0: 禁止端口 P5 输入状态改变唤醒 (默认)

当 P5 状态改变用于唤醒休眠/空闲模式时, 该位必须设为“使能”。

Bit 0 LVDWE: 低电压侦测唤醒使能位

- 1: 使能低电压侦测唤醒
- 0: 禁止低电压侦测唤醒 (默认)

在低电压侦测运行情况下, 当其用于进入中断或将 IC 由休眠/空闲模式唤醒时, LVDWE 位必须设为“使能”。

3.3. 16RF (ISR2: 中断状态 2 寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	ICIF	TCIF
1: 有中断形成 0: 没有中断 Bit 7 未使用 Bit 6 DT2IF: PWM2 占空比中断标志位 Bit 5 DT1IF: PWM1 占空比中断标志位 Bit 4 PWM2IF: PWM2 周期中断标志位 Bit 3 PWM1IF: PWM1 周期中断标志位 Bit 2 EXIF: 外部中断标志位 Bit 1 ICIF: P5 口输入状态变化中断标志位 Bit 0 TCIF: TCC 计数溢出中断标志位							

3.3. 17R10~R3F 通用寄存器

8 位通用寄存器, 可读可写。

3.4BANK1 页面寄存器详解

3.4.1 R5 (TBHP: TRBD 指令的表指向寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MLB	TAS	--	--	--	RBit10	RBit9	RBit8
Bit 7 MLB: 选择机器码的 MSB 或 LSB 值移到寄存器 机器码由 TBLP 与 TBHP 寄存器指向。 Bit 6 TAS: 查表区域选择 1: OPTION 区 0: ROM 区 Bit[5:3]: 未使用, 一直设为“0”。 Bit[2:0] RBit10~RBit8: 程序码的最高 3 个有效位地址。							

3.4.2 R6 (TBLP:TBRD 指令的表指向寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
	RBit6	RBit5	RBit4	RBit3	RBit2	RBit1	RBit0
Bit [7:0] RBit7~RBit0: 程序码的最低 8 个有效位地址							

3.4.3 R7 (PWMCON:PWM 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	--	PWMCAS	PWM2E	PWM1E
Bit[7:3] 未使用 Bit 2 PWMCAS: PWM1 与 PWM2 合并模式 1: 16 位 PWM 模式 (两个 8 位 PWM 合并) 0: 两个独立的 8 位 PWM (默认) Bit 1 PWM2E: PWM2 使能位 1: PWM2 打开, P51 作为 PWM 输出口 0: PWM2 关闭, P51 作为 GPIO Bit 0 PWM1E: PWM1 使能位 1: PWM1 打开, P67 作为 PWM 输出口 0: PWM1 关闭, P67 作为 GPIO							

3.4.4 R8 (TMRCON:定时器控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2EN	T1EN	T2P2	T2P1	T2P0	T1P2	T1P1	T1P0
Bit 7 T2EN: TMR2 使能位 1: TMR2 打开 0: TMR2 关闭 (默认值) Bit 6 T1EN: TMR1 使能位 1: TMR1 打开 0: TMR1 关闭 (默认值) Bit[5:3] T2P2~T2P0: TMR2 预分频比设置位							
				T2P2	T2P1	T2P0	Timer2 分频
				0	0	0	1:1
				0	0	1	1:2
				0	1	0	1:4
				0	1	1	1:8
				1	0	0	1:16
				1	0	1	1:64
				1	1	0	1:128
				1	1	1	1:256

Bit[2:0] T1P2~T1P0: TMR1 预分频比设置位

T1P2	T1P1	T1P0	Timer1 分频
0	0	0	1:1
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

3.4.5 R9 (PRD1:PWM1 时间周期)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD1[7]	PRD1[6]	PRD1[5]	PRD1[4]	PRD1[3]	PRD1[2]	PRD1[1]	PRD1[0]

PRD1 的内容为 PWM1 的周期（时间基准）。PWM1 的频率为其周期的倒数

3.4.6 RA (PRD2:PWM2 时间周期)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD2[7]	PRD2[6]	PRD2[5]	PRD2[4]	PRD2[3]	PRD2[2]	PRD2[1]	PRD2[0]

PRD2 的内容为 PWM2 的周期（时间基准）。PWM2 的频率为其周期的倒数。

3.4.7 RB (DT1:PWM1 占空比周期)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT1[7]	DT1[6]	DT1[5]	DT1[4]	DT1[3]	DT1[2]	DT1[1]	DT1[0]

PWM1 一直输出高直到 PWM1 的值和 TMR1 的值相等为止。

3.4.8 RC (DT2:PWM2 占空比周期)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT2[7]	DT2[6]	DT2[5]	DT2[4]	DT2[3]	DT2[2]	DT2[1]	DT2[0]

PWM2 一直输出高直到 PWM2 的值和 TMR2 的值相等为止。

3.4.9 RD (SFS:基准选择及 IRC 校准位寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	INCAL[5:0]					

Bit [7:6] 未使用
Bit [5:0] INCAL[5:0]: IRC 校正位软件设置

3.4.10 RE (LVDIWR:LVD 中断和唤醒控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	LVDEN	LVD3	LVD2	LVD1	LVD0	--	EXWE

Bit 7 LVDIE: 低压检测中断使能位
1: 使能低压检测中断
0: 禁止低压检测中断（默认）
Bit 6 LVDEN: 低压检测使能位
1: 使能低压检测

0: 禁止低压检测（默认）

Bit[5:2] LVD3~LVD0: 低压检测点和比较器功能选择

作为低压检测功能时:

LVD3	LVD2	LVD1	LVD0	低压检测点
0	0	0	0	2. 0V
0	0	0	1	2. 2V
0	0	1	0	2. 4V
0	0	1	1	2. 8V
0	1	0	0	2. 9V
0	1	0	1	3. 0V
0	1	1	0	3. 3V
0	1	1	1	3. 6V
1	0	0	0	4. 0V
1	0	0	1	4. 1V
1	0	1	0	4. 2V

作为比较器功能时:

LVD3	LVD2	LVD1	LVD0	低压检测点
0	0	0	0	0. 600VDD
0	0	0	1	0. 550VDD
0	0	1	0	0. 510VDD
0	0	1	1	0. 440VDD
0	1	0	0	0. 420VDD
0	1	0	1	0. 410VDD
0	1	1	0	0. 370VDD
0	1	1	1	0. 340VDD
1	0	0	0	0. 310VDD
1	0	0	1	0. 300VDD
1	0	1	0	0. 295VDD
1	0	1	1	0. 220VDD
1	1	X	X	0. 207VDD

Bit 1 未使用

Bit 0 EXWE: 外部中断唤醒使能位

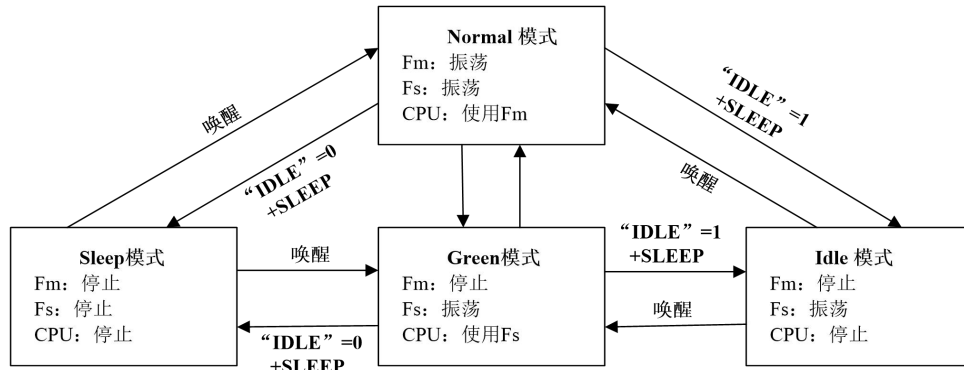
1: 使能外部中断唤醒

0: 禁止外部中断唤醒

3. 4. 11RF（SCR: 模式选择以及 IRC 切换寄存器）

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	TIMERS	CPUS	IDLE	SHS1	SHS0	RCM1	RCM0

- Bit 7 未使用
- Bit 6 TIMERS0: TCC/PWM1/PWM2 时钟源选择位
- 1: 主频作为时钟源
- 0: 副频作为时钟源
- Bit 5 CPUS: CPU 振荡源选择位
- 1: Fm 主频 (默认)
- 0: Fs 副频 (WDT 内部 RC 时基 16kHz)
- 当 CPUS=0, CPU 振荡器选择副振荡器, 主振荡器停止。
- Bit 4 IDLE: 空闲模式使能位
- 该位将决定执行 SLEEP 指令后 CPU 将进入哪个工作模式
- 1: IDLE = '1' + SLEEP 指令 → 空闲模式
- 0: IDLE = '0' + SLEEP 指令 → 休眠模式 (默认)



Bit [3:2] SHS1 ~ SHS0: 选择 AD 采样和保持周期

SHS1	SHS0	AD 采样和保持周期
0	0	2
0	1	4
1	0	8
1	1	12 (默认)

Bit[1:0] RCM1~RCM0: IRC 模式选择位

RCM1	RCM0	频率 (MHz)
0	0	1
0	1	8
1	0	16
1	1	4

3. 5BANK2 页面寄存器详解

3. 5. 1 RA (PWMDTEX: PWM 占空比延展寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	PWM2D[2]	PWM2D[1]	PWM2D[0]	--	PWM1D[2]	PWM1D[1]	PWM1D[0]

Bit 7 未使用

Bit[6:4] PWM2D[2]~PWM2D[0]: PWM2 延展数选择

PWM2D[2]	PWM2D[1]	PWM2D[0]	PWM2 延展数选择
0	0	0	0 个周期延展
0	0	1	1 个周期(第 1 个周期)延展, 7 个周期不延展
0	1	0	2 个周期(第 1、5 个周期)延展, 6 个周期不延展
0	1	1	3 个周期(第 1、3、5 个周期)延展, 5 个周期不延展
1	0	0	4 个周期(第 1、3、5、7 个周期)延展, 4 个周期不延展
1	0	1	5 个周期(第 1、2、3、5、7 个周期)延展, 3 个周期不延展
1	1	0	6 个周期(第 1、2、3、5、6、7 个周期)延展, 2 个周期不延展
1	1	1	7 个周期(第 1、2、3、4、5、6、7 个周期)延展, 1 个周期不延展

Bit 3 未使用

Bit[2:0] PWM1D[2]~PWM1D[0]: PWM1 延展数选择

PWM1D[2]	PWM1D[1]	PWM1D[0]	PWM1 延展数选择
0	0	0	0 个周期延展
0	0	1	1 个周期(第 1 个周期)延展, 7 个周期不延展
0	1	0	2 个周期(第 1、5 个周期)延展, 6 个周期不延展
0	1	1	3 个周期(第 1、3、5 个周期)延展, 5 个周期不延展
1	0	0	4 个周期(第 1、3、5、7 个周期)延展, 4 个周期不延展
1	0	1	5 个周期(第 1、2、3、5、7 个周期)延展, 3 个周期不延展
1	1	0	6 个周期(第 1、2、3、5、6、7 个周期)延展, 2 个周期不延展
1	1	1	7 个周期(第 1、2、3、4、5、6、7 个周期)延展, 1 个周期不延展

3.5.2 RE (PIE3CON: 中断使能控制寄存器 2)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	0	0	IC2IE

Bit[7:1] 未使用, 保持为“0”
 Bit0 IC2IE: P6、P70 端口输入变化中断使能控制位
 1: 使能
 0: 禁止

3.5.3 RF (中断状态 3 以及唤醒控制寄存器 2)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IC2WE	0	0	0	0	0	0	IC2IF

Bit 7 IC2WE: P6、P70 输入状态变化唤醒使能位
 1: 使能端口 P6、P70 输入状态变化唤醒
 0: 禁止端口 P6、P70 输入状态变化唤醒
 Bit[6:1] 未使用, 保持为“0”
 Bit0 IC2IF: P6、P70 输入状态变化中断标志位
 1: 有中断形成
 0: 没有中断

3.6 IOC0 页面寄存器详解

3.6.1 ACC（累加器）

内部数据传输或指令操作数通常暂存于 ACC 中，ACC 是一个不可寻址的寄存器。

3.6.2 CONT（控制寄存器）

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE	INT	TS	TE	PSTE	PST2	PST1	PST0
Bit7 INTE: 外部中断信号沿选择位 1: 中断发生在外部中断信号的下降沿 0: 中断发生在外部中断信号的上升沿 Bit6 INT: 中断使能标志位 1: 由 DIT 指令或硬件中断屏蔽 0: 由 EIT 或 RTI 指令使能 Bit5 TS: TCC 时钟源选择控制位 1: 选择外部时钟（此时 P54 作为 TCC 端口） 0: 选择内部系统时钟 Bit4 TE: 外部时钟触发沿选择控制位 1: 选择外部时钟的下降沿作为触发沿 0: 选择外部时钟的上升沿作为触发沿 Bit3 PSTE: 预分频器选择控制位 1: TCC 预分频器使能 0: TCC 预分频器禁止 Bit[2:0] PST2~PST0: 分频系数选择控制位							
		PST2	PST1	PST0	TCC 分频系数		
		0	0	0	1:2		
		0	0	1	1:4		
		0	1	0	1:8		
		0	1	1	1:16		
		1	0	0	1:32		
		1	0	1	1:64		
		1	1	0	1:128		
		1	1	1	1:256		

3.6.3 IOC50（P5CR:P5 输入/输出控制寄存器）

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	P5C[5]	P5C[4]	P5C[3]	P5C[2]	P5C[1]	P5C[0]
1: 对应端口设置为输入 0: 对应端口设置为输出							

3.6.4 IOC60（P6CR:P6 输入/输出控制寄存器）

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6C[7]	P6C[6]	P6C[5]	P6C[4]	--	--	P6C[1]	P6C[0]
1: 对应端口设置为输入 0: 对应端口设置为输出							

3.6.5 I0C70 (P7CR:P7 输入/输出控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	--	--	P7C[1]	P7C[0]
1: 对应端口设置为输入 0: 对应端口设置为输出							

3.6.6 I0C80 (CCR:比较器控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	CMPOUT	VINNSEL	VINPSEL	CMPEN	--	--
Bit [7:6] 未使用, 保持为 “0” Bit 5 CMPOUT: 存放比较器输出结果位, 只读 Bit 4 VINNSEL: 比较器负端输入选择 1: 比较器负端输入选择 P53 0: 不选择比较器负端输入端口 Bit 3 VINPSEL: 比较器正端输入选择 1: 比较器正端输入选择 P52 0: 不选择比较器正端输入端口 Bit 2 CMPEN: 比较器和 LVD 功能切换选择 1: 选择比较器功能 0: 选择 LVD 功能 Bit [1:0] 未使用, 保持为 “0”							

3.6.7 I0C90 (TMR1:TMR1 寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR1[7]	TMR1[6]	TMR1[5]	TMR1[4]	TMR1[3]	TMR1[2]	TMR1[1]	TMR1[0]
PWM1 定时器							

3.6.8 I0CA0 (TMR2:TMR2 寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR2[7]	TMR2[6]	TMR2[5]	TMR2[4]	TMR2[3]	TMR2[2]	TMR2[1]	TMR2[0]
PWM2 定时器							

3.6.9 I0CB0 (P5PDCR:P5 下拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	/PD55	/PD54	/PD53	/PD52	/PD51	/PD50
1: 对应端口下拉禁止 0: 对应端口下拉使能							

3.6.10 I0CC0 (P6ODCR:P6 漏极开路控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OD67	OD66	OD65	OD64	--	--	OD61	OD60
1: 对应端口漏极开路输出使能 0: 对应端口漏极开路输出禁止							

3. 6. 11 IOCD0 (P5PHCR:P5 上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	/PH55	/PH54	/PH53	/PH52	/PH51	/PH50
1: 对应端口上拉禁止 0: 对应端口上拉使能							

3. 6. 12 IOCE0 (WDT CR:WDT 控制寄存器及中断使能寄存器 2)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																																				
WDTE	EIS	ADIE	CMPIE	PSWE	PSW2	PSW1	PSW0																																				
Bit7 WDTE: WDT 使能控制位 1: WDT 使能 0: WDT 禁用																																											
Bit6 EIS: P60 管脚 (EXINT) 功能控制位 1: EXINT, 外部中断管脚 0: P60, 双向 I/O 管脚																																											
Bit5 ADIE: AD 转换完成中断使能控制信号 1: 使能 0: 禁止																																											
Bit4 CMPIE: 比较器状态变化中断使能控制信号 1: 使能 0: 禁止																																											
Bit3 PSWE: 预分频器选择控制位 1: WDT 预分频器使能 0: WDT 预分频器关闭																																											
Bit[2:0] PSW[2:0]: 分频系数选择控制位																																											
<table><tr><th>PSW2</th><th>PSW1</th><th>PSW0</th><th>WDT 分频系数</th></tr><tr><td>0</td><td>0</td><td>0</td><td>1:2</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1:4</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1:8</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1:16</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1:32</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1:64</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1:128</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1:256</td></tr></table>								PSW2	PSW1	PSW0	WDT 分频系数	0	0	0	1:2	0	0	1	1:4	0	1	0	1:8	0	1	1	1:16	1	0	0	1:32	1	0	1	1:64	1	1	0	1:128	1	1	1	1:256
PSW2	PSW1	PSW0	WDT 分频系数																																								
0	0	0	1:2																																								
0	0	1	1:4																																								
0	1	0	1:8																																								
0	1	1	1:16																																								
1	0	0	1:32																																								
1	0	1	1:64																																								
1	1	0	1:128																																								
1	1	1	1:256																																								

3. 6. 13 IOCF0 (IMR: 中断使能寄存器 1)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	ICIE	TCIE
Bit7 未使用 Bit6 DT2IE: PWM2 占空比中断使能控制信号 1: PWM2 占空比中断使能 0: PWM2 占空比中断禁止 Bit5 DT1IE: PWM1 占空比中断使能控制信号 1: PWM1 占空比中断使能 0: PWM1 占空比中断禁止 Bit4 PWM2IE: PWM2 周期中断使能控制信号 1: PWM2 周期中断使能 0: PWM2 周期中断禁止 Bit3 PWM1IE: PWM1 周期中断使能控制信号							

- 1: PWM1 周期中断使能
0: PWM1 周期中断禁止
- Bit2 EXIE: 外部中断使能控制信号
1: 外部中断使能
0: 外部中断禁止
- Bit1 ICIE: P5 口输入状态变化中断使能控制信号
1: P5 口输入状态变化中断使能
0: P5 口输入状态变化中断禁止
- Bit0 TCIE: TCC 计数溢出中断使能控制信号
1: TCC 计数溢出中断使能
0: TCC 计数溢出中断禁止

3.7 IOC1 页面寄存器详解

3.7.1 IOC51 (P5HSCR:P5 高灌电流控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	HS54	HS53	HS52	HS51	--
1: 对应端口输出时高灌电流控制使能 0: 对应端口输出时高灌电流控制禁止 Bit[7-5] 未使用, 一直设为"0" Bit4 HS54: P54 输出高灌电流使能控制位 Bit3 HS53: P53 输出高灌电流使能控制位 Bit2 HS52: P52 输出高灌电流使能控制位 Bit1 HS51: P51 输出高灌电流使能控制位 Bit0 未使用, 一直设为"0"							

3.7.2 IOC61 (P6HSCR:P6 高灌电流控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HS67	HS66	HS65	HS64	--	--	HS61	HS60
1: 对应端口输出时高灌电流控制使能 0: 对应端口输出时高灌电流控制禁止 Bit7 HS67: P67 输出高灌电流使能控制位 Bit6 HS66: P66 输出高灌电流使能控制位 Bit5 HS65: P65 输出高灌电流使能控制位 Bit4 HS64: P64 输出高灌电流使能控制位 Bit[3-2] 未使用, 一直设为"0" Bit1 HS61: P61 输出高灌电流使能控制位 Bit0 HS60: P60 输出高灌电流使能控制位							

3.7.3 IOC71 (P5HDCR:P5 高驱动电流控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	-	HD54	HD53	HD52	HD51	-
1: 对应端口输出时高驱动电流控制使能 0: 对应端口输出时高驱动电流控制禁止 Bit5[7-5] 未使用 Bit4 HD54: P54 输出高驱动电流使能控制位 Bit3 HD53: P53 输出高驱动电流使能控制位 Bit2 HD52: P52 输出高驱动电流使能控制位 Bit1 HD51: P51 输出高驱动电流使能控制位 Bit0 未使用							

3.7.4 IOC81 (P6HDCR:高驱动电流控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HD67	HD66	HD65	HD64	--	--	HD61	HD60
1: 对应端口输出时高驱动电流控制使能 0: 对应端口输出时高驱动电流控制禁止 Bit7 HD67: P67 输出高驱动电流使能控制位 Bit6 HD66: P66 输出高驱动电流使能控制位 Bit5 HD65: P65 输出高驱动电流使能控制位 Bit4 HD64: P64 输出高驱动电流使能控制位 Bit[3-2] 未使用 Bit1 HD61: P61 输出高驱动电流使能控制位 Bit0 HD60: P60 输出高驱动电流使能控制位							

3.7.5 IOCB1 (P6PDCR:P6 下拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PD67	PD66	PD65	PD64	--	--	PD61	PD60
1: 对应端口下拉禁止 0: 对应端口下拉使能 Bit7 PD67: P67 端口下拉使能控制位 Bit6 PD66: P66 端口下拉使能控制位 Bit5 PD65: P65 端口下拉使能控制位 Bit4 PD64: P64 端口下拉使能控制位 Bit[3-2] 未使用 Bit1 PD61: P61 端口下拉使能控制位 Bit0 PD60: P60 端口下拉使能控制位							

3.7.6 IOCC1 (P5ODCR:P5 开漏控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	OD55	OD54	OD53	OD52	OD51	OD50
1: 对应端口开漏输出使能 0: 对应端口开漏输出禁止 Bit[7-6] 未使用 Bit5 OD55: P55 端口开漏输出使能控制位 Bit4 OD54: P54 端口开漏输出使能控制位 Bit3 OD53: P53 端口开漏输出使能控制位 Bit2 OD52: P52 端口开漏输出使能控制位 Bit1 OD51: P51 端口开漏输出使能控制位 Bit0 OD50: P50 端口开漏输出使能控制位							

3.7.7 IOCD1 (P7PHCR:P7 上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	--	--	/PH71	/PH70
1: 对应端口上拉禁止 0: 对应端口上拉使能 Bit[7:2] 未使用 Bit 1 PH71: P71 端口上拉使能控制位							

Bit 0 PH70: P70 端口上拉使能控制位

3.7.8 IOCE1 (P7PDCR: 下拉\开漏控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	--	--	/OD71	/PD70
1: 对应禁止 0: 对应使能 Bit[7:2] 未使用 Bit 1 OD71: P71 端口开漏输出使能控制位 Bit 0 PD70: P70 端口下拉使能控制位							

3.7.9 IOCF1 (P6PHCR: P6 上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/PH67	/PH66	/PH65	/PH64	/PH63	--	--	/PH60
1: 对应端口上拉关闭 0: 对应端口上拉打开 Bit7 /PH67: P67 端口上拉使能控制位 Bit6 /PH66: P66 端口上拉使能控制位 Bit5 /PH65: P65 端口上拉使能控制位 Bit4 /PH64: P64 端口上拉使能控制位 Bit[3-2] 未使用 Bit1 /PH61: P61 端口上拉使能控制位 Bit0 /PH60: P60 端口上拉使能控制位							

4 JSC8P012 主要功能模块

4.1 I/O 功能

JSC8P012 有 3 组双向 I/O 端口，共 14 个输入，14 个输出，大部分 I/O 可以复用为其它功能。

14 个可编程上拉 I/O 引脚：P50-P55, P60-P67, P70, P71

13 个可编程漏极开路 I/O 引脚：P50-P55, P60-P67, P71

13 个可编程下拉 I/O 引脚：P50-P55, P60-P67, P70

4.1.1 P5 口概述

P5 是一组 6-bit 位可编程 I/O 口，COMS 推挽输出，P5 所有输入配备上下拉，并提供开漏输出选择；除 P50/P55 外其他输出配备 H_Drive/H_Sink 电流控制。

当作为输入端口时，每个端口的状态变化既可以形成中断，也可以对系统进行唤醒。

4.1.2 P6 口概述

P6 口是一组 6-bit 位可编程 I/O 口，CMOS 推挽输出，P6 所有输入配备上下拉，并且提供开漏输出选择，所有端口配备 H_Drive/H_Sink 电流控制。

P60 口还可以作为外部中断的输入端口。

4.1.3 P7 口概述

P7 口有 2 个 I/O 口 P70-P71，P7 口配备上拉，CMOS 推挽输出，并且提供开漏输出选择。P71 可以作为外部复位的输入端口。

4. 2 TCC/WDT&预分频器

TCC (R1) 是一个 8-bit 上行计数器，只要有时钟就工作。时钟源既可以是内部系统时钟（上升沿触发），也可以选择外部时钟（由 TCC 引脚输入，触发沿可选），如果没有分频控制，每个时钟（Fm/Fs）周期（选择内部时钟）或每个外打时钟周期（外打时钟），计数器实现加 1。系统提供一个 TCC 的预分频器。可以通过 SCT 寄存器设置 TCC 预分频、触发沿、时钟等。TCC 计数溢出可以形成中断信号，在 IDLE 模式下，TCC 中断可以唤醒电路。

WDT 是一个 12-bit 上行计数器，有两重使能控制信号控制（OPTION 中的 ENWDT 和 WDTCR 寄存器中的 WDTE 控制位）。计数时钟由单独的振荡器提供（WDT 内部 RC 时基 16kHz），因此在系统进入到静态模式后，WDT 仍然可以运行（如果使能），在正常模式或睡眠模式下，WDT 的溢出均可以使系统复位，复位后系统的建立时间由 OPTION 中的控制位 WDTPS 选择 4.5ms 或 18ms。系统提供一个 WDT 的分频器，可以通过 WDTCR 寄存器设置 WDT 预分频。

4. 3 PWM 功能

4. 3. 1 功能概述

JSC8P012 内置 2 个 8bit 的 PWM(PWM1、PWM2 可以配置组合成 16bit)，每个 PWM 由一个带预分频的 8bit 计数器，控制寄存器和 8bit 比较器组成。

可通过预分频器设置时钟频率；

- 支持 8+3 模式 PWM 输出，可通过比较寄存器设置 PWM 占空比；
- 每个 PWM 支持 3 路输出通道（仅可从选定的通道输出 PWM 波形，16bit PWM 可选定 PWM1 的输出引脚输出）；
- 支持占空比和周期溢出中断和唤醒功能

PWM 基本结构图如下：

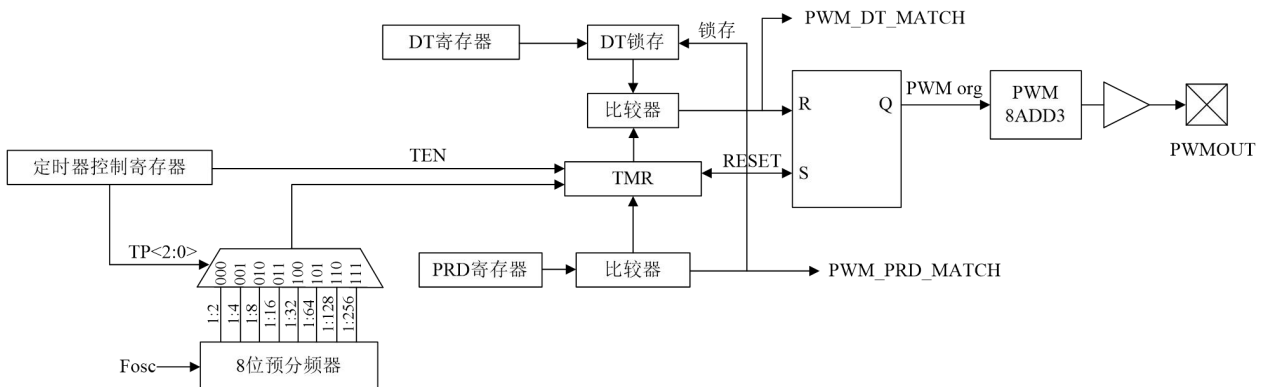


图 1 PWM 功能图

两个 8-bit PWM 可以组合使用为 16-bit 的 PWM，此时中断及唤醒的信号均与单个 PWM1 相同，周期及占空因数的高低位则分别为 PWM2、PWM1 的设置。

4. 3. 2 PWM1

PWM1 可以通过寄存器位 TIMERS 选择时钟源，通过 T1P2、T1P1 和 T1P0 选择 TMR1 的预分频比，所选时钟源通过预分频器后产生计数器 TMR1 的计数时钟（上升沿计数）。通过 PRD1[7:0] 配置 PWM1 的周期，通过 DT1[7:0] 配置 PWM1 占空比。通过 PWM1E 置 1 使能 PWM1。

T1EN=1 时，TMR1 从 0 开始递增，PWM1 输出高电平，计数到 DT1 配置的值时（通过比较器进行比较）PWM1 开始输出低电平，此时如果占空比中断使能 DT1IE 打开（=1），则会触发占空比中断，占空比中断标志位 DT1IF 置 1。当计数到 PRD1 配置的值时（通过比较器进行比较）PWM1 开始输出高电平，此时如果周期中断使能 PWM1IE 打开（=1），则会触发周期中断，周期中断标志位 PWM1IF 置 1。T1EN=0 时，TMR1 值为 0。

PWM1 信号的占空比计算如下：

$$\text{高电平时间} = (\text{DT1}) \times \text{TMR1 计数时钟周期}$$

$$\begin{aligned}\text{周期} &= (\text{PRD1} + 1) \times \text{TMR1 计数时钟周期} \\ \text{占空比 (高电平时间/周期)} &= (\text{DT1}) / (\text{PRD1} + 1)\end{aligned}$$

PWM1 支持 8+3 模式，即在普通模式 PWM 的时钟下，以每 8 个 PWM 周期作为一个大周期，其中部分周期进行占空比延展（即延展高电平时间），这些延展周期内 PWM1 信号将比普通周期延后 1 个计数时钟变为低电平，即 PWM1 高电平时间延展为 (DT1+1)。

8+3 模式提高的是整体上的 PWM 占空比调节精度，而不是单个 PWM 周期的占空比调节精度。占空比延展控制位 PWM1D[2:0] 决定每 8 个周期内哪几个周期为普通周期，哪几个周期为延展周期。

$$\begin{aligned}\text{PWM1 的 8+3 模式一个大周期的占空比计算如下 (需 } 0 < \text{DT1} < \text{PRD1) :} \\ \text{高电平时间} &= [(\text{DT1}) \times 8 + (\text{PWM1D}[2:0])] \times \text{TMR1 计数时钟周期} \\ \text{周期} &= (\text{PRD1} + 1) \times 8 \times \text{TMR1 计数时钟周期} \\ \text{占空比 (高电平时间/周期)} &= [(\text{DT1}) + (\text{PWM1D}[2:0]/8)] / (\text{PRD1} + 1)\end{aligned}$$

举例说明：

若 PWM1D[2:0]=3' b000，则每 8 个 PWM 周期均不进行占空比延展，一个大周期 PWM 的占空比与普通模式 PWM 的占空比一样，为 $[(\text{DT1}) / (\text{PRD1} + 1)]$ ；

若 PWM1D[2:0]=3' b101，则每 8 个 PWM 周期中的第 1、2、3、5、7 个周期（共 5 个周期）进行占空比延展，一个大周期的占空比为 $[(\text{DT1}) + (5/8)] / (\text{PRD1} + 1)$ ；

PWM1 波形可通过 OPTION3 位 PWM10TP<1:0> 选择从端口 P67 (PWM10TP=11)、端 P61 (PWM10TP=10) 或端口 P64 (PWM10TP=01) 输出。

4.3.3 PWM2

PWM2 可以通过寄存器位 TIMERSCL 选择时钟源，通过 T2P2、T2P1 和 T2P0 选择 TMR2 的预分频比，所选时钟源通过预分频器后产生计数器 TMR2 的计数时钟（上升沿计数）。通过 PRD2[7:0] 配置 PWM2 的周期，通过 DT2[7:0] 配置 PWM2 占空比。通过 PWM2E 置 1 使能 PWM2。

T2EN=1 时，TMR2 从 0 开始递增，PWM2 输出高电平，计数到 DT2 配置的值时（通过比较器进行比较）PWM2 开始输出低电平，此时如果占空比中断使能 DT2IE 打开 (=1)，则会触发占空比中断，占空比中断标志位 DT2IF 置 1。当计数到 PRD2 配置的值时（通过比较器进行比较）PWM2 开始输出高电平，此时如果周期中断使能 PWM2IE 打开 (=1)，则会触发周期中断，周期中断标志位 PWM2IF 置 1。T2EN=0 时，TMR2 值为 0。

$$\begin{aligned}\text{PWM2 信号的占空比计算如下:} \\ \text{高电平时间} &= (\text{DT2}) \times \text{TMR2 计数时钟周期} \\ \text{周期} &= (\text{PRD2} + 1) \times \text{TMR2 计数时钟周期} \\ \text{占空比 (高电平时间/周期)} &= (\text{DT2}) / (\text{PRD2} + 1)\end{aligned}$$

PWM2 支持 8+3 模式，即在普通模式 PWM 的时钟下，以每 8 个 PWM 周期作为一个大周期，其中部分周期进行占空比延展（即延展高电平时间），这些延展周期内 PWM2 信号将比普通周期延后 1 个计数时钟变为低电平，即 PWM2 高电平时间延展为 (DT2+1)。

8+3 模式提高的是整体上的 PWM 占空比调节精度，而不是单个 PWM 周期的占空比调节精度。占空比延展控制位 PWM2D[2:0] 决定每 8 个周期内哪几个周期为普通周期，哪几个周期为延展周期。

$$\begin{aligned}\text{PWM2 的 8+3 模式一个大周期的占空比计算如下 (需 } 0 < \text{DT2} < \text{PRD2) :} \\ \text{高电平时间} &= [(\text{DT2}) \times 8 + (\text{PWM2D}[2:0])] \times \text{TMR2 计数时钟周期} \\ \text{周期} &= (\text{PRD2} + 1) \times 8 \times \text{TMR2 计数时钟周期} \\ \text{占空比 (高电平时间/周期)} &= [(\text{DT2}) + (\text{PWM2D}[2:0]/8)] / (\text{PRD2} + 1)\end{aligned}$$

举例说明：

若 PWM2D[2:0]=3' b000，则每 8 个 PWM 周期均不进行占空比延展，一个大周期 PWM 的占空比与普通模式 PWM 的占空比一样，为 $[(\text{DT2}) / (\text{PRD2} + 1)]$ ；

若 PWM2D[2:0]=3' b101，则每 8 个 PWM 周期中的第 1、2、3、5、7 个周期（共 5 个周期）进行占空比延展，一个大周期的占空比为 $[(\text{DT2}) + (5/8)] / (\text{PRD2} + 1)$ ；

PWM2 波形可通过 OPTION5 位 PWM20TP<1:0> 选择从端口 P51 (PWM20TP=11)、端 P50 (PWM20TP=10) 或端口 P54 (PWM10TP=01&寄存器位 TS=0) 输出。

4.3.4 16 位 PWM

16 位 PWM 可以通过寄存器位 TIMERSC 选择时钟源, 通过 T1P2、T1P1 和 T1P0 选择 16 位 PWM 的预分频比, 所选时钟源通过预分频器后产生计数器 16 位 PWM 的计数时钟 (上升沿计数)。通过 PRD1[7:0] 配置 16 位 PWM 的周期低 8 位, 通过 PRD2[7:0] 配置 16 位 PWM 的周期高 8 位, 通过 DT1[7:0] 配置 16 位 PWM 占空比低八位, 通过 DT2[7:0] 配置 16 位 PWM 占空比高八位。通过 PWM1E 置 1 使能 16 位 PWM。

T1EN=1 时, TMR1 从 0 开始递增, 16 位 PWM 输出高电平, 计数到 DT2, DT1 配置的值时 (通过比较器进行比较) 16 位 PWM 开始输出低电平, 此时如果占空比中断使能 DT1IE 打开 (=1), 则会触发占空比中断, 占空比中断标志位 DT1IF 置 1。当计数到 PRD2, PRD1 配置的值时 (通过比较器进行比较) 16 位 PWM 开始输出高电平, 此时如果周期中断使能 PWM1IE 打开 (=1), 则会触发周期中断, 周期中断标志位 PWM1IF 置 1。

4.4 ADC 功能

4.4.1 功能概述

ADC 模块主要包含 8 个外部模拟信号输入通道, 2 个内部输入通道, 1 个外部参考电压输入通道, 3 个控制寄存器组 (AISR/ADCON/ADOC), 3 个数据寄存器组 (ADDATA/ADDATA1H/ADDATA1L) 以及一个 12bit 的逐次逼近 ADC。

ADC 模块利用逐次逼近的方式将一个未知的模拟信号转换为数值, 转换结果将写入 ADDATA、ADDTA1H 以及 ADDATA1L 寄存器。输入通道的选择由 ADCR 寄存器的低三位 ADIS[2:0] 决定。

这是一个 12-bit 的逐次逼近的模数转换模块 (SAR ADC)。有两个参考电压可供选择, 分别是内部参考电源电压以及外部输入参考电压 (通过 ADCR 寄存器 VREFS 及 ADOC 寄存器 VREF[1:0] 设置)。使用外部参考电压远比使用内部参考电源电压精度高。

ADC 功能框图如图 2 所示。

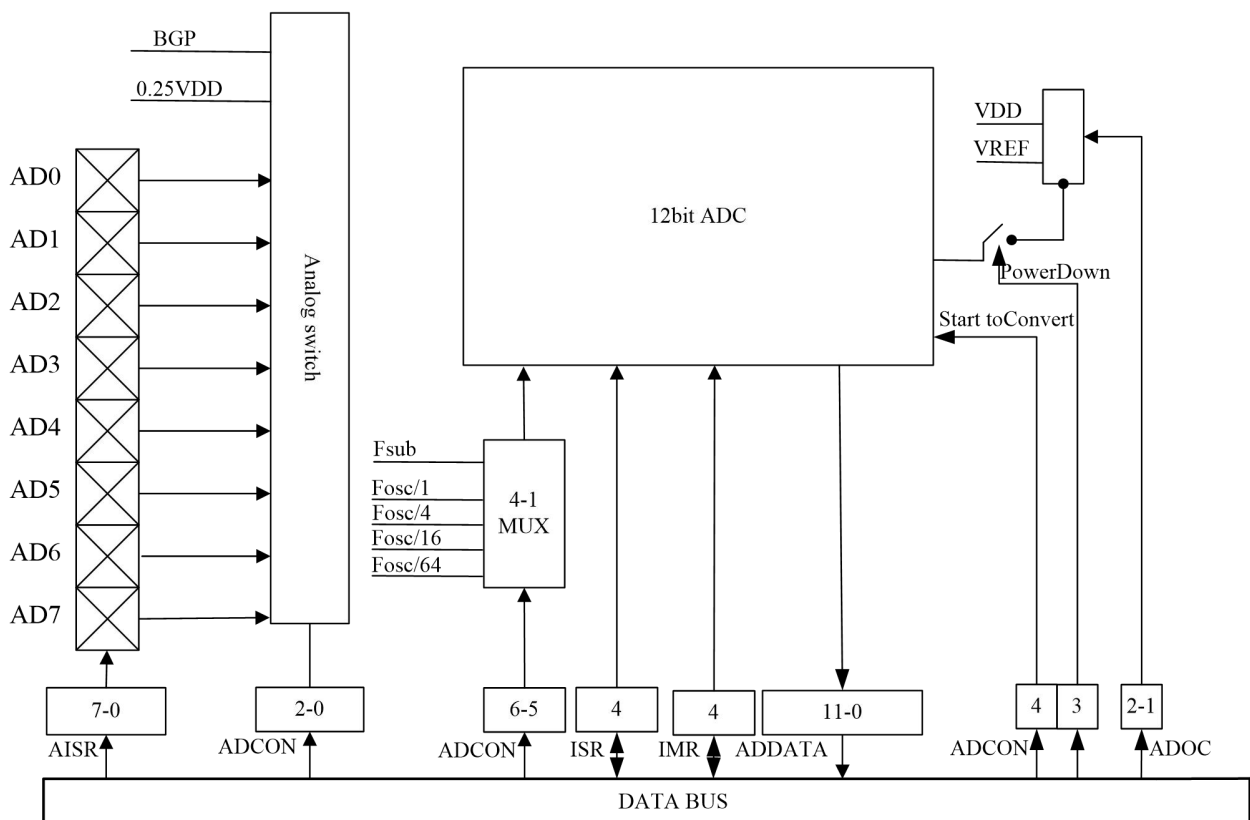


图 2 ADC 功能图

4.4.2 ADC 功能应用说明

●ADC 采样时间

输入源阻抗及内部采样电路阻抗直接影响采样保持电容的充电需求时间。应用程序可以控制采样时间来满足特定的精度要求。建议模拟信号的最大输入阻抗不超过 10k Ω （VDD=5V）。在选择模拟输入通道后，AD 转换开始之前，采样时间必须被满足。

●AD 转换时间

CKR[1:0]设定后能确定 TAD 进而确定 AD 转换的时间，这样可以允许 MCU 工作在最大频率下，同时尽可能不牺牲 AD 转换的精度。2.5V~3.0V 工作电压下，TAD 最低为 4 μ S，3.0V~5.5V 工作电压下，TAD 最低为 1 μ S。

整个转换时间=采样保持时间（SHS[1:0]设定）+12*TAD（12*每个 bit 的转换时间）+ ADRUN 位被置一到实际 AD 转换开始的延迟时间（1*TAD）。

VDD=3V~5.5V（TAD=1 μ s）

系统工作模式	CKR[1:0]	ADC 工作频率	MCU 最高工作频率	转换时间（SHS=11）
Normol Mode (CPUS=1)	00	Fosc/16	16M	25 μ s
	01	Fosc/4	4M	25 μ s
	10	Fosc/64	--	--
	11	Fosc/1	1M	25 μ s
Green Mode (CPUS=0)	xx	128K	128K	196 μ s

VDD=2.5V~3V（TAD=4 μ s）

系统工作模式	CKR[1:0]	ADC 工作频率	MCU 最高工作频率	转换时间（SHS=11）
Normol Mode (CPUS=1)	00	Fosc/16	4M	100 μ s
	01	Fosc/4	1M	100 μ s
	10	Fosc/64	16M	100 μ s
	11	Fosc/1	--	--
Green Mode (CPUS=0)	xx	128K	128K	196 μ s

●睡眠模式下 ADC 模块的工作：

为了获得更加精确的 ADC 转换值并且降低功耗，在睡眠模式下 ADC 模块仍然工作。如果在 AD 转换过程中执行 SLEEP 指令，所有系统动作均会停止，除了系统时钟、TCC、TMR1、TMR2、WDT（若使能）。

AD 转换完成后：

- 1) ADCON (BANK0 R9) 寄存器的 ADRUN 位被清零；
- 2) ISR1 (BANK0 RE) 寄存器的 ADIF 位被置“1”（ADIE 设置为 1）；
- 3) 系统被唤醒（ISR1 寄存器的 ADWE 位设置为 1，且 WDT 关闭）；
- 4) 如果执行了 DIT 指令，唤醒后执行下一条指令；
- 5) 系统进入睡眠模式前，如果执行了 EIT 指令，并且 ADIE 设置为 1，唤醒后进入中断向量（地址为 0x00C）；
- 6) 系统没有睡眠，如果执行了 EIT 指令，并且 ADIE 设置为 1，AD 转换完成后也进入中断向量（地址为 0x00C）。

●ADC 转换设置步骤：

- 1) 通过 AISR (BANK0 R8) 寄存器的 ADE[7:0]定义 P5 端口的端口特性（数字输入/出、模拟信号通道、参考电压通道）；
- 2) 通过 ADCON (BANK0 R9)寄存器设置 AD 工作模式：
 - (1) 通过 ADIS[2:0]选择 ADC 输入通道；
 - (2) 通过 CKR[1:0]定义 AD 转换时钟频率；
 - (3) 选择 ADC 参考电压；
 - (4) 通过将 ADPD 位置“1”让 ADC 模块开始工作；
- 3) 如果需要 AD 转换完成唤醒功能，将 ADWE 位置“1”；
- 4) 如果需要 AD 转换完成中断功能，将 ADIE 位置“1”；
- 5) 如果需要 AD 转换完成中断功能，执行 EIT 指令；
- 6) 将 ADRUN 位置“1”；
- 7) 执行 SLEEP 指令或者查询特定定位；
- 8) 等待系统唤醒或者 ADRUN 位被清零、ADIF 位被置一或者 ADC 中断发生；
- 9) 读取 ADDATA/ADDATA1H/ADDATA1L 寄存器数据，如果此时 ADC 输入通道改变，ADC 数据寄存器的值会被清零；
- 10) 将 AD 转换完成中断标志位 ADIF 清零；
- 11) 如果要进行下一次 AD 转换，重复以上步骤，至少要等待两个 TAD 再进行下一次 AD 转换；

注：为了获得更为精确的转换值，在转换期间，应当尽量避免 I/O 口上有数据传输。

●ADC 转换精度调整：

ADC 可以通过设置 ADOC 寄存器来校准以调整转换精度，一般可通过“0”输入转换结果来确定偏移量。确定偏移量之后，可通过 ADOC 寄存器 VOF[2:0]设置补偿电压，SIGN 位设置正/负极性补偿，CALI 位校准使能。

4.5 比较器

芯片内置比较器模块，通过寄存器位 VINNSEL 和 VINPSEL 选择比较器负端和正端输入端口。当 VINPSEL=1 时通过寄存器位 LVD3、LVD2、LVD1、LVD0 选择输入电压。通过寄存器位 CMPEN=1 选择比较器功能。通过 LVDEN=1 打开比较器使能。开启比较器使能后，读 IOC80 寄存器会将数据放进寄存器进行比较，配置 VINNSEL 和 VINPSEL 后，等待>5us 后，OUTPUT(比较器输出结果位)会输出此次比较的结果。配置 OPTION5 的 CMPOUT_OPT=0 使 P64 作为比较器输出端口。

比较器模块可以进行中断和唤醒。中断使能 CMPIE=1 时，CMPOUT 发生变化则会触发中断。唤醒使能 CMPWE=1 时，CMPOUT 发生变化则会触发唤醒。

4.6 LVD（低压检测）功能

芯片内置低电压检测模块 LVD，通过寄存器位 CMPEN=0 选择 LVD 功能，通过寄存器位 LVD3、LVD2、LVD1、LVD0 选择电压检测阈值，通过寄存器位 VINNSEL=0 选择 BGR 输入，通过寄存器位 VINPSEL=0 选择内部电源电压分压输入。通过寄存器位 LVDEN=1 开启 LVD 功能。通过配置 LVDIE=1 中断使能，当电源电压低于检测点时中断标志位 LVDIF=1，当电源电压恢复高于检测点后 LVDIF=0。

LVD 模块可在睡眠模式下工作，可充当系统唤醒源（打开唤醒使能 LVDWE，当检测到低压时，触发唤醒）。

4.7 睡眠与唤醒

4.7.1 SLEEP 模式唤醒

执行 SLEEP 指令后，系统进入睡眠模式（IDLE=0），系统时钟停止，仅 LVR 模块工作，WDT（若使能）除外。在 AD 转换过程中如果执行 SLEEP，则系统时钟、TCC、TMR1、TMR2、WDT（若使能）继续运行。

8 种唤醒方式：

- 1) RESET 脚输入低电平；
- 2) WDT 复位；
- 3) P5 口输入状态改变；
- 4) P6, P70 口输入状态改变；
- 5) 比较器状态改变；
- 6) AD 转换完成；
- 7) LVD 低压检测；
- 8) 外部中断引脚唤醒。

前两种唤醒使得系统进行了一次复位，因此，终止了睡眠前的执行的所有程序；

后五种唤醒方式则保持了程序的延续性。可以通过程序选择继续原有的进程（SLEEP 前执行 DIT）或执行相应的跳转（SLEEP 前执行 EIT），并打开相应的使能控制位，跳转到中断向量的位置。

● 如果需要执行 LVD 低压检测的唤醒方式，需要在进入睡眠模式前执行以下步骤：

- 1) 打开 LVD 软件使能（LVDEN=1）
- 2) 打开唤醒使能信号（LVDWE=1）
- 3) 关闭 WDT 软件使能（WDTE=0）
- 4) 进入睡眠模式（执行 SLEEP）

经过以上设置后，只要 LVD 检测到低压信号，系统就可以被唤醒。唤醒后需要注意：

- 1) 如果睡眠前执行 EIT，并且打开 LVD 中断使能（LVDIE=1），则唤醒前将 PC 压栈，唤醒后 PC 指向 0X21，待唤醒子程序执行完毕，继续原来的进程。
- 2) 如果睡眠前没有打开中断使能，则唤醒后 PC 继续睡眠前的进程

● 如果需要执行比较器状态变化的唤醒方式，需要在进入睡眠模式前执行以下步骤：

- 1) 打开比较器使能信号（CMPEN=1）

- 2) 打开唤醒使能信号 (CMPWE=1)
- 3) 关闭 WDT 软件使能 (WDTE=0)
- 4) 读当前比较器输出状态 (MOVC CCR)
- 5) 进入睡眠模式 (执行 SLEEP)

经过以上设置后, 只要比较器状态发生变化, 系统就可以被唤醒。唤醒后需要注意:

- 1) 如果睡眠前执行 EIT, 并且打开比较器中断使能 (CMPIE=1), 则唤醒前将 PC 压栈, 唤醒后 PC 指向 0X0F, 待唤醒子程序执行完毕, 继续原来的进程。
- 2) 如果睡眠前没有打开中断使能, 则唤醒后 PC 继续睡眠前的进程

● 如果需要执行 AD 转换完成的唤醒方式, 需要在进入睡眠模式前执行以下步骤:

- 1) 运行 AD (配置 ADC 并开始转换)
- 2) 打开唤醒使能信号 (ADWE=1)
- 3) 关闭 WDT 软件使能 (WDTE=0)
- 4) 进入睡眠模式 (执行 SLEEP)

经过以上设置后, 只要 AD 转换完成 (16* T_{ad}), 系统就可以被唤醒。唤醒后需要注意:

- 1) 如果睡眠前执行 EIT, 并且打开比较器中断使能 (ADIE=1), 则唤醒前将 PC 压栈, 唤醒后 PC 指向 0X0C, 待唤醒子程序执行完毕, 继续原来的进程。
- 2) 如果睡眠前没有打开中断使能, 则唤醒后 PC 继续睡眠前的进程

● 如果需要执行 P5 口输入状态改变的唤醒方式, 需要在进入睡眠模式前执行以下步骤:

- 1) 保证 P5 口是输入状态
- 2) 打开唤醒使能信号 (ICWE=1)
- 3) 关闭 WDT 软件使能 (WDTE=0)
- 4) 读 P5 口
- 5) 进入睡眠模式 (执行 SLEEP)

经过以上设置后, 只要 P5 口的输入状态发生改变, 系统就可以被唤醒。唤醒后需要注意:

- 1) 如果睡眠前执行的是 EIT, 则唤醒前将 PC 压栈, 唤醒后 PC 指向 0X06, 待唤醒子程序执行完毕, 继续原来的进程。
- 2) 如果睡眠前没有打开中断使能, 则唤醒后 PC 继续睡眠前的进程

● 如果需要执行 P6, P70 口输入状态改变的唤醒方式, 需要在进入睡眠模式前执行以下步骤:

- 1) 保证 P6, P70 口是输入状态
- 2) 打开唤醒使能信号 (IC2WE=1)
- 3) 关闭 WDT 软件使能 (WDTE=0)
- 4) 读 P6, P70 口
- 5) 进入睡眠模式 (执行 SLEEP)

经过以上设置后, 只要 P6, P70 口的输入状态发生改变, 系统就可以被唤醒。唤醒后需要注意:

- 1) 如果睡眠前执行的是 EIT, 则唤醒前将 PC 压栈, 唤醒后 PC 指向 0X24, 待唤醒子程序执行完毕, 继续原来的进程。
- 2) 如果睡眠前没有打开中断使能, 则唤醒后 PC 继续睡眠前的进程

● 如果需要执行外部中断的唤醒方式, 需要在进入睡眠模式前执行以下步骤:

- 1) 选择 P60 作为外部中断引脚 (EIS=1)
- 2) 打开唤醒使能信号 (EXWE=1)
- 3) 关闭 WDT 软件使能 (WDTE=0)
- 4) 进入睡眠模式 (执行 SLEEP)

经过以上设置后, 只要 P60 有上升/下降沿来临并且满足持续时间要求, 系统就可以被唤醒。唤醒后需要注意:

- 1) 如果睡眠前执行 EIT, 并且打开外部中断使能 (EXIE=1), 则唤醒前将 PC 压栈, 唤醒后 PC 指向 0X03, 待唤醒子程序执行完毕, 继续原来的进程。
- 2) 如果睡眠前没有打开中断使能, 则唤醒后 PC 继续睡眠前的进程

4.7.2 IDLE 模式唤醒

执行 SLEEP 指令后, 系统进入 IDLE 模式 (IDLE=1), 系统主频时钟停止, 副频时钟继续工作, WDT (若使

能) 继续工作。在 AD 转换过程中如果执行 SLEEP, 则系统时钟、TCC、TMR1、TMR2、WDT (若使能) 继续运行。

14 种唤醒方式:

在睡眠模式唤醒方式的基础上, 增加了 7 种方式 (新增的 7 种方式必须打开相应中断使能):

- 1) TCC 溢出中断唤醒,
- 2) PWMX (X=1/2) 周期/占空比中断唤醒。

●如果需要执行 TCC 溢出中断的唤醒方式, 需要在进入 IDLE 模式前执行以下步骤:

- 1) 配置好 TCC 后, 打开 TCC 溢出中断使能
- 2) 关闭 WDT 软件使能 (WDTE=0)
- 3) 进入 IDLE 模式 (IDLE=1, 执行 SLEEP)

经过以上设置后, 只要 TCC 计数器溢出, 系统就可以被唤醒。唤醒后需要注意:

- 1) 如果睡眠前执行 EIT, 则唤醒前将 PC 压栈, 唤醒后 PC 指向 0X09, 待唤醒子程序执行完毕, 继续原来的进程。
- 2) 如果睡眠没有打开全局中断使能, 则唤醒后 PC 继续睡眠前的进程

●如果需要执行 PWMX (X=1/2) 周期/占空比中断的唤醒方式, 需要在进入 IDLE 模式前执行以下步骤:

- 1) 打开 PWMX 软件使能、PWMX 计数使能以及相关中断使能
- 2) 关闭 WDT 软件使能 (WDTE=0)
- 3) 进入 IDLE 模式 (IDLE=1, 执行 SLEEP)

经过以上设置后, 只要 PWMX 上升沿 (周期中断)/下降沿 (占空比中断) 到来, 系统就可以被唤醒。唤醒后需要注意:

- 1) 如果睡眠前执行 EIT, 则唤醒前将 PC 压栈, 唤醒后 PC 指向相应中断地址, 待唤醒子程序执行完毕, 继续原来的进程。
- 2) 如果睡眠没有打开全局中断使能, 则唤醒后 PC 继续睡眠前的进程

表 1 SLEEP/IDLE 模式下唤醒信号

唤醒信号	SLEEP 模式		IDLE 模式	
	EIT	DIT	EIT	DIT
/RESET 复位	唤醒+复位	唤醒+复位	唤醒+复位	唤醒+复位
WDT 溢出	唤醒+复位	唤醒+复位	唤醒+复位	唤醒+复位
P5 端口 输入状态改变	唤醒 + 中断→下一条指令	唤醒 + 下一条指令	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
比较器中断	唤醒 + 中断→下一条指令	唤醒 + 下一条指令	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
AD 转换完成	唤醒 + 中断→下一条指令	唤醒 + 下一条指令	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
LVD 中断	唤醒 + 中断→下一条指令	唤醒 + 下一条指令	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
外部中断	唤醒 + 中断→下一条指令	唤醒 + 下一条指令	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
TCC 中断	唤醒无效	唤醒无效	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
PWM1 周期/占 空比中断	唤醒无效	唤醒无效	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
PWM2 周期/占 空比中断	唤醒无效	唤醒无效	唤醒 + 中断→下一条指令	唤醒 + 下一条指令

P6、P70 端口 输入变化中断	唤醒 + 中断→下一条指令	唤醒 + 下一条指令	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
---------------------	---------------------	------------------	---------------------	------------------

唤醒时间：系统有多种时钟供选择，考虑时钟性能的差异，起振时间也不同，不同的时钟源，选择不同的唤醒时间，保证系统能够在唤醒后能够正常工作。

表 2 唤醒建立时间比较

类型	IRC
CPUS=1	WKCK=1, 8 F _m WKCK=0, 32 F _m
CPUS=0	8 F _s

4.8 中断功能

4.8.1 功能概述

JSC8P012 有以下 12 种硬件中断：

- 1) 外部中断 (P60 口)
- 2) P5、P6、P70 口输入状态变化中断
- 3) TCC 计数器计数溢出中断
- 4) AD 转换完成中断
- 5) 比较器状态变化中断
- 6) PWM1 周期中断
- 7) PWM2 周期中断
- 8) PWM1 占空比中断
- 9) PWM2 占空比中断
- 10) LVD 中断

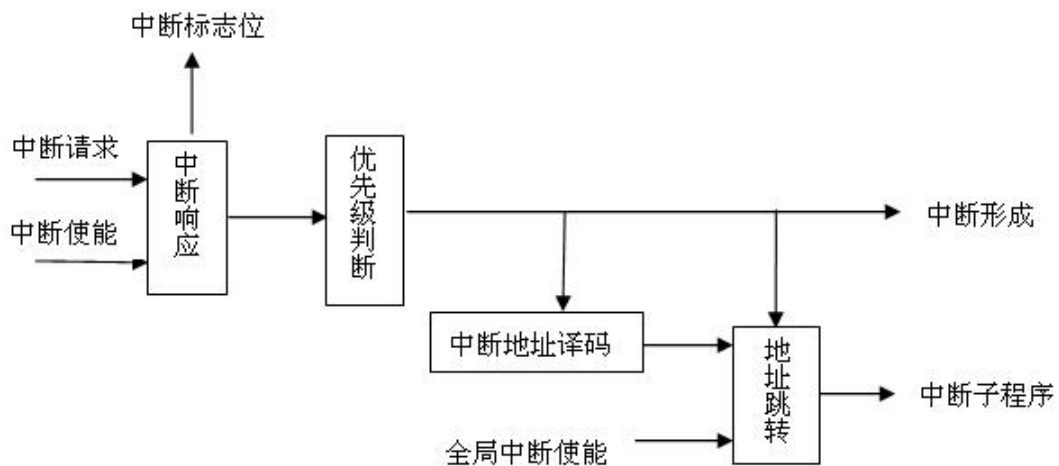


图 3 中断原理图

4.8.2 中断功能应用说明

- 1) 执行中断前，务必打开对应中断类型的使能信号；

- 2) 如果需要执行中断跳转, 则需要在中断前执行 EIT 命令, 否则执行 DIT 命令, 中断形成后仍继续原来的进程。
- 3) 执行外部中断时, 要打开外部中断通道 (EIS=1, 此 bit 置 1 时务必确保 INT 脚有固定状态, INT 脚出现沿变化需在此 bit 为 1 之后), 此时 P60 口的状态仍然可以通过指令读取, 只有在 P60 口上有上升/下降沿 (INTE=0/1) 出现时, 中断才会形成。
- 4) 配置 Option;
- 5) NRHL (0: 8*fc/1: 32*fc), 外部中断引脚 P60 高/低电平变化后持续时间须达到配置值才能被认作外部信号而不是噪声或干扰。
- 6) NRE : 滤波电路控制 (0: disable/1: enable), always disable in LXT2/sleep_MD。
- 7) 执行 TCC 溢出中断时, 配置好 TCC 后, 打开 TCC 溢出中断使能, TCC 溢出就会形成中断。
- 8) 当需要执行 P5 口输入状态变化形成的中断时, 端口必须设置为输入状态, 务必对端口进行一次读操作 (MOVR P5), 全局使能命令 (EIT/DIT) 要先于打开中断使能信号 (ICIE) 执行。当端口输入状态变化时, 便可以形成中断; 中断形成后, 相应的中断标志位被设置为 1, 可以通过访问中断状态寄存器, 来判断中断的类型。
- 9) 执行 PWM 周期中断时, 打开 PWM 软件使能、PWMX 计数使能以及 PWMXIE 中断使能 (PWMXIE=1), 当 PWM 脉冲上升沿来临时, 会形成 PWM 周期中断。
- 10) 执行 PWM 占空比中断时, 打开 PWMX 软件使能、PWMX 计数使能以及 DTXIE 中断使能 (PWMXIE=1), 当 PWM 脉冲下降沿来临时, 会形成 PWM 占空比中断。
- 11) 执行 LVD 中断时, 打开 LVD 软件使能 (LVDEN=1) 和 LVD 中断使能 (LVDIE=1), 当 LVD 状态变化时, 便形成 LVD 中断。
- 12) ADC 转换完成中断, 配置好 ADC 后, 打开 ADC 转换完成中断使能, 开始 AD 转换, 转换完成就会形成中断。
- 13) 执行比较器中断时, 需设置 IOC80 寄存器 (CMPEN=1) 使能比较器, 在打开比较器状态变化中断使能之前要先读一下比较器当前输出结果 (在 IOC0 页面执行 MOVC CCR), 然后打开比较器状态变化中断使能 (CMPIE=1), 当比较器状态发生变化时, 便形成中断。
- 14) 当需要执行 P6/P70 口输入状态变化形成的中断时, 端口必须设置为输入状态, 务必对端口进行一次读操作 (MOVR P6 MOVR P7), 全局使能命令 (EIT/DIT) 要先于打开中断使能信号 (IC2IE) 执行。当端口输入状态变化时, 便可以形成中断; 中断形成后, 相应的中断标志位被设置为 1, 可以通过访问中断状态寄存器, 来判断中断的类型。

JSC8P012 中断源的中断向量如下表所示:

表 3 中断源及其中断向量

中断向量	中断源	中断优先级
003H	外部中断 (P60 口)	2
006H	P5 口输入状态变化中断	3
009H	TCC 计数器计数溢出中断	4
00CH	AD 转换完成中断	5
00FH	比较器状态变化中断	6
012H	PWM1 周期中断	7
015H	PWM2 周期中断	8
018H	PWM1 占空比中断	9
01BH	PWM2 占空比中断	10
024H	P6、P70 口输入状态变化中断	11
021H	LVD 中断	1

4.9 复位功能

4.9.1 功能概述

系统提供 4 种复位方式

- 1) 上电复位
- 2) 低压复位
- 3) RESET 脚输入低电平
- 4) WDT 溢出

后两种复位方式的复位时间在唤醒部分已经给出，第一种复位时间由 OPTION 中的 SUT 选择决定，如下表所示：

唤醒，复位后寄存器状态一览表

名称	类型	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CONT	位名	INTE	INT	TS	TE	PSTE	PST2	PST1	PST0
	复位	1	0	1	1	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
I0C50	位名	---	---	C55	C54	C53	C52	C51	C50
	复位	0	0	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
I0C60	位名	C67	C66	C65	C64	---	---	C61	C60
	复位	1	1	1	1	0	0	1	1
	唤醒	P	P	P	P	P	P	P	P
I0C70	位名	---	---	---	---	---	---	C71	C70
	复位	0	0	0	0	0	0	1	1
	唤醒	P	P	P	P	P	P	P	P
I0C80	位名	---	---	CMPOUT	VINNSEL	VINPSEL	CMPEN	---	---
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
I0C90	位名	TMR1[7]	TMR1[7]	TMR1[7]	TMR1[4]	TMR1[3]	TMR1[2]	TMR1[1]	TMR1[0]
	复位	0	0	0	0	0	0	0	1
	唤醒	P	P	P	P	P	P	P	P
I0CA0	位名	TMR2[7]	TMR2[6]	TMR2[5]	TMR2[4]	TMR2[3]	TMR2[2]	TMR2[1]	TMR2[0]
	复位	0	0	0	0	0	0	0	1
	唤醒	P	P	P	P	P	P	P	P
I0CB0 (P5PDCR)	位名	---	---	/PD55	/PD54	/PD53	/PD52	/PD51	/PD50
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
I0CC0 (P60DCR)	位名	OD67	OD66	OD65	OD64	---	---	OD61	OD60
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
I0CD0 (P5PHCR)	位名	---	---	/PH55	/PH54	/PH53	/PH52	/PH51	/PH50
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
I0CE0	位名	WDTE	EIS	ADIE	CMPIE	PSWE	PSW2	PSW1	PSW0
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
I0CF0	位名	---	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	ICIE	TCIE
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
I0C51 (P5HSCR)	位名	---	---	---	HS54	HS53	HS52	HS51	---
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
I0C61 (P6HSCR)	位名	HS67	HS66	HS65	HS64	---	---	HS61	HS60
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
I0C71	位名	---	---	---	HD54	HD53	HD52	HD51	---

(P5HDCR)	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
I0C81 (P6HDCR)	位名	HD67	HD66	HD65	HD64	---	---	HD61	HD60
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
I0CB1 (P6PDCR)	位名	PD67	PD66	PD65	PD64	---	---	PD61	PD60
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
I0CC1 (P50DCR)	位名	---	---	0D55	0D54	0D53	0D52	0D51	0D50
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
I0CD1 (P7PHCR)	位名	---	---	---	---	---	---	PH71	PH70
	复位	0	0	0	0	0	0	1	1
	唤醒	P	P	P	P	P	P	P	P
I0CE1 (P7PDCR)	位名	---	---	---	---	---	---	0D71	PD70
	复位	0	0	0	0	0	0	0	1
	唤醒	P	P	P	P	P	P	P	P
I0CF1 (P6PHCR)	位名	/PH67	/PH66	/PH65	/PH64	---	---	/PH61	/PH60
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
TCC	位名	TCC[7]	TCC[6]	TCC[5]	TCC[4]	TCC[3]	TCC[2]	TCC[1]	TCC[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PC	位名	PC[7]	PC[6]	PC[5]	PC[4]	PC[3]	PC[2]	PC[1]	PC[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
	唤醒 跳转	X	X	X	X	X	X	X	X
STATUS	位名	RST	I0CS	ROMBKSEL	T	P	Z	DC	C
	复位	0	0	0	t	t	U	U	U
	唤醒	1	P	P	t	t	P	P	P
RSR	位名	SBANK	BS0	---	---	---	---	---	---
	复位	0	0	U	U	U	U	U	U
	唤醒	P	P	P	P	P	P	P	P
P5	位名	---	---	P55	P54	P53	P52	P51	P50
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
P6	位名	P67	P66	P65	P64	---	---	P61	P60
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
P7	位名	---	---	---	---	---	---	P71	P70
	复位	0	0	0	0	0	0	1	1
	唤醒	P	P	P	P	P	P	P	P
AISR	位名	ADE7	ADE6	ADE5	ADE4	ADE3	ADE2	ADE1	ADE0
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
ADCON	位名	VREFS	CKR1	CKR0	ADRUN	ADPD	ADIS2	ADIS1	ADIS0
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
ADOC	位名	CALI	SIGN	V0F[2]	V0F[1]	V0F[0]	VREF1	VREF0	ADICS
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
ADDTA	位名	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4
	复位	U	U	U	U	U	U	U	U

	唤醒	P	P	P	P	P	P	P	P
ADDTA1L	位名	--	--	--	--	AD11	AD10	AD9	AD8
	复位	0	0	0	0	U	U	U	U
	唤醒	P	P	P	P	P	P	P	P
ADDTA1H	位名	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
	复位	U	U	U	U	U	U	U	U
	唤醒	P	P	P	P	P	P	P	P
ISR1	位名	/LVD	LVDIF	ADIF	CMPIF	ADWE	CMPWE	ICWE	LVDWE
	复位	1	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
ISR2	位名	--	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	ICIF	TCIF
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
TBHP	位名	MLB	OPT_RDEN (TBRD)	--	--	RBit11	RBit10	RBit9	RBit8
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
TBLP	位名	RBit7	RBit6	RBit5	RBit4	RBit3	RBit2	RBit1	RBit0
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PWMCN	位名	--	--	--	--	--	PWMCAS	PWM2E	PWM1E
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
TMRCON	位名	T2EN	T1EN	T2P2	T2P1	T2P0	T1P2	T1P1	T1P0
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PRD1	位名	PWM1[7]	PWM1[6]	PWM1[5]	PWM1[4]	PWM1[3]	PWM1[2]	PWM1[1]	PWM1[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PRD2	位名	PWM2[7]	PWM2[6]	PWM2[5]	PWM2[4]	PWM2[3]	PWM2[2]	PWM2[1]	PWM2[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
DT1	位名	DT1[7]	DT1[6]	DT1[5]	DT1[4]	DT1[3]	DT1[2]	DT1[1]	DT1[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
DT2	位名	DT2[7]	DT2[6]	DT2[5]	DT2[4]	DT2[3]	DT2[2]	DT2[1]	DT2[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
SFS	位名	--	--	--	IRC_CAL [4]	IRC_CAL [3]	IRC_CAL [2]	IRC_CAL [1]	IRC_CAL [0]
	复位	1	1	U	U	U	U	U	U
	唤醒	P	P	P	P	P	P	P	P
LVDCIWR	位名	LVDIE	LV DEN	LVD3	LVD2	LVD1	LV D0	--	EXWE
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
SCR	位名	--	TIMERSC	CPUS	IDLE	SHS1	SHS0	RCM1	RCM0
	复位	0	1	1	0	1	1	WORD1[6]	WORD1[5]
	唤醒	P	P	P	P	P	P	P	P
RA	位名	--	PWM2D[2]	PWM2D[1]	PWM2D[0]	--	PWM1D[2]	PWM1D[1]	PWM1D[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
RE	位名	--	--	--	--	--	--	--	IC2IE
	复位	0	0	0	0	0	0	0	0

	唤醒	P	P	P	P	P	P	P	P
RF	位名	IC2WE	--	--	--	--	--	--	IC2IF
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
R10~R3F	位名	--	--	--	--	--	--	--	--
	复位	U	U	U	U	U	U	U	U
	唤醒	P	P	P	P	P	P	P	P

说明:

- 1、P 代表先前原有的状态，U 代表未知状态，
- 2、t 值参见 RCFG 寄存器说明。
- 3、PCL 在中断跳转时为中断地址；在唤醒时为栈顶地址。

4. 10时钟模块

JSC8P012 提供内部 RC 模式，频率默认值为 4MHz。

内部 RC 振荡模式频率值可以通过设置 OPTION 的 FIRC 位选择 IRC 工作频率，下面是它们的对应关系：

FIRC	IRC 频率
4 M	IRC 频率选为 4MHz
16 M	IRC 频率选为 16MHz
8 M	IRC 频率选为 8MHz
1 M	IRC 频率选为 1MHz

JSC8P012 内置 RC 振荡器，也可以通过程序配置 BANK1 的 RF 寄存器来设置

RCM1	RCM0	频率 (MHz)
0	0	1
0	1	8
1	0	16
1	1	4

IRC 的设定首先是按烧录器配置来选择频率，如果程序里配置了 BANK1 的寄存器会按寄存器设置工作。

建议可以选用 OPTION 来设置时钟频率，无需在程序内设置 BANK1 RF 寄存器的 RCM1 和 RCM0 位，如果客户的 OPTION 和 BANK1 的 RF 寄存器的 RCM0 和 RCM1 位设置的频率不一致时，振荡器工作频率将会受到影响。如果客户在 OPTION 设置的时钟频率和 BANK1 的 RF 寄存器中设置的频率不一致或者需要在程序运行过程中修改时钟频率的情况时，需要在设置完 RF 的寄存器后经过一段稳定时间，稳定时间之后频率才会按照设定的频率运行。

4. 11代码选项寄存器

Code Option	选项	功能描述
VDD	HIGH	IRC 频率在 VDD=5V 下校准
	LOW	IRC 频率在 VDD=3V 下校准
WKCK	8 Fosc	系统时钟预热时间选择 8Fosc
	32 Fosc	系统时钟预热时间选择 32Fosc (默认)
P71DEF	as reset	P71 作为外部 RESET
	as gpio	P71 作为 GPIO (默认)
FS_SEL	128KHz	副时钟选择 128KHz
	16KHz	副时钟选择 16KHz
ENWDT	Enable	WDT 使能

	Disable	WDT 禁止（默认）
SUT	4.5ms	系统建立时间选择 4.5ms
	18ms	系统建立时间选择 18ms
PROTECT	Enable	加密位使能
	Disable	加密位禁止
CMPOUT_OPT	0	打开，P64 作为比较器输出口
	1	关闭，P64 作为比较器输出口
CLKS	2Fosc	指令周期选择 2Fosc
	4Fosc	指令周期选择 4Fosc
LVR	1.75V	低压复位点选择 1.75V
	2.6V	低压复位点选择 2.6V
	3.6V	低压复位点选择 3.6V
	3.9V	低压复位点选择 3.9V
NRHL	Disable	外部中断滤波选项禁止
	8Fosc	滤波时间 8Fosc
	32Fosc	滤波时间 32Fosc
OSC	IRC	IRC 模式
P70DEF	as_gpio	P70 作为 GPIO
	sysclk	P70 作为指令周期输出口
	sysclk_od	P70 设为时钟开漏输出
FIRC	1M	IRC 频率选择 1M
	4M	IRC 频率选择 4M
	8M	IRC 频率选择 8M
	16M	IRC 频率选择 16M
PWM2OPT	11	PWM2 输出口选择 P51
	10	PWM2 输出口选择 P50
	01	PWM2 输出口选择 P54
OPTION_UPSEL	1	P50 上拉电阻选择则 8K 精准
	0	P50 上拉电阻选择则 63K
PWM1OPT	11	PWM1 输出口选择 P67
	10	PWM1 输出口选择 P61
	01	PWM1 输出口选择 P64
INSEN	EMC	模式选择（默认）
	JMC	模式选择
FILTER	FT1	系统时钟滤波低
	FT2	系统时钟滤波中
	FT3	系统时钟滤波高
	Disable	系统时钟滤波关闭
PD_OPT	Disable	P7 上下拉、P6 下拉、P5 开漏输出设置使能关闭
	Enable	P7 上下拉、P6 下拉、P5 开漏输出设置使能开启

5 极限参数

工作温度 (°C)	-40~+85
存储温度 (°C)	-65~+150
极限电压 (V)	-0.3~+6
极限输入电压 (V)	GND-0.3~VDD+1
极限输出电压 (V)	GND-0.3~VDD+1

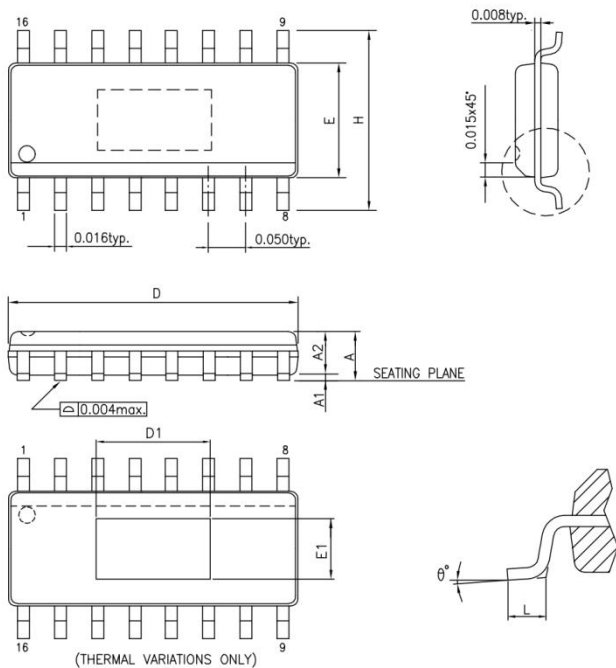
6DC 电气特性

符号	参数说明	条件	最小	典型	最大	单位
IRC1	内置阻容振荡 1 (校正后)	Firc0:Firc1=1:1		4		MHz
IRC2	内置阻容振荡 2 (校正后)	Firc0:Firc1=1:0		16		MHz
IRC3	内置阻容振荡 3 (校正后)	Firc0:Firc1=0:1		8		MHz
IRC4	内置阻容振荡 4 (校正后)	Firc0:Firc1=0:0		1		MHz
VIH1	输入高电平	P5, P6, P70	0.6*VDD		VDD+0.3	V
VIL1	输入低电平	P5, P6, P70	-0.3		0.4*VDD	V
IOH1	输出高电平驱动 (除 P71)	IOH=0.9*VDD		-5		mA
IOH2	输出高电平驱动增强 (除 P71)	IOH=0.9*VDD		-14		mA
IOH3	输出高电平 (P71)	IOH=0.9*VDD		-33		mA
IOH4	输出高电平驱动 (P66, P67)	IOH=0.9*VDD		-25		mA
IOL1	输出低电平驱动 (除 P71)	IOL=0.1*VDD		13		mA
IOL2	输出低电平驱动强 (除 P71)	IOL=0.1*VDD		33		mA
IOL3	输出低电平 (P71)	IOL=0.1*VDD		36		mA

IOL4	输出低电平驱动 (P66, P67)	IOL=0.1*VDD		39		mA
IPH1	上拉电流 (P5, P6, P70)	上拉使能, 输入接地	-50	-70	-120	μA
IPL	下拉电流 (P5, P6, P70)	下拉使能, 输入接 VDD	20	40	70	μA
I _{sb1}	关机电流 1	所有输入接 VDD, 输出悬空, WDT, LVD 禁用			2	μA
I _{sb2}	关机电流 2	所有输入接 VDD, 输出悬空, WDT 使能, LVD 禁用			10	μA
I _{sb3}	关机电流 3	所有输入接 VDD, 输出悬空, LVD 使能, WDT 禁用			10	μA
LVR	低电压复位电压	选择 V _{lvr} 复位点	V _{lvr} -0.2	V _{lvr}	V _{lvr} +0.2	V
LVD	低压检测电压	选择检测点为 V _{lvd}	V _{lvd} -0.1	V _{lvd}	V _{lvd} +0.1	V

7封装外形及尺寸

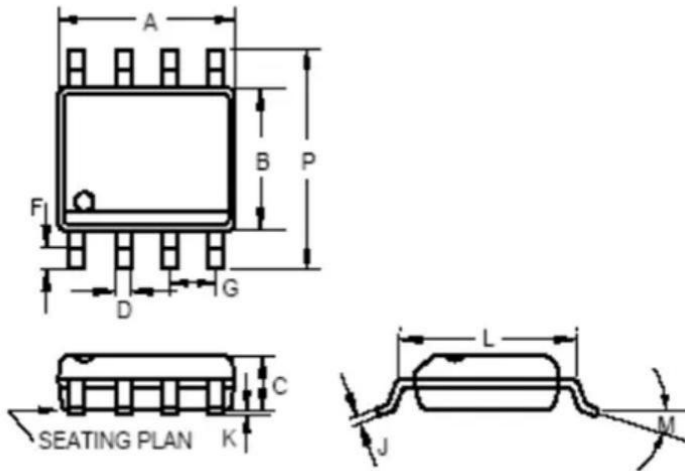
SOP16



SYMBOLS	STANDARD		THERMAL	
	MIN.	MAX.	MIN.	MAX.
A	0.053	0.069	0.053	0.067
A1	0.004	0.010	0.002	0.006
A2	0.049	0.065	0.049	0.065
D	0.386	0.394	0.386	0.394
E	0.150	0.157	0.150	0.157
H	0.228	0.244	0.228	0.244
L	0.016	0.050	0.016	0.050
θ°	0	8	0	8

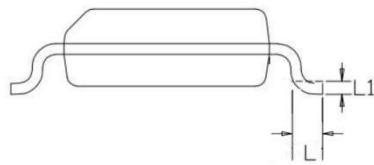
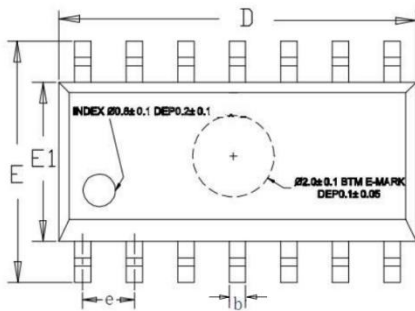
UNIT : INCH

SOP8



	INCHES			MILLIMETERS		
	MIN	TYP	MAX	MIN	TYP	MAX
A	0.183	-	0.202	4.65	-	5.13
B	0.144	-	0.163	3.66	-	4.14
C	0.068	-	0.074	1.35	-	1.88
D	0.010	-	0.020	0.25	-	0.51
F	0.015	-	0.035	0.38	-	0.89
G	0.050 BSC			1.27 BSC		
J	0.007	-	0.010	0.19	-	0.25
K	0.005	-	0.010	0.13	-	0.25
L	0.189	-	0.205	4.80	-	5.21
M	-	-	8°	-	-	8°
P	0.228	-	0.244	5.79	-	6.20

SOP14



单位:mm

	MIN	NOM	MAX
A	—	—	1.700
A1(站高)	0.100	0.150	0.200
A2(厚度)	1.300	1.400	1.500
A3	0.600	0.650	0.700
b	0.370	0.400	0.420
e(脚间距)	1.240	1.270	1.300
D(长度)	8.500	8.600	8.700
E(跨度)	5.800	6.000	6.200
E1(宽度)	3.800	3.900	4.000
L(脚长)	0.500	0.600	0.700
L1	—	0.25BSC	—

8 订购信息

型号	描述	封装	包装选项	最小起订量
JSC8P012SO8A(BB)(BD)	带 12 位 ADC 的 MCU	SOP8	编带盘装	4k
JSC8P012SO16(BB)(BD)	带 12 位 ADC 的 MCU	SOP16	编带盘装	4k

9 修订记录

序号	版本号	修订时间	修订者	修订内容
1	V1.00			初稿
2	V1.01			勘误
3	V1.02			修改 SOP16 管脚定义
4	V1.03	2024.10.9	宁尚波	勘误
5	V1.04	2024.10.31	王猛	更改 2.1 引脚排列
6	V1.05	2024.12.6	宁尚波	增加 SOP8A, SOP8B 封装引脚图
7	V1.06	2025-7-15	宁尚波	增加 SOP8C、MS10 封装引脚图
8	V1.07	2025-9-08	王猛、宁尚波	增加 SOP14 封装引脚图、勘误