

BP6255B

集成 SR-FET 磁耦通信次级恒压控制器

概述

BP6255B 是一款应用于 AC/DC 反激变换器中的副边恒压控制器芯片，同时集成了同步整流控制和同步整流 MOSFET，主要应用于 20W 快充。

BP6255B 采用 Adaptive COT 控制方式，结合磁耦隔离器和配对的原边控制芯片 BP87652，实现副边主控的 SSR。支持原边 CCM 和 DCM 工作模式，最高工作频率为 100 kHz。BP6255B 提供 1.25 V 精准的电压基准，采用 forward 和 Vout 同时供电的方式。

BP6255B 集成 CCM 同步整流控制，先关断同步整流再向原边发送开通功率管信号，能够有效地避免初次级共通。

BP6255B 集成了多种保护功能，包括输出过压保护、输出欠压保护、FB 短路保护和过温保护。自带的输出电容放电功能可以满足快充对输出电压时序的要求。

BP6255B 采用 SOP-8 封装，满足 MSL-3 潮敏等级。



典型应用

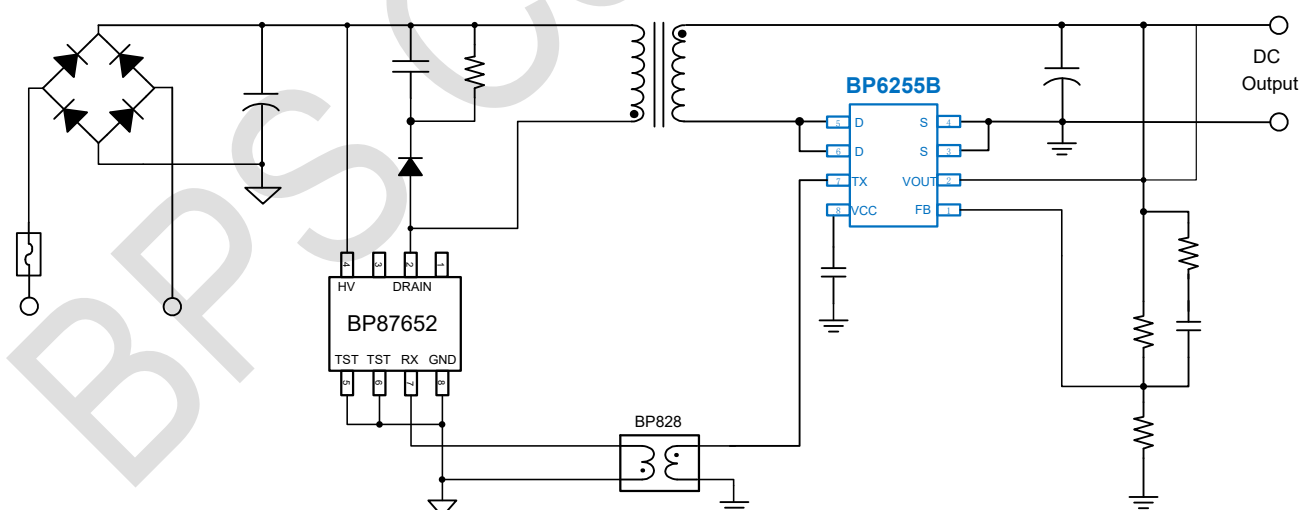


图 1. BP6255B 典型应用电路

特点

- ACOT 控制方式
- 初次级磁耦通信
- 副边主控实现恒压输出
- 1.25 V 基准电压
- 支持 CCM 和 DCM 工作模式
- 集成同步整流控制
- 集成 60V 同步整流 MOSFET
- 自带输出电容放电功能
- 保护功能,包括
 - 逐周期限流
 - 输出过压保护
 - 输出欠压保护
 - FB 短路保护

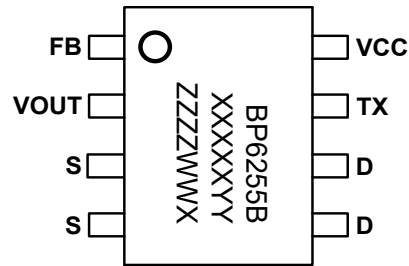
应用领域

- 20W PD/QC 高性价比快充
- AC/DC 辅助电源

订购信息

订购型号	封装	包装形式	打印
BP6255B	SOP-8	卷盘 4000 颗/盘	BP6255B XXXXXXYY ZZZZWWX

管脚封装



BP6255B: 产品型号

XXXXXXYY: 批次号

ZZZZ: 内部标示

WW: 周号

X: 保留位

图 2. SOP-8 管脚封装图

管脚描述

管脚号	管脚名称	描述
1	FB	电压反馈引脚，连接外部分压电阻以设置输出电压
2	VOUT	输出电压检测端，同时也向芯片供电
3/4	S	同步整流 MOSFET 源极，也是芯片地
5/6	D	同步整流 MOSFET 漏极，同时也是内部自供电输入端
7	TX	信号发送引脚，用于向原边发送脉冲信号，直接连接到磁耦
8	VCC	芯片供电电源端，外接 VCC 电容到芯片地

极限参数(注 1)

符号	参数	参数范围	单位
V_D	功率管耐压	-0.7~60	V
VCC	VCC 耐压范围	-0.3~7	V
V_{OUT}	VOOUT 引脚耐压范围	-0.3~26	V
V_{FB}	FB 引脚电压	-0.3-7	V
V_{TX}	TX 引脚电压	-0.7-7	V
θ_{JA}	结到环境的热阻(注 2)	145	°C/W
T_J	工作结温范围	-40 to 150	°C
T_{STG}	储存温度围	-55 to 150	°C
ESD	HBM, JEDEC JS-001 (注 3)	±2	kV
	CDM, JEDEC JS-002	±750	V

注 1: 极限参数是指超出该范围, 有可能导致器件永久性损坏。极限参数为器件应力的额定值, 长期工作在极限参数条件可能会影响器件的可靠性。

注 2: 1 平方英寸双层 PCB 板, 按照 JEDEC 标准测试。

注 3: 人体模型, 100pF 电容通过 1.5kΩ 电阻放电。

电气参数(注 4) (无特别说明情况下, $T_A = 25^\circ\text{C}$)

符号	描述	条件	最小值	典型值	最大值	单位
VCC 供电						
V_{CC_ON}	VCC 启动阈值电压	VCC 上升至芯片开启	3.4	3.8	4.22	V
V_{CC_UVLO}	VCC 欠压保护阈值	VCC 下降至芯片关闭	2.7	3	3.3	V
V_{CC_REG}	VCC 调整电压		5.2	5.5	5.8	V
I_{CH}	VCC 供电电流	$(V_D=15V, V_{CC}=5V)$	27	35	40	mA
		$(V_{out}=12V, V_{CC}=5V)$	34	45	56	mA
I_Q	静态工作电流			330		μA
CV 控制部分						
f_{S_MAX}	最高开关频率		96	100	104	kHz
V_{REF}	FB 基准电压		1.23	1.25	1.27	V
V_{FB_OVP}	FB 过压阈值电压			1.4		V
t_{FB_OVP}	FB 过压检测屏蔽时间			3		μs
V_{FB_UVP}	FB 欠压阈值电压	$V_{out} < 5.5V$		/		V
		$V_{out} > 5.5V$		$86\% \cdot V_{REF}$		V
t_{FB_UVP}	FB 欠压屏蔽时间			64		ms
I_{BLD}	放电电流	$V_{FB} > V_{FB_OVP}$	80	94	120	mA
t_{BLD}	最长放电时间			300		ms
V_{FB_SC}	FB 短路保护阈值电压			100		mV
t_{FB_SC}	FB 短路保护屏蔽时间			1024		cycle
保护功能						
V_{OUT_OVP}	输出过压保护阈值			14		V
t_{OVP}	输出过压保护屏蔽时间			3		μs
V_{OUT_UVP}	输出欠压保护阈值		3.1	3.3	3.5	V
T_{OTP}	芯片过温保护阈值			150		$^\circ\text{C}$
同步整流控制						
V_{ON_TH}	驱动开通 V_{DS} 阈值电压			-150		mV
t_{BD_REF}	寄生体二极管导通时间			315		ns
t_{Delay_ON}	驱动开通延时			30		ns
t_{Delay_OFF}	关断延时			10		ns
t_{ON_BL}	开通消隐时间			1		μs
V_{OFF_BL}	消隐时间内关断 V_{DS} 阈值			2		V
t_{OFF_MIN}	最小关断时间			1		μs

符号	描述	条件	最小值	典型值	最大值	单位
同步整流驱动						
V_{GL}	输出低电平	$V_{CC} = 5.5\text{ V}$, $I_{sink} = 100\text{ mA}$		0.03		V
V_{GH}	输出高电平	$V_{CC} = 5.5\text{ V}$, $I_{source} = 100\text{ mA}$		5.27		V
I_{SOURCE}	最大驱动输出电流	$V_{CC} = 5.5\text{ V}$		1		A
I_{SINK}	最大下拉电流	$V_{CC} = 5.5\text{ V}$		3.7		A
R_L	下拉阻抗	$V_{CC} = 5.5\text{ V}$		0.5		Ω
同步整流 MOSFET						
BV_{DSS}	功率管击穿电压	$V_{GS} = 0\text{ V}$, $I_D = 250\text{ }\mu\text{A}$	60			V
R_{DS_ON}	功率管导通阻抗	$V_{GS} = 4.5\text{ V}$, $I_D = 10\text{ A}$		17.5	23	m Ω
I_{DSS}	功率管关断漏电流	$V_{DS} = 60\text{ V}$, $V_{GS} = 0\text{ V}$			1	μA
I_D	连续漏极电流	$T_C = 25\text{ }^\circ\text{C}$			30	A
I_{D_PULSE}	脉冲漏极电流	$T_C = 25\text{ }^\circ\text{C}$			120	A

注 4： 电气参数定义了器件在工作范围内并且在保证特定性能指标的测试条件下的直流和交流电参数规范。最小值和最大值由测试保证，典型值由设计、测试或统计分析保证。对于未给定上下限值的参数，该规范不予保证其精度，但其典型值合理反映了器件性能。

内部结构框图

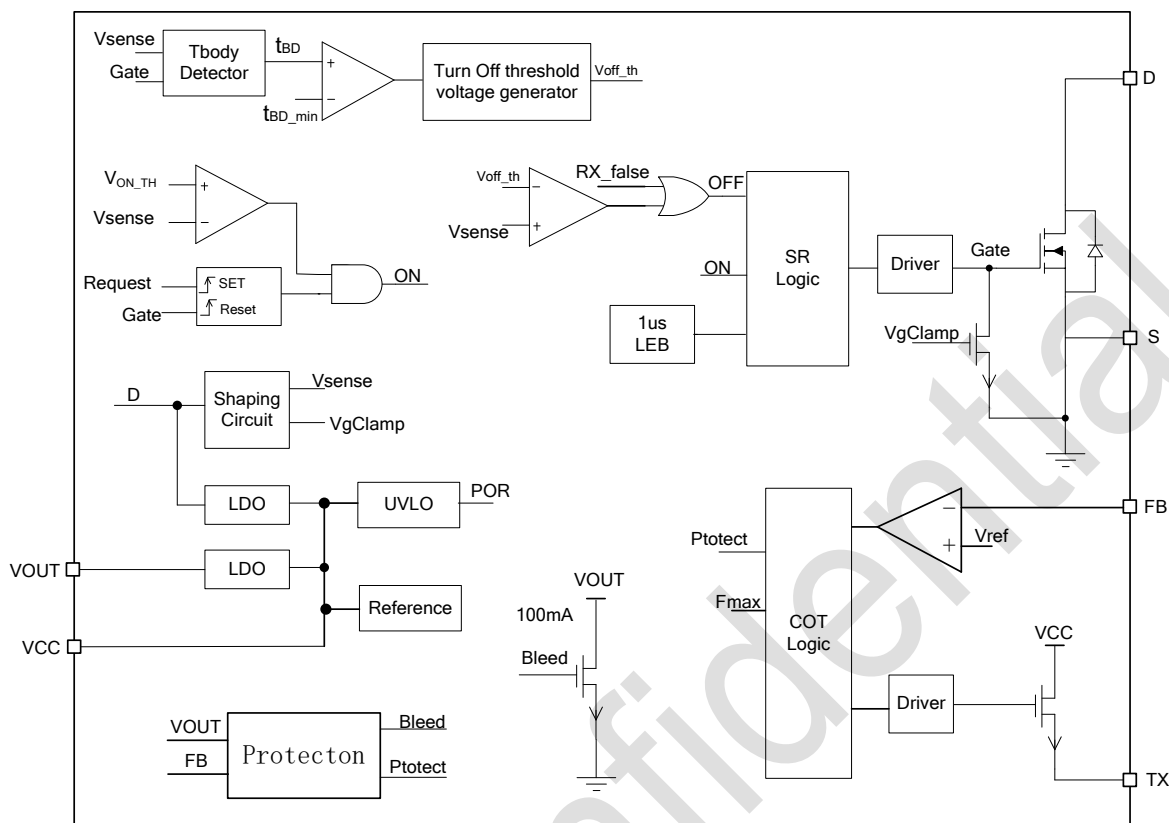


图 3. BP6255B 内部框图

功能描述

启动与供电

系统启动时, BP6255B 通过漏极引脚对 VCC 电容充电, 充电电流为 I_{CH} , 当 VCC 电压上升到启动阈值电压 V_{CC_ON} 时, 控制电路开始工作。正常工作时, 由漏极和 Vout 端的 LDO 同时给 VCC 供电, VCC 电压被调整到 V_{CC_REG} 。

VCC UVLO

当 VCC 电压下降到低于同步整流驱动欠压阈值 $V_{CC_SR_DIS}$ 时, 同步整流驱动电路停止工作, 驱动保持低电平。当 VCC 电压继续下降到低于欠压阈值 V_{CC_UVLO} 时, 控制器进入欠压保护状态, 同步整流驱动保持低电平, 直到 VCC 电压再次升高到 V_{CC_ON} 。

自适应 COT 控制

BP6255B 采用了自适应固定导通时间 (Adaptive Constant On Time) 控制技术, 具有超快的动态响应速度, 同时还有稳定性好, 无需环路补偿的优点。FB 引脚通过分压电阻采

样输出电压，与参考电压 V_{REF} 进行比较，当反馈电压低于参考电压时，上拉 TX 引脚，通过磁耦向原边发送一个脉冲信号。原边控制器接收到脉冲信号后，通过内部逻辑电路控制功率管导通，直到原边电流达到设定的阈值时，关闭原边功率管，如下示意图：

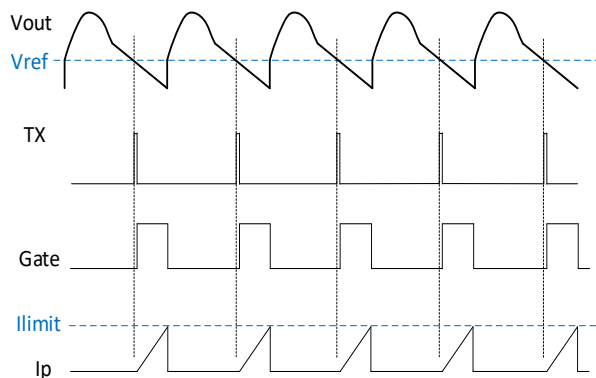


图 4. 自适应固定导通时间控制

TX 信号 Layout

由于磁耦的电感量小，跟 PCB 走线的寄生电感在一个数量级。因此，如果发射端的走线环路面积太大，寄生电感较大，会降低磁耦输入端的信号电压，因此建议发射端走线尽可能短，缩小环路面积，减小寄生电感，并且线粗 $\geq 0.5\text{mm}$ 。

FB 过压放电

FB 过压放电功能可以减短输出电压从高压转换到低电压的时间，特别是轻载或空载的条件下，满足快充电源对输出电压转换时间的要求。

当 FB 电压高于 V_{FB_OVP} 时，触发输出放电功能，芯片通过 VOUT 引脚对输出电容快速放电，放电电流为 I_{BLD} ，直到 FB 电压低于参考电压 V_{REF} 或放电时间达到最长放电时间限制值 t_{BLD} 。FB 过压检测的去抖动时间为 t_{FB_OVP} 。

FB 短路保护

当芯片检测到 FB 引脚电压低于 V_{FB_SC} 并持续 t_{FB_SC} 时间，则触发 FB 短路保护，芯片停止向原边发送脉冲信号，锁定该故障，并通过 VOUT 引脚对输出电容放电，直到 VCC 欠压保护，芯片复位，等待原边重新启动。

输出 OCP 保护

由于原边限制了最大输出功率，当副边达到最高频率时，如果负载电流继续增加，输出电压会下降，BP6255B 通过检测输出下降触发输出 OCP 保护。

当芯片检测到 FB 引脚电压低于 V_{FB_UVP} 时间达到 t_{FB_UVP} 时，停止向原边发送脉冲信号，锁定该故障，并通过 VOUT 引脚对输出电容放电，直到 VCC 欠压保护后清零该故障，等待原边重新启动，以实现输出过功率保护。

通过 Vout 引脚检测输出电压，根据不同的输出电压设置不同的 V_{FB_UVP} 阈值，以达到 OCP 精度要求。

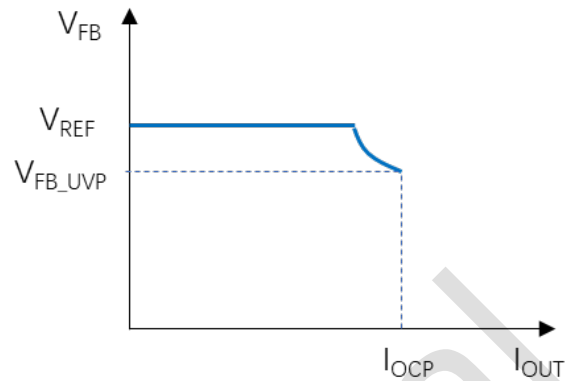


图 5. OCP 保护

输出过压保护

芯片通过 VOUT 引脚检测输出电压，当输出电压高于 V_{OUT_OVP} 时，停止向原边发送脉冲信号，锁定该故障，并通过 VOUT 引脚对输出电容放电，直到 VCC 欠压保护后清零该故障，等待原边重新启动。输出过压保护的防抖时间为 t_{OVP} 。

输出欠压保护

当输出电压低于 V_{OUT_UVP} 并持续超过 t_{UVP} 时间，将触发芯片的输出欠压保护，芯片停止向原边发送脉冲信号，锁定该故障，直到 VCC 欠压保护后清零该故障，等待原边重新启动。

同步整流控制

同步整流采用预测控制算法，调整驱动脉宽，使 MOSFET 体二极管导通时间不变，体二极管导通时间的目标值为 t_{BD_MIN} 。

驱动开通

当检测到 MOSFET 的 V_{DS} 下降至驱动开通阈值电压 V_{ON_TH} 时，控制器驱动同步 MOSFET 导通，开通延迟时间为 t_{Delay_ON} 。

驱动 MOSFET 开通后，控制器在开通消隐时间 t_{ON_BL} 内维持 MOSFET 导通，以禁止由于变压器漏感和寄生电容产生的高频振荡触发到关断阈值电压 V_{OFF_TH} 导致提前关断。但是如果在消隐时间内 V_{DS} 向上穿过消隐关断阈值 V_{OFF_BL} ，则控制器立即关断 MOSFET。

驱动关断

在导通时间已经超过开通消隐时间 t_{ON_BL} 的情况下, 当 V_{DS} 电压上升到 V_{OFF_TH} 时, 控制器立即关断 MOSFET。

最小关断时间

控制器一旦关断驱动, 在最小关断时间 t_{OFF_MIN} 内将锁定关断状态。

输出电容放电

当触发输出放电功能时, 芯片通过 VOUT 引脚对输出电容快速放电, 放电电流为 I_{BLD} , 直到 FB 电压低于参考电压 V_{REF} 或放电时间达到最长放电时间限制值 t_{BLD}

过温保护

当芯片结温超过过热保护温度 T_{OTP} , 芯片发生过温保护, 芯片停止工作并锁定该故障, 并通过 VOUT 引脚对输出电容放电, 直到 VCC 欠压保护后清零该故障, 等待原边重新启动。

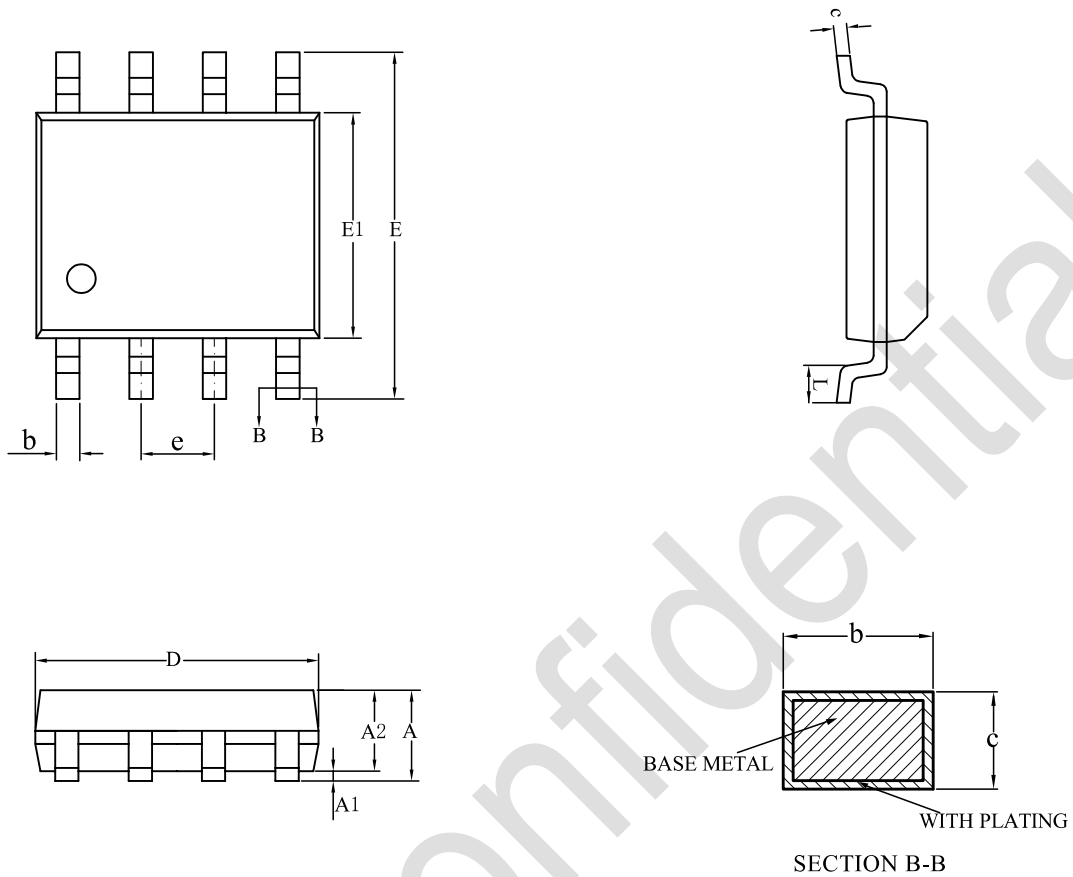
PCB Layout 指南

为保证系统可靠工作, 在设计 PCB 时, 需要遵循以下建议:

- 1) BP6255B 的 S 和 D 引脚做覆铜散热。芯片的 D 脚 (MOSFET 漏极) 能很好地起到散热作用, 是器件散热的主要途径, 同时在 PCB 上铺铜, 给芯片散热。但是由于漏极属于 EMI 动点, 在满足散热的条件下铺铜面积应尽量小。
- 2) 在 VCC 和 S 引脚之间放置一个 $1\ \mu F$ 的 VCC 瓷片电容, 并靠近芯片, 以提升芯片的抗干扰能力。
- 3) 为了降低辐射干扰, 应减小高频功率环路面积。BP6255B、变压器次级绕组和输出滤波电容之间的环路面积尽可能小。
- 4) TX 引脚走线需使用宽度不小于 $0.5\ mm$ 走线连接 BP828, 尽量靠近磁耦 (BP828) 走线。
- 5) 次级侧 ESD 放电针应直接连接在输出电容正端/负端, 并远离 BP6255B 和 BP828。

封装信息

SOP-8 封装外形尺寸



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.30	—	1.80
A1	0.05	—	0.25
A2	1.25	1.40	1.65
b	0.33	—	0.51
c	0.17	—	0.25
D	4.70	4.90	5.10
E	5.80	6.00	6.30
E1	3.70	3.90	4.10
e	1.27BSC		
L	0.40	—	1.00

版本信息

版本	日期	记录
Rev. 1.0	2026/04	Preliminary

免责声明

晶丰明源尽力确保本产品规格书内容的准确和可靠，但是保留在没有通知的情况下，修改规格书内容的权利。

本产品规格书未包含任何针对晶丰明源或第三方所有的知识产权的授权。针对本产品规格书所记载的信息，晶丰明源不做任何明示或暗示的保证，包括但不限于对规格书内容的准确性、商业上的适销性、特定目的的适用性或者不侵犯晶丰明源或任何第三人知识产权做任何明示或暗示保证，晶丰明源也不就因本规格书本身及其使用有关的偶然或必然损失承担任何责任。

电子器件报废说明

该产品在生命周期结束后，由客户按照一般电子产品的报废流程进行处理。