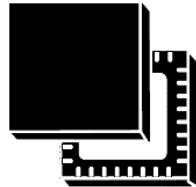


基于 32 位 ARM® Cortex-M4F 内核的车规 MCU，内置 LDO，
集成 2 相/3 相供电高达 28V 的预驱

功能

- ARM® 32 位 Cortex-M4F CPU 内核
 - 单精度浮点运算单元 (FPU)
 - 最高 100 MHz 主频
 - 片上存储
 - 多达 128KB Flash
 - 多达 1KB 由 12KB Flash 模拟的 EEPROM
 - 多达 32KB SRAM
 - 电源管理
 - 5.5V ~ 28V 单电源供电（抛负载最大支持 42V）
 - 集成 3.3V 和 5V LDO，为 MCU 和 I/O 供电
 - 集成 5V LDO 为外部传感器供电
 - 支持睡眠模式和停止模式，以降低功耗
 - 支持上电复位 POR 和欠压/过压检测 BOD
 - 预驱模块
 - 用于电机控制应用的 2 相/3 相预驱
 - 集成电荷泵，可提供 100% 占空比输出
 - 高达 290mA 的可编程驱动能力
 - 驱动栅极电压范围 8V ~ 11V 可调
 - 集成 4 个/6 个外部 MOS 管的 VDS 检测，用于过流保护
 - 时钟
 - 片上晶振电路，支持外部时钟输入
 - 内置 32MHz 出厂校准振荡器
 - 内置 32MHz 安全备用振荡器
 - 内置锁相环 (PLL) 时钟，最高频率 100MHz
 - 8 通道 DMA 控制器
- 

QFN48 (7 x 7 mm, 0.5mm 引脚间距)
QFN56 (8 x 8 mm, 0.5mm 引脚间距)
- 13 位模数转换器（多达 9 通道）
 - 转换时间低至 200ns
 - 单端和差分采样
 - 开路/短路检测
 - 温度传感器
 - 1 个 MCU 温度传感器
 - 1 个 PMU 温度传感器
 - 1 个 LIN 收发器温度传感器
 - 用于监测的 13 位模数转换器
 - 监控内部关键电压
 - 可编程增益运放 (PGA)
 - 内置 1 个单端 PGA，增益选项：1, 2, 4, 8, 16, 32, 48, 64
 - 内置 1 个差分 PGA，增益选项：2, 4, 8, 16, 24, 32, 48, 64
 - 差分 PGA 支持 -1.5V ~ 2V 输入
 - 模拟比较器
 - 2 路（1 对）高速比较器
 - 输出自带数字毛刺滤波器
 - 相位比较器
 - 3 相输入和 1 个参考输入
 - 3 个相位比较器
 - 3 个 10 位 DAC 和 1 个 DAC 缓冲器
 - 1 个 D2S（差分转单端）缓冲器
 - 集成 LIN 收发器，兼容 LIN 2.2 标准
 - 1 路高压监测输入
 - 脉宽调制模块 (PWM)

- 4 个增强型 PWM 模块
- 8 路 PWM 输出
- 支持相位超前和延后设置的波形输出
- 所有事件均可触发 ADC 转换
- 多达 27 个 GPIO 引脚
 - 上拉/下拉电阻可配置
 - 可编程输入数字滤波
 - 多达 9 个 3.3V GPIO 引脚
 - 多达 18 个 5V GPIO 引脚
- 增强型捕获模块 (ECAP)
 - 捕获输入引脚可选
 - 4 个 32 位捕获寄存器
 - 可选捕获或 APWM 模式
- 调试模式
 - SWD 和 JTAG 接口
- 6 个定时器
 - 3 个 32 位通用定时器
 - 2 个 32 位看门狗定时器
 - 1 个 24 位系统滴答定时器
- 通信接口
 - 2 路 UART (支持 LIN), UART0 需要外接 LIN PHY
 - 2 路 SPI
 - 1 路 I2C
 - 1 路 CAN (支持 CANFD)
- 安全模块
 - 64 位唯一的设备识别号、1 个 CRC
- 工作温度
 - SPD1179
 - 结温: -40 ~ +150 °C
 - 环温: -40 ~ +125 °C
 - 符合车规 AEC-Q100 Grade 1 标准
 - 通过 ISO 26262:2018 ASIL B 认证
 - SPD1176
 - 结温: -40 ~ +125 °C
 - 环温: -40 ~ +105 °C
 - 工业级

表 1-1: SPD1179/SPD1176 器件特性和外设数量

外设	SPD1179DPW48	SPD1179ZDPW48	SPD1179YDPW48	SPD1179XDPW48	SPD1179YDPW56	SPD1179XDPW56	SPD1179DPW56	SPD1176APW48	SPD1176ZAPW48	SPD1176APW56
Flash（KB）	128	64	64	128	64	128	128	128	64	128
模拟 EEPROM（KB）	1									
SRAM（KB）	32	16	16	32	16	32	32	32	16	32
DMA（8 通道）	1									
3.3V GPIOs	5				9	9	9	5	9	
5V GPIO	14				18	18	18	14	18	
13-bit ADC	1									
模拟输入通道数	5				9	9	9	5	9	
单端 PGA	1									
差分 PGA	1									
模拟比较器	2									
相位比较器	3									
DAC	3									
PWM	4									
PWM 总通道数	8	8	8	8	8	8	8	8	8	8

外设	SPD1179DPW48	SPD1179ZDPW48	SPD1179YDPW48	SPD1179XDPW48	SPD1179YDPW56	SPD1179XDPW56	SPD1179DPW56	SPD1176APW48	SPD1176ZAPW48	SPD1176APW56
连接到内部预驱的 PWM 通道数	6	6	6	6	6	6	6	6	6	6
ECAP	1									
通用定时器	3									
看门狗定时器	2									
CRC	1									
CAN	1									
UART	2									
SPI	2									
I2C	1									
预驱	3 相	2 相					3 相			
LIN 收发器	1（内部与 UART1 连接）									
CPU 最高频率（MHz）	100MHz									
结温	-40 ~ +150 °C							-40 ~ +125 °C		
等级	汽车（AEC-Q100 Grade-1）							工业		

目录

1	器件概述.....	17
2	功能描述.....	20
2.1	ARM® Cortex-M4 内核	20
2.2	串行线 JTAG 调试端口（SWJ-DP）	20
2.3	Boot ROM.....	20
2.4	嵌入式 SRAM.....	20
2.5	嵌入式 Flash 存储器	20
2.6	嵌套矢量中断控制器（NVIC）	20
2.7	外部中断/事件控制器	21
2.8	电源管理和复位.....	21
2.9	欠压/过压检测	21
2.10	时钟	21
2.11	电源管理模块	22
2.12	DVDD5 LDO	23
2.13	DVDD33 LDO	24
2.14	DVDD5EXT LDO	24
2.15	VCAP12 LDO	24
2.16	电源跟踪放大器.....	24
2.17	启动模式	24
2.18	通用输入/输出（GPIO）	24
2.19	通用定时器	25
2.20	看门狗定时器	25
2.21	系统滴答定时器.....	25
2.22	通用异步收发器（UART）.....	25
2.23	内部集成电路总线（I ² C）	27
2.24	串行外设接口（SPI）	27
2.25	控制器局域网络（CAN）	27
2.26	模数转换器（ADC）	28
2.27	温度传感器	28
2.28	可编程增益放大器（PGA）	28
2.29	模拟比较器	29
2.30	相位比较器	29
2.31	数模转换器（DAC）和数模转换器缓冲（DAC buffer）	29
2.32	D2S 缓冲器	29

2.33	脉宽调制模块 (PWM)	29
2.34	增强型捕获模块 (ECAP)	30
2.35	循环冗余校验 (CRC)	30
2.36	预驱系统	30
2.37	LIN 收发器	31
2.38	高压监测器	31
2.39	BEMF 检测	31
3	引脚排列和引脚说明	32
3.1	QFN48	32
3.2	QFN56	38
3.3	GPIO 引脚复位后的功能和状态	45
4	存储器映射	46
5	电气特性	47
5.1	绝对最大额定值	47
5.2	推荐工作条件	48
5.3	I/O 电气特性	49
5.4	电源模式转换时间	51
5.5	电源功耗	51
5.6	过压/欠压检测器 (BOD) 特性	55
5.7	振荡器时钟 (RCO) 特性	56
5.8	锁相环时钟 (PLL) 特性	56
5.9	外部时钟 (XO) 特性	57
5.10	备份时钟 (ROSC) 特性	57
5.11	13 位模数转换器特性	57
5.12	用于监测的模数转换器特性	58
5.13	温度传感器特性	58
5.14	差分可编程增益放大器特性	59
5.15	单端可编程增益放大器特性	62
5.16	模拟比较器特性	63
5.17	相位比较器特性	64
5.18	内部 10 位数模转换器特性	64
5.19	数模转换器缓冲器特性	65
5.20	D2S 缓冲器特性	66
5.21	预驱特性	67
5.22	LIN 收发器特性	75
5.23	SPI 特性	77

5.24	MON 特性.....	77
5.25	DVDD5 特性.....	78
5.26	DVDD33 特性.....	79
5.27	VCAP12 特性.....	80
5.28	DVDD5EXT 特性.....	81
5.29	Flash 存储器特性.....	82
5.30	电气敏感性特性.....	82
5.31	湿度敏感性特性.....	82
5.32	热阻特性.....	82
6	封装信息.....	84
6.1	QFN48（可润湿侧翼）.....	84
6.1.1	封装规格.....	84
6.1.2	包装规格.....	86
6.2	QFN56（可润湿侧翼）.....	87
6.2.1	封装规格.....	87
6.2.2	包装规格.....	89
7	订购信息.....	90
7.1	订购编码规则.....	90

图片列表

图 1-1: SPD1179/SPD1176 功能框图.....	18
图 1-2: SPD1179/SPD1176 应用框图.....	19
图 2-1: 时钟树	22
图 2-2: 电源管理模块	23
图 2-3: 电源模式转换	23
图 3-1: SPD1179(Z)/SPD1176 QFN48 引脚排列	32
图 3-2: SPD1179X/SPD1179Y QFN48 引脚排列.....	33
图 3-3: SPD1179 QFN56 引脚排列.....	38
图 3-4: SPD1179X/SPD1179Y QFN56 引脚排列.....	39
图 4-1: 存储器映射	46
图 5-1: 电源冷启动转换时间示意图	51
图 5-2: 典型工作电流随频率变化关系	52
图 5-3: RCO 频率随温度变化关系	56
图 5-4: 建立时间随增益的变化关系 (DPGA)	61
图 5-5: ENOB _{DC} 随增益的变化关系 (DPGA)	61
图 5-6: SNR 随增益的变化关系 (DPGA)	61
图 5-7: THD 随增益的变化关系 (DPGA)	61
图 5-8: CMRR _{DC} 随增益的变化关系 (DPGA)	62
图 5-9: PSRR _{DC} 随增益的变化关系 (DPGA)	62
图 5-10: 建立时间随增益的变化关系 (SPGA) (TBD)	63
图 5-11: ENOB _{DC} 随增益的变化关系 (SPGA) (TBD)	63
图 5-12: DNL 曲线.....	64
图 5-13: INL 曲线.....	65
图 5-14: 数模转换器缓冲器偏移电压随输入电压变化关系	65
图 5-15: 预驱最大充电/放电电流测量 (下管)	68
图 5-16: 预驱最大充电/放电电流测量 (上管)	68
图 5-17: 预驱最小充电/放电电流测量 (下管)	68
图 5-18: 预驱最小充电/放电电流测量 (上管)	69
图 5-19: 预驱翻转 (VBAT = 40V)	69
图 5-20: 预驱翻转 (VBAT = 5.5V)	70
图 5-21: 下管导通延迟测量 (上升沿)	70
图 5-22: 下管导通延迟测量 (下降沿)	71
图 5-23: 上管导通延迟测量 (上升沿)	71
图 5-24: 上管导通延迟测量 (下降沿)	71
图 5-25: 相电压支持-10V 同步翻转的演示.....	72
图 5-26: 预驱系统对于 VBAT 电压跳变的响应 (从 17V 到 40V)	72
图 5-27: 预驱系统对于 VBAT 电压跳变的响应 (从 40V 到 17V)	73
图 5-28: 预驱系统对于 VBAT/VBATCP 电压跳变的响应 (从 12V 到 24V)	73
图 5-29: H 桥切换 (当预驱每个时间段使用最大电流设置时, 使用 IRF640N FET)	74
图 5-30: H 桥切换 (当预驱每个时间段使用最小电流设置时, 使用 IRF640N FET)	74
图 5-31: DVDD5 负载调节率.....	78
图 5-32: DVDD33 负载调节率.....	79

图 5-33: VCAP12 负载调节率	80
图 5-34: DVDD5EXT 负载调节率	81
图 6-1: QFN48 - 48 脚, 7mm x 7mm 可润湿侧翼方形扁平无引脚封装图	84
图 6-2: QFN48 - 48 脚, 7mm x 7mm 可润湿侧翼方形扁平无引脚封装建议尺寸	85
图 6-3: QFN7*7 编带包装载带尺寸图	86
图 6-4: QFN56 - 56 脚, 8mm x 8mm 可润湿侧翼方形扁平无引脚封装图	87
图 6-5: QFN56 - 56 脚, 8mm x 8mm 可润湿侧翼方形扁平无引脚封装建议尺寸	88
图 6-6: QFN8*8 编带包装载带尺寸图	89
图 7-1: 订购编码规则	90

SPIN TROL

表格列表

表 1-1: SPD1179/SPD1176 器件特性和外设数量	2
表 2-1: 调试接口定义	20
表 2-2: 调试接口定义	24
表 3-1: SPD1179/SPD1176 QFN48 引脚定义	34
表 3-2: SPD1179 QFN56 引脚定义	40
表 3-3: GPIO 引脚复位后的功能和状态	45
表 5-1: 绝对最大额定值 ^{[1][2]}	47
表 5-2: 推荐工作条件	48
表 5-3: 5V I/O 电气特性 ($V_{DVDD5} = 5V$)	49
表 5-4: 3.3V I/O 电气特性 ($V_{DVDD33} = 3.3V$)	50
表 5-5: 电源模式转换时间	51
表 5-6: SPD1179/SPD1176 在不同结温下的电流消耗 (VBAT 为 18V)	53
表 5-7: SPD1179/SPD1176 在不同结温下的电流消耗 (VBAT 为 28V)	53
表 5-8: 外设电流消耗	54
表 5-9: VCAP12 BOD 特性	55
表 5-10: DVDD33 BOD0 ^[1] 特性	55
表 5-11: DVDD33 BOD1 ^[1] 特性	55
表 5-12: VBAT BOD 特性	55
表 5-13: DVDD5 BOD 特性	55
表 5-14: DVDD5EXT BOD 特性	55
表 5-15: (VCP - VBAT) BOD 特性	56
表 5-16: RCO 特性	56
表 5-17: PLL 特性	56
表 5-18: XO 特性	57
表 5-19: ROSC 特性	57
表 5-19: 13 位模数转换器特性	57
表 5-20: 用于监测的模数转换器特性	58
表 5-21: 温度传感器特性	58
表 5-22: 差分可编程增益放大器 (DPGA) 特性	59
表 5-23: 单端可编程增益放大器 (SPGA) 特性	62
表 5-24: 模拟比较器特性	63
表 5-25: 相位比较器特性	64
表 5-26: 数模转换器特性	64
表 5-27: 数模转换器缓冲器特性	65
表 5-28: D2S 缓冲器特性	66
表 5-29: 预驱特性	67
表 5-30: LIN 接收器特性	75
表 5-31: LIN 唤醒特性	75
表 5-32: LIN 发送器特性	75
表 5-33: SPI 特性	77
表 5-34: MON 特性	77
表 5-35: DVDD5 特性	78
表 5-36: DVDD33 特性	79

表 5-37: VCAP12 特性	80
表 5-38: DVDD5EXT 特性.....	81
表 5-39: Flash 存储器特性	82
表 5-40: ESD 绝对最大值	82
表 5-41: 电气敏感性	82
表 5-42: 湿度敏感性特性	82
表 5-43: 热阻特性 (QFN48 封装)	82
表 5-44: 热阻特性 (QFN56 封装)	83
表 6-1: QFN48 - 48 脚, 7mm x 7mm 可润湿侧翼方形扁平无引脚封装机械数据.....	84
表 6-2: 编带包装尺寸	86
表 6-3: QFN56 - 56 脚, 8mm x 8mm 可润湿侧翼方形扁平无引脚封装机械数据.....	87
表 6-4: 编带包装尺寸	89
表 7-1: 订购信息	90

修订历史

版本	日期	作者	状态	变更
1	2021-03-03	H. Huang	已过期	1. 首次发布。
2	2021-04-17	H. Huang	已过期	1. 更新表 5-33，修改 D1~D6 的条件描述。 2. 更新章节 2.28 和表 5-23 中的 DPGA 共模输入范围。 3. 更新图 3-1。
3	2021-10-22	H. Huang	已过期	1. 更新特性。 2. 增加章节 2.30。 3. 更新表 5-23 和表 5-24 中的参数符号。
4	2022-01-06	H. Huang	已过期	1. 更新表 5-23，增加 DPGA 所有增益配置下的建立时间。 2. 为章节 5.22 中的 LIN 收发器增加注解。 3. 更新图 3-1，修改调试引脚和高压引脚的描述。 4. 增加 D2S 缓冲器信息和特性。 5. 增加表 5-15。 6. 更新图 3-1，将 AVSS 修改为 AGND。 7. 更新章节 2.17。 8. 增加图 1-2: SPD1179/SPD1176 应用框图。 9. 更新预驱模块的特性。
5	2022-06-07	H. Huang	已过期	1. 更新表 5-8: 外设电流消耗。 2. 更新图 5-2: 典型工作电流随频率变化关系。 3. 更新表 5-2: 推荐工作条件。 4. 更新表 5-3: 5V I/O 电气特性(VDVDD5 = 5V)。 5. 更新 6. 表 5-4: 3.3V I/O 电气特性(VDVDD33 = 3.3V)。 7. 更新章节 5.4。 8. 更新章节 2.30。 9. 更新表 5-25: 模拟比较器特性。
6	2022-07-08	H. Huang	已过期	1. 更新表 5-3: 5V I/O 电气特性 (VDVDD5 = 5V) 中参数 R_{PU} 和 R_{PD} 的测试条件。 2. 更新 3. 表 5-4: 3.3V I/O 电气特性 (VDVDD33 = 3.3V) 中参数 R_{PU} 和 R_{PD} 的测试条件。 4. 更新表 3-1: SPD1179/SPD1176 QFN48 引脚定义中 VBATM 引脚的描述。
7	2022-07-28	Hengfang Huang	已过期	1. 更新产品特性。 2. 更新图 1-1: SPD1179/SPD1176 功能框图和图 2-1: 时钟树。 3. 增加章节 0 和章节 2.35。 4. 更新表 3-1: SPD1179/SPD1176 QFN48 引脚定义。 5. 增加章节 3.2 和章节 0。

版本	日期	作者	状态	变更
				6. 更新图 4-1: 存储器映射。 7. 更新表 7-1: 订购信息。
A/0	2022-10-17	Hengfang Huang	已过期	1. 更新文档模板。 2. 增加章节 3.3。 3. 更新图 1-1: SPD1179/SPD1176 功能框图和图 2-1: 时钟树。 4. 更新图 4-1: 存储器映射。 5. 更新表 5-21: 用于监测的模数转换器特性。
A/1	2022-11-20	Hengfang Huang	已过期	1. 更新图 3-1、图 3-3、表 3-1, 将引脚 AGND 重命名为 GND。 2. 更新表 5-41: ESD 绝对最大值。 3. 更新图 4-1, 增加 EPWR 外设地址映射。 4. 更新产品特性, 增加 SPD1176 的结温信息。 5. 更新表 5-1 和表 5-2 中的结温 T_J 。 6. 更新章节 6.1, 修改 QFN48 封装信息。
A/2	2022-12-05	Hengfang Huang	已过期	1. 更新图 1-1, 将“13-bit FuSa ADC”重命名为“13-bit Monitoring ADC”。 2. 更新章节 2.16, 更新监测电源的 ADC 信息。 3. 更新 BOOT 引脚使用注意事项。 4. 更新章节 2.24, 增加 SPI FIFO 深度信息。 5. 更新表 3-1, 修改 DVDD5 引脚说明。 6. 更新图 4-1, 增加模拟 EEPROM 的地址映射。 7. 增加表 1-1: SPD1179/SPD1176 器件特性和外设数量。 8. 更新订购编码。
A/3	2023-01-05	H. Huang	已过期	1. 更新表 1-1, 增加 SPD1179X / SPD1179Y / SPD1179Z 特性和外设数量。 2. 增加图 3-2: SPD1179X/SPD1179Y QFN48 引脚排列。 3. 更新表 3-1, 修改 PIN29 ~ PIN31 的引脚描述。 4. 更新表 7-1, 增加 SPD1179X / SPD1179Y / SPD1179Z 的订购信息。
A/4	2023-01-09	H. Huang	已过期	1. 更新表 5-23: 差分可编程增益放大器 (DPGA) 特性, 增加 GBW 和 SR 参数值。
A/5	2023-01-16	H. Huang	已过期	1. 更新图 3-2: SPD1179X/SPD1179Y QFN48 引脚排列的备注。
A/6	2023-02-04	H. Su	已过期	1. 更新表 5-44: 热阻特性, 修改测量参数
A/7	2023-02-11	H. Su	已过期	1. 更新表 1-1: SPD1179/SPD1176 器件特性和外设数量, 增加外设。 2. 更新表 7-1: 订购信息, 增加外设。
A/8	2023-02-23	W. Han A. Li C. Hu	已过期	1. 重命名 RCO0 为 RCO。 2. 重命名 RCO1 为 ROSC。 3. 更新模块功耗参数。 4. 更新典型应用功耗参数。

版本	日期	作者	状态	变更
				5. 更新 SPI 模块时钟最高为 100MHz。 6. 更新表 5-23：差分可编程增益放大器（DPGA）特性，更新共模输入范围参数值。 7. 更新章节 2.28，更新共模输入范围为-1.5~2V。 8. 更新首页功能介绍。 9. 更新表 1-1。 10. 更新章节 2.3，章节 2.19，章节 2.20，章节 2.21，章节 2.25，章节 2.27，章节 2.31 和章节 2.37。 11. 更新表 3-1 和表 3-3。 12. 更新章 5。 13. 增加图 6-2 和图 6-5。 14. 增加章节 7.1。
A/9	2023-04-14	C. Hu	已过期	1. 更新章节 3.1 和章节 3.2，修正了关于 ADC 通道描述的错误。 2. 更新章节 5.4。 3. 更新章节 5.5，添加了工作模式功耗中预驱的工作条件。 4. 更新表 5-3 和 5. 表 5-4。 6. 更新表 5-23。 7. 更新表 5-40。 8. 增加章节 5.31 湿度敏感性特性。
A/10	2023-05-23	C. Hu	已过期	1. 更新表 5-35 中的漏电指标。 2. 更新章节 2.11。 3. 更新表 5-1。 4. 更新表 5-16。 5. 更新表 5-20，表 5-21 和表 5-23。 6. 更新表 7-1。 7. 更新表 5-20。 8. 更新表 5-30。 9. 更新章节 2.2。
A/11	2023-07-10	C. Hu	已过期	1. 更新表 1-1。 2. 更新章节 1。 3. 更新图 6-4，图 6-5 和表 6-3。
A/12	2023-08-20	C. Hu	已过期	1. 增加图 5-1。 2. 更新表 5-1，修改 V_{VCP} 和 V_{OUTH} 的绝对最大额定值为 48V，增加电源上电速率必须小于 1V/us 的说明。 3. 更新表 3-1，修改 V_{VCP} 的绝对最大额定值为 48V。 4. 更新表 5-20 和表 5-21，修改全温度范围内的增益误差上下限为 $\pm 40LSB$ 。

版本	日期	作者	状态	变更
A/13	2023-11-21	C. Hu	已过期	<ol style="list-style-type: none"> 更新表 5-1, 增加 $V_{VCP}-V_{VBATCP}$ 的绝对最大额定值为 15.8V。 更新表 5-15, 修改 BOD 检测电压为 $V_{VCP}-V_{VBAT}$。 更新图 1-2, 更新了预驱和电荷泵的外围电路, 稳压器的片外负载电容。增加了电源输入滤波器。 更新表 7-1, 增加 SPD1179XDPW56 的订购信息, 更新了产品等级描述。 更新表 1-1, 增加 SPD1179XDPW56 产品信息。 更新章节 2.11 和图 2-3 关于停止模式下唤醒的描述。 更新表 5-30, 增加漏源电压检测阈值的电气特性。
A/14	2023-12-06	C. Hu	已过期	<ol style="list-style-type: none"> 更新表 5-32 的注释 1, LIN 唤醒的最短滤波时间修改为 100us。 更新表 5-35 的注释 2, MON 唤醒的最短滤波时间修改为 50us。 更新表 5-36 的负载电容最小值为 2.2uF。 更新表 5-37 的负载电容最小值为 2.2uF。 更新表 5-22 中的 T_{slope} 和 T_{offset}。 更新图 1-2, DVDD5 对地电容由 1uF 修改为 2.2uF, DVDD33 对地电容由 1uF 修改为 2.2uF。
A/15	2024-03-14	C. Hu	已过期	<ol style="list-style-type: none"> 更新表 1-1 和表 7-1, 增加 SPD1179YDPW56 产品信息, 添加了管脚排列图 3-4。 更正了表 5-33 注释部分的书写错误, 并更新了 D5 和 D6 的规格。 更新图 1-2, DVDD33 对地电容由 2.2uF 修改为 4.7uF, VCAP12 对地电容由 1uF 修改为 2.2uF, 电荷泵的飞跨电容由 100nF 修改为 220nF。 更新表 3-1, DVDD33 对地电容由 2.2uF 修改为 4.7uF。 更新表 5-23, 更新了增益误差和偏移指标。 更新表 5-24, 更新了增益误差和偏移指标。 更新表 5-32, 更新了 LIN 唤醒阈值下限指标为 $0.475 \cdot V_{VBAT}$。
C/0	2024-07-15	J. Zhou	已过期	<ol style="list-style-type: none"> 更新表 5-1, 增加 SPD1179 在 150°C 结温下连续运行的时间。 修改表 5-35 中 I_{PU} 和 I_{PD} 的条件错误值, 更新表 5-36, 表 5-37, 表 5-38 中 V_{out} 的典型值, 在表 5-36 中增加驱动能力。

版本	日期	作者	状态	变更
				<ul style="list-style-type: none">3. 因寄存器列表不匹配, 删除章节 2.22 中 UART 对 ISO16550A 和 16750 的兼容性说明。4. 更新图 1-2 中 DVDD5EXT、VBATCP-VCP 推荐电容和电压值。5. 表 3-1 中引脚 25~28 的电容值由 100nF 改为 220nF, 表 3-2 引脚 31~34 的电容值由 100nF 改为 220nF。6. 更新文档样式。
C/1	2024-07-25	J. Zhou	已过期	<ul style="list-style-type: none">1. 表 3-1 中为引脚 20 添加额外的 0.1uF 电容。2. 更新表 5-1 注释 7, 把 VBAT 允许的最大上电斜率由 1V/us 修改为 0.1V/us。
C/2	2025-01-09	J. Zhou	已过期	<ul style="list-style-type: none">1. 更改表 7-1 的包装类型为编带。2. 增加对 DAC 产生波形的性能说明。3. 更改章节 2.23 中 I2C 模式及速率。4. 修正 LIN 兼容协议为 LIN 2.2。
C/3	2025-02-21	J. Zhou	已过期	<ul style="list-style-type: none">1. 修改封装热阻值。2. 更新表 5-33。
C/4	2025-07-02	J. Zhou	已过期	<ul style="list-style-type: none">1. 修改表 5-16 中 f_{RCO}。2. 修改表 5-3 和3. 表 5-4 中 V_{OH} 和 V_{OL}。
C/5	2025-08-05	J. Zhou	已过期	<ul style="list-style-type: none">1. 更正表 5-16 中 f_{RCO} 典型值。
C/6	2025-12-03	J. Zhou	已过期	<ul style="list-style-type: none">1. 增加 SPD1179 通过 ASIL B 认证的说明。
C/7	2026-03-26	J. Zhou	已发布	<ul style="list-style-type: none">1. 增加章节 6.1.2、6.2.2 编带包装规格。2. 更正章节 5.6 中 BOD 阈值。3. 更新图 5-3。4. 删除章节 1 中时钟树, 在章节 2.10 中添加图 2-1。5. 增加章节 5.10。

术语或缩写

术语或缩写	描述
BEMF	Back Electro-Motive Force，反向电动势
DPGA	Differential Programmable Gain Amplifier，差分可编程增益放大器
SPGA	Single-Ended Programmable Gain Amplifier，单端可编程增益放大器
D2S	Differential-to-Single，差分转单端

SPIN TROL

1 器件概述

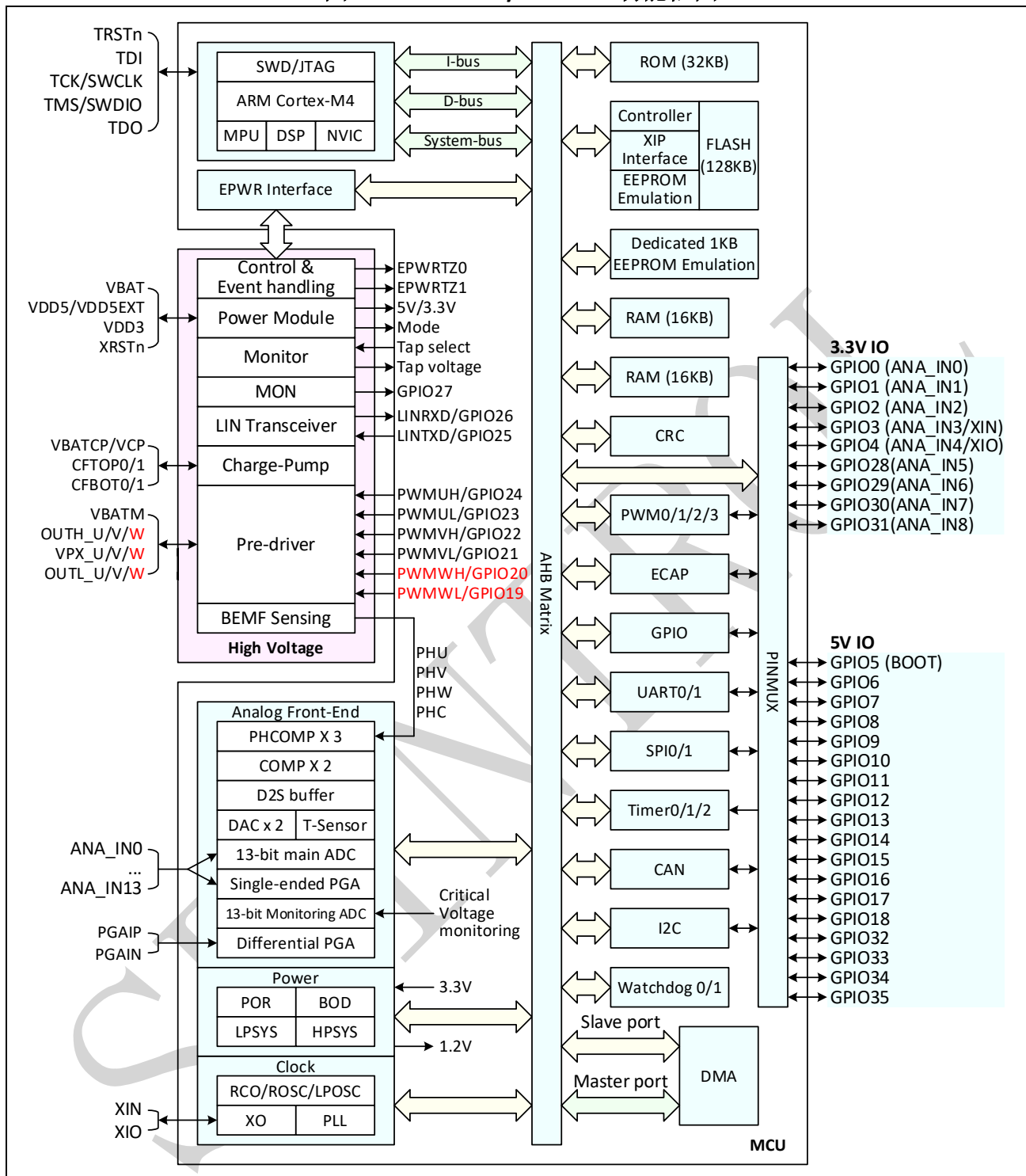
SPD1179/SPD1176 是一颗高度集成的片上系统（SoC）微控制器，内置 32 位高性能 ARM Cortex-M4F 内核，最高 100MHz 的软件可编程时钟频率，32KB SRAM，128KB 嵌入式 FLASH，1KB 基于 12KB FLASH 软件模拟的 EEPROM，丰富的增强型 I/O 和外设资源。此外还提供了 13 位 ADC，1 路差分 and 1 路单端可编程增益运放，4 个增强型 PWM 模块，3 个通用 32 位定时器以及 2 个 UART（硬件支持 LIN）、2 个 SPI、1 个 I2C 和 1 个 CAN 等通信接口。

SPD1179/SPD1176 支持 5.5V~40V 单电源供电，支持停止/睡眠模式以节省芯片功耗。它集成了两个用于内部电源系统和外部传感器的 5V LDO，也集成了用于 MCU 工作的 3.3V 和 1.2V LDO。SPD1179/SPD1176 支持用于逻辑控制的 5V I/O，以及用于 ADC 输入的 3.3V I/O。工作结温支持-40℃~+150℃，封装为 48 脚或者 56 脚的可润湿侧翼 QFN。

SPD1179/SPD1176 还部署了诸如备用时钟、看门狗中断或复位、开路短路检测和关键电压后台检测等安全功能。以上特性令 SPD1179/SPD1176 成为汽车电子领域电机控制应用的理想平台。

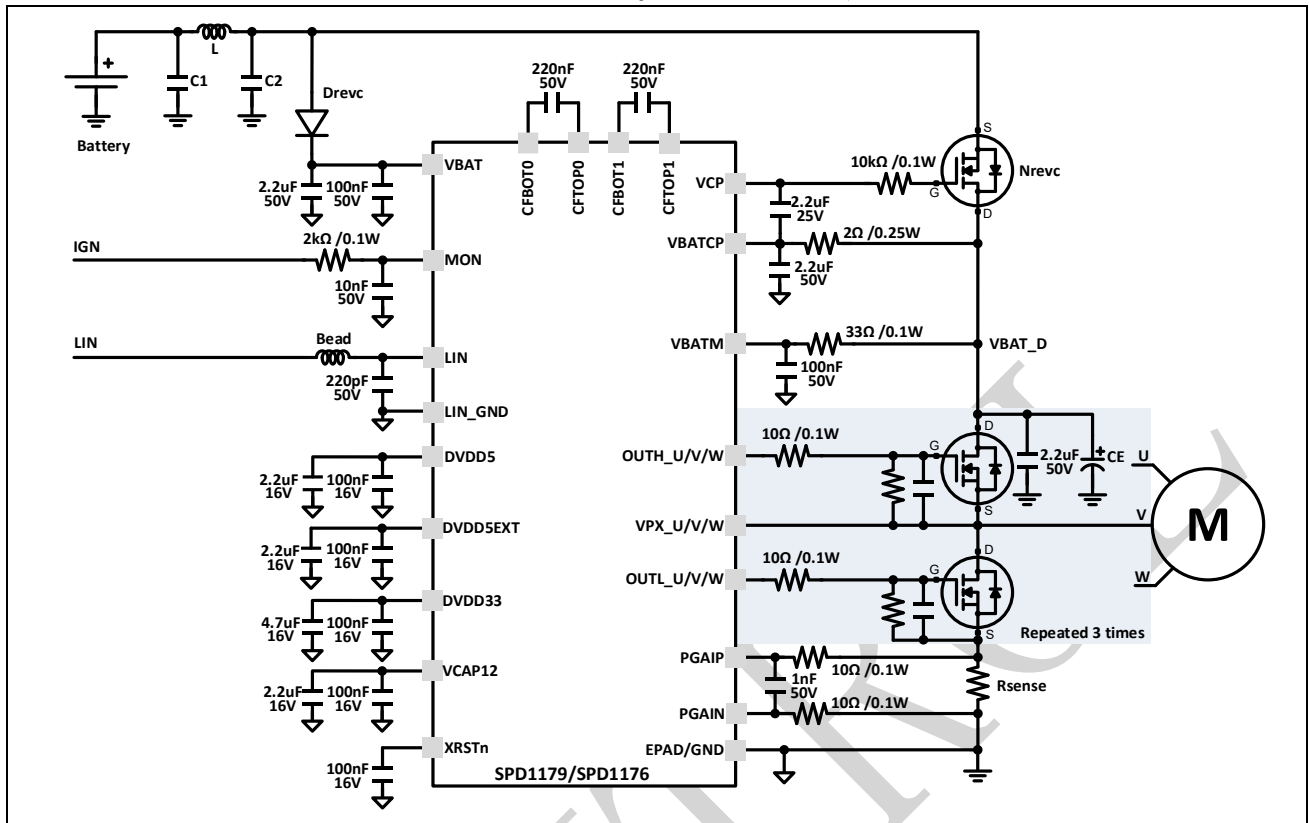
图 1-1 为 SPD1179/SPD1176 的功能框图。图 1-2 为 SPD1179/SPD1176 的应用框图。

图 1-1: SPD1179/SPD1176 功能框图



[1] 预驱 W 相控制信号不适用于 SPD1179X/ SPD1179Y。

图 1-2: SPD1179/SPD1176 应用框图



2 功能描述

2.1 ARM® Cortex-M4 内核

ARM® Cortex-M4 处理器是一个高性价比的平台，非常适合用于具有高计算性能，快速中断响应，低功耗和引脚精简的微处理器设计。

SPD1179/SPD1176 集成了一颗全功能的 ARM® Cortex-M4 内核，最高主频 100MHz，兼容所有的 ARM 工具和软件。

2.2 串行线 JTAG 调试端口（SWJ-DP）

内置的 ARM® SWJ-DP 接口由 JTAG 和串行线调试端口组合而成。基于 SWJ-DP 接口，可以使用串行线调试探头或 JTAG 探头连接到目标上。当 SPD1179/SPD1176 使能某些安全功能时，调试端口可以被禁用。

表 2-1: 调试接口定义

引脚	串行线调试模式（关闭 SWV ^[1] ）	串行线调试模式（开启 SWV）	JTAG 模式
GPIO15	用户软件配置的功能	用户软件配置的功能	TDI
GPIO16	用户软件配置的功能	SWV	TDO
GPIO17	SWD	SWD	TMS
GPIO18	SWCK	SWCK	TCK

[1] 通过 ARM® Cortex-M4F 位于地址 0xE000EDFC 的寄存器（CoreDebug->DEMCR）的第 24 位来配置 GPIO16 的用途：1—SWV 输出；0—由用户软件配置的功能。

注意：在调试模式下，TRSTn 必须被设置成高电平（5V）。

2.3 Boot ROM

Boot ROM 包含引导代码、Flash 软件库代码和模拟 EEPROM 软件库代码。用户可以直接调用 Flash/模拟 EEPROM 的软件库来操作 Flash/模拟 EEPROM。

2.4 嵌入式 SRAM

SPD1179/SPD1176 器件具有 32KB 的嵌入式 SRAM 用于存储代码和数据，支持以 CPU 时钟速率进行零等待的读和写操作。

2.5 嵌入式 Flash 存储器

多达 128KB 的嵌入式 Flash 用于代码和数据的存放。此外，为了延长存储寿命以方便用户存储关键数据，基于额外 12KB Flash 提供软件模拟的 EEPROM，其等效存储空间多达 1KB。

2.6 嵌套矢量中断控制器（NVIC）

SPD1179/SPD1176 器件内置有嵌套矢量中断控制器，可处理多达 54 个可屏蔽中断通道（不包含 16 个 Cortex-M4 的中断线）和 16 个可编程的优先级。

- 紧耦合的 NVIC 使得中断响应更快；
- 直接向内核传递中断入口向量地址；

- 处理后到但优先级较高的中断；
- 支持中断咬尾功能；
- 自动保存处理器状态；
- 退出中断时自动恢复现场，无需指令开销。

2.7 外部中断/事件控制器

SPD1179/SPD1176 器件提供了灵活的外部引脚中断或事件触发机制。任意 GPIO 引脚可以被编程作为外部中断或事件触发源。另外，任意 GPIO 中断可以被配置为边沿触发或电平触发。

2.8 电源管理和复位

SPD1179/SPD1176 器件支持 5.5V~28V 单电源（VBAT），为 IO、内部调压器和片上模拟电路供电，无需特别的上电时序。此外，抛负载条件下，电源最高支持 42V。

SPD1179/SPD1176 器件同时支持 DVDD5 引脚单独 5V 供电，以使能 GPIO5~GPIO24/GPIO32~GPIO35 引脚的 5V I/O 特性。GPIO0~GPIO4/GPIO28~GPIO31 引脚为 3.3V I/O 特性。

SPD1179/SPD1176 器件内置有全局复位引脚以及上电复位（POR）电路。上电复位电路保证了所有的上电复位时序要求，方便使用。

2.9 欠压/过压检测

器件内置欠压/过压检测（BOD），用于监视 VBAT/DVDD5/DVDD5EXT/DVDD33/VCAP12 电源域，并与预先设定的值进行比较。当电压高于或者低于阈值时，产生中断或者复位。中断服务例程随后产生一个警告消息并将微控制器导入安全状态。欠压/过压检测可通过软件使能。

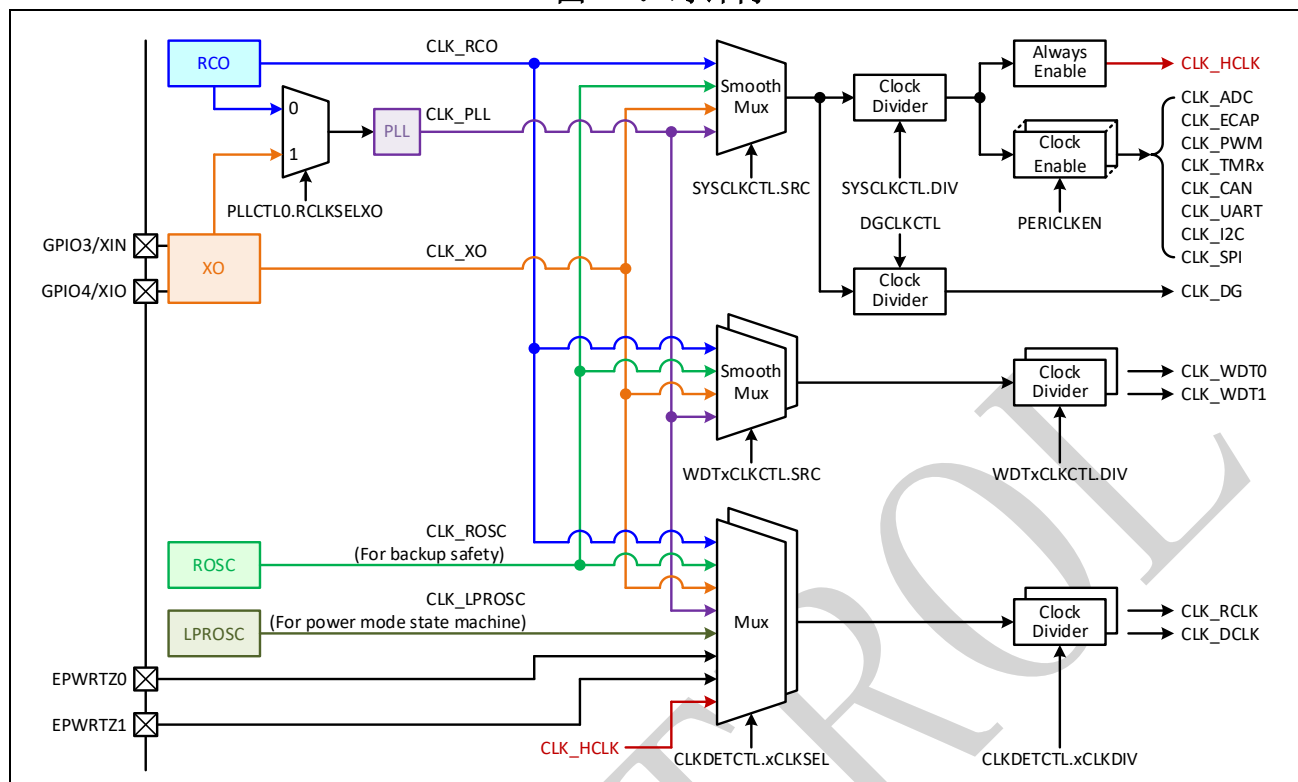
2.10 时钟

在启动时执行系统时钟选择，但复位时会选择内部 32MHz 出厂已校准的振荡器作为默认时钟。用户也可选择外部振荡器作为时钟。外部振荡器有两种使用模式：一是直接提供外部时钟，绕过晶体振荡器；另一种是使用外部晶体，并启用晶体振荡器（XO）。晶体的频率可在 4 MHz~32MHz 范围内选择。

器件内置有锁相环（PLL）用于产生高频的时钟信号。锁相环可以把内置 32MHz 振荡器或者外部时钟作为输入参考时钟，产生 25~100MHz 的时钟信号。

可通过多个时钟分频器来配置 AHB 和外设的频率。时钟最大频率 100MHz。更多关于时钟树的细节可参考图 2-1。当现有时钟源丢失时，可选择备份时钟源，32MHz 的安全备份振荡器可规避时钟卡死的问题。

图 2-1: 时钟树



2.11 电源管理模块

电源管理模块为 MCU 部分 (DVDD5, DVDD33, VCAP12) 和 VDD5EXT 提供所需要的供电。电源管理系统确保了 SPD1179/SPD1176 的行为安全, 并具有一个状态机来控制电源模式转换。SPD1179/SPD1176 实现了具有以下特性的电源管理模块:

- 支持三种电源模式 (active、stop 和 sleep)
 - Active (正常工作模式)

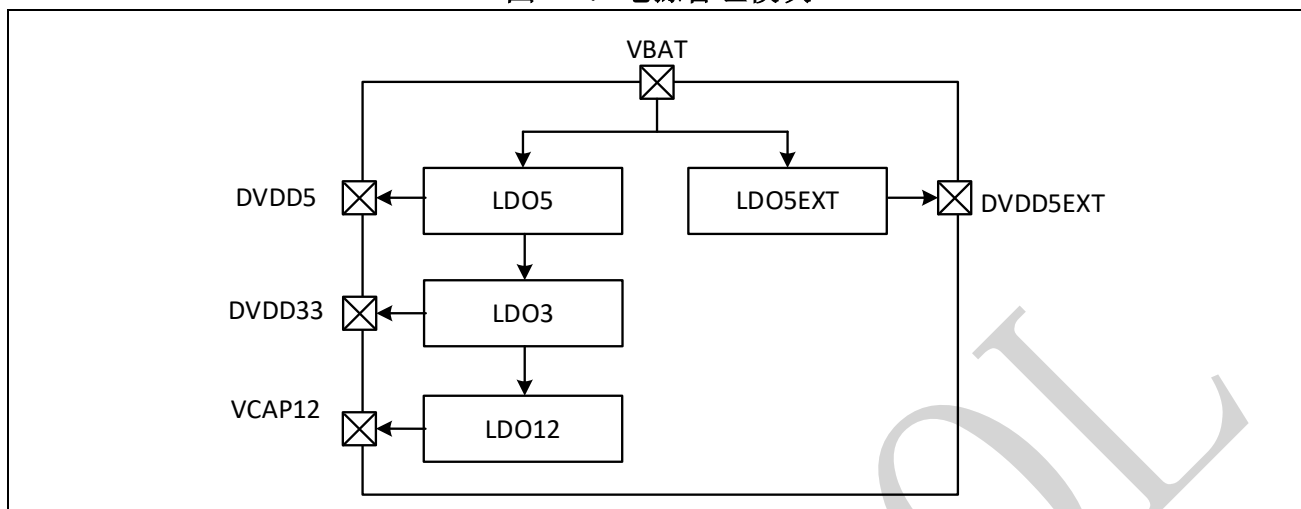
DVDD5, DVDD33 和 VCAP12 由片内 LDO 以满载能力供电。所有时钟根据用户配置开或关。
 - Stop (停止模式)

除了用于电源模式状态机的 100kHz 时钟外, 其余所有时钟关闭。DVDD5, DVDD33 和 VCAP12 由低功耗低载能力的 LDO 供电。VCAP12 可以根据用户配置降至 1.2V 以下来进一步降低静态电流。所有寄存器和存储器保持内容。系统可以被不同的唤醒源唤醒, 比如, XRSTn、LIN、MON, cyclic-wakeup 和 cyclic-sense-wakeup (可以配置为任意 GPIO 引脚上的任意电平)。CPU 将直接继续执行停止时的下一条指令 (XRSTn 唤醒将引起系统复位)。
 - Sleep (睡眠模式)

DVDD5, DVDD33 和 VCAP12 完全断电。系统可以通过 LIN/MON/cyclic-wakeup 唤醒, 并开始冷启动过程。
- 稳压源 (DVDD5, DVDD33, VCAP12 和 VDD5EXT) 支持过流、过压和欠压保护
- 支持过温保护
- 唤醒 (Wake-up) 源可配置 (LIN, MON, cyclic wakeup, cyclic sense wakeup, GPIOs)

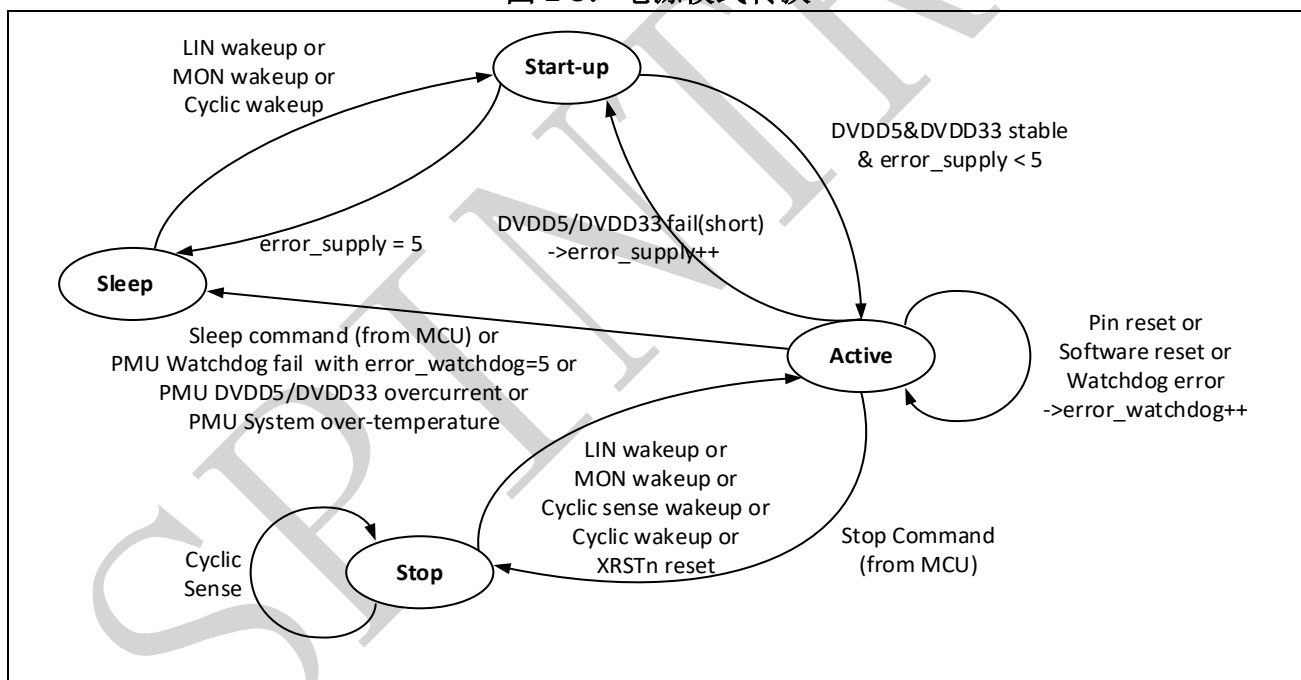
电源系统框图如图 2-2 所示。

图 2-2: 电源管理模块



三种电源模式转换如图 2-3 所示。

图 2-3: 电源模式转换



2.12 DVDD5 LDO

DVDD5 LDO 为 5V 电压域提供电源。SPD1179/SPD1176 实现了具有以下特性的 DVDD5 LDO 模块：

- 具有 80mA 驱动能力的 5V LDO；
- 过流监测和自关断；
- 用于 DVDD33 LDO 的预调节器；
- 仅用于睡眠模式的输出端下拉电流源（典型值为 5mA）。

2.13 DVDD33 LDO

DVDD33 LDO 为 3.3V 电压域提供电源。SPD1179/SPD1176 实现了具有以下特性的 DVDD33 LDO 模块：

- 具有 50mA 驱动能力的 3.3V LDO；
- 过流监测和自关断；
- 用于 VCAP12 LDO 的预调节器；
- 仅用于睡眠模式的输出端下拉电流源（典型值为 100uA）。

2.14 DVDD5EXT LDO

DVDD5EXT LDO 为外部电路提供电源。SPD1179/SPD1176 实现了具有以下特性的 DVDD5EXT LDO 模块：

- 具有 40mA 驱动能力的 5V LDO；
- 过流监测和自关断；
- 仅用于睡眠模式的输出端下拉电流源（典型值为 100uA）。

2.15 VCAP12 LDO

VCAP12 LDO 为 MCU 部分提供电源。SPD1179/SPD1176 实现了具有以下特性的 VCAP12 LDO 模块：

- 具有 40mA 驱动能力的 1.2V LDO。

2.16 电源跟踪放大器

电源跟踪放大器将关键电源信号缓冲到 13 位 Monitoring ADC，用来监测电源状态。送到 13 位 Monitoring ADC 的关键电源信号包括 VBAT，VCP，VMON，VDD5，power bandgap，PMU 温度传感器电压以及 LIN 温度传感器电压。

2.17 启动模式

启动程序位于片上 ROM。复位后，ARM 处理器从 ROM 开始执行程序。

- 当上电复位、XRSTn 引脚复位或者 Cortex-M4F SYSRESET 复位后，启动时检测到 GPIO5 为高，则进入 ISP 启动模式，启动加载器通过 UART 对 Flash 或者 RAM 进行重新编程。在这个过程中，GPIO10 被配置为 UART0_TXD 功能；GPIO11 被配置为 UART0_RXD 功能；
- 其余情况均进入 Flash 启动模式，启动加载器跳转至 Flash 起始地址开始执行。

表 2-2：调试接口定义

引脚	ISP 启动模式	Flash 启动模式	JTAG 模式
GPIO5	"1"	"0"	"0"
TRSTn	"0"	"0"	"1"

2.18 通用输入/输出（GPIO）

SPD1179/SPD1176 器件可支持多达 27 个多用途的通用输入输出引脚。每个输入输出引脚可以由软件配置为输入、输出或外设复用功能。其功能如下：

- 每个 GPIO 引脚含有可配置的内置上拉和下拉电阻；
- 每个 GPIO 引脚含有可编程的数字输入去毛刺滤波器；
- GPIO0 ~ GPIO4 和 GPIO28 ~ GPIO31 为与 ADC 输入通道复用的纯 3.3V I/O；
- GPIO5 ~ GPIO18 和 GPIO32 ~ GPIO35 在 DVDD5 = 5V 时，提供 5V I/O 功能。

2.19 通用定时器

SPD1179/SPD1176 提供 3 个通用定时器，其特性如下：

- 时钟使能控制独立可配，最高时钟频率同 CPU；
- 32 位的自动重载递减计数器；
- 计数器减至零时，可以配置为产生中断、ADCSOC 事件或者 PWMSYNC 事件；
- 支持 4 种工作模式
 - 通用定时模式：周期性向下计数；
 - 门控定时模式：由外部引脚电平使能计数；
 - 事件计数模式：对外部引脚边沿事件向下计数；
 - 事件捕获模式：记录周期性计时过程中外部引脚边沿事件发生时对应的时间戳。

2.20 看门狗定时器

SPD1179/SPD1176 提供 2 个看门狗定时器，其特性如下：

- 时钟的来源、分频和使能控制均独立可配，最高频率同 CPU；
- 32 位的自动重载递减计数器；
- 计数器减至零时，可以产生中断；
- 计数器减至零并且中断标志已置位时，产生复位；
- 在调试模式下，看门狗计数器可以被冻结或者自由运行。

2.21 系统滴答定时器

ARM® Cortex-M4F 内置 1 个系统滴答定时器，专门为操作系统使用，也可以作为标准的递减定时器使用，其特性如下：

- 24 位递减计数器；
- 自动重载功能；
- 计数归零时产生可屏蔽的系统中断。

2.22 通用异步收发器（UART）

SPD1179/SPD1176 器件含有 2 个 UART 模块，功能如下：

- 支持在串行数据中增加或删除标准异步通信位（开始，停止和奇偶）；
- 5 - 8 个数据位；
- 偶，奇或无奇偶检测；
- 支持 1 个、1.5 个以及 2 个停止位生成；

- 高达 6.25 Mbps 的波特率；
- 64 字节发送先入先出缓存（FIFO）；
- 64 字节接收先入先出缓存（FIFO）；
- 自动波特率检测。

此外，还为 LIN 提供硬件支持：

- 兼容 LIN 2.2 协议；
- 可配的波特率，最大 20kbps；
- 用于消息过滤的身份掩码；
- 同步间隔段、同步段、受保护 ID 段、校验和段的硬件处理；
- 应答长度可以由受保护 ID 的第 5 位和第 4 位指定，也可以由寄存器配置指定；
- 可选标准型校验和或增强型校验和。

2.23 内部集成电路总线 (I²C)

I²C 总线接口与通用的 I²C 协议兼容，功能如下：

- 4 种速率：标准模式 (100 kb/s)、快速模式 (400 kb/s)、快速模式 plus (1 Mb/s) 和高速模式 (3.4 Mb/s)；
- 时钟同步；
- 主或从模式；
- 7 位或 10 位寻址模式；
- 7 位或 10 位组合格式传输；
- 发送和接收各有 16 x 32 位深度的缓存。

2.24 串行外设接口 (SPI)

SPD1179/SPD1176 包含两个 SPI 模块，支持单/双工，同步和串行通信模式。功能如下：

- 全双工同步传输；
- 主或从操作；
- 1 到 32 位传输帧格式选择；
- 最高 50 Mbps 通信速率；
- 数据流顺序为最高有效位优先；
- 灵活的时钟分频比以实现不同的速率，可编程时钟极性和相位；
- 发送和接收各有 16 x 32 位深度的先入先出队列。

2.25 控制器局域网 (CAN)

SPD1179/SPD1176 提供 1 个 CAN 模块，其特性如下：

- 时钟使能和分频控制独立可配，最高频率 100MHz；
- 兼容 ISO-11898-1:2015 标准，相应的帧格式称之为 classical CAN and ISO-FDCAN；
- 兼容 Bosch CAN2.0B 标准；
- 兼容 Bosch FDCAN V1.0 标准，相应的帧格式称之为 NONISO-FDCAN；
- 支持 CAN 总线 Bus-Off 恢复；
- 支持发送失败时的自动重传；
- 支持 Restricted 模式、监视模式、测试模式；
- 支持 64 个 Mailbox，每个有独立的 ID 过滤规则；
- 支持远程帧的自动响应；
- 支持 CAN 总线错误的记录；
- 支持 32 位时间戳；
- 需要外部 CAN 收发器将其连接到物理层 (CAN 总线)；

注意：SPD1179/SPD1176 的 CAN 模块不支持 wake-up 功能，用户需要选用支持 wake-up 功能的 CAN PHY 并将 CAN PHY 的 wake-up 信号连接到 SPD1179/SPD1176 的 MON 引脚或者 GPIO 引脚，来实现 CAN wake-up 功能。

2.26 模数转换器（ADC）

SPD1179/SPD1176 内置 1 个多达 9 通道的 13 位模数转换器。温度传感器、内部电源和可编程增益运放输出可以通过多路复用作为模数转换器的输入。该模数转换器内核中的采样保持电路有 2 路输入通道，适用于差分采样。模数转换器的启动可以由软件触发，或者是来自通用定时器或 PWM 的事件信号，还可以是外部引脚输入。

13 位模数转换器主要特性如下：

- 最小 200 ns 转换时间和独立的可配置采样时间；
- 差分采样；
- 模拟信号输入范围：0 V ~ 3.65 V；
- 可选择内部或外部参考电压；
- 输入开路和短路检测；

SPD1179/SPD1176 还提供了一个 13 位用于监测的模数转换器，根据用户选择后台循环检测若干关键电压值，以确保系统功能安全。如果检测到的电压项未在预先配置的范围，可以触发 CPU 中断。

关于 ADC 的更多特性，请参考表 5-20 和表 5-21。

2.27 温度传感器

SPD1179/SPD1176 提供 3 个温度传感器，分别用于检测 MCU，PMU 和 LIN 收发器。温度传感器会产生一个随温度线性变化的电压。该电压在芯片内部连接到模数转换器的输入端，可直接将传感器的输出转换为数字值，达到温度检测的目的。

2.28 可编程增益放大器（PGA）

SPD1179/SPD1176 内置 1 个灵活的差分可编程增益放大器（DPGA），并有两个专用引脚作为输入。其主要特性为：

- 可编程增益：2、4、8、16、24、32、48、64；
- 差分输入电压： $\pm 2.7V/PGA_Gain$ ；
- 共模输入电压：-1.5V ~ 2V（增益为 2 倍）；
- 建立时间：250 ns 到 1.4 μs ；

SPD1179/SPD1176 还内置了 1 个单端可编程增益放大器（SPGA），可以选择 4 个 ADC 外部输入通道（ANA_IN0 ~ ANA_IN3）、温度传感器输出、片内 1.2V 电源等作为输入。其主要特性为：

- 可编程增益：1、2、4、8、16、32、48、64；
- 建立时间：300 ns 到 2 μs ；

差分和单端可编程增益放大器的输出均可以作为 13 位 ADC 的输入。

关于可编程增益放大器的更多特性，请参考表 5-23 和表 5-24。

2.29 模拟比较器

SPD1179/SPD1176 内置 2 个高速比较器，配合内部 2 个 10 位数模转换器作为参考可用来检测可编程增益放大器的输入或输出电压是否超出范围。比较器的输出连接到脉宽调制的 Trip-Zone 模块。

- 50 ns 典型响应时间；
- 可编程迟滞；
- 输出带数字毛刺滤波器。

关于模拟比较器和数字模拟转换器特性的更多细节，请参考表 5-25 和表 5-27。

2.30 相位比较器

SPD1179/SPD1176 具有 3 个高速轨至轨相位比较器，可将三个相电压（PHU/PHV/PHW）与共模电压（PHC）进行比较。每个相位比较器具有 8 选 1 输入 MUX。相位比较器也可以用作普通的比较器，可以将 ADC 输入与参考电压（ADC 输入或者 DAC 输出）进行比较。

基于电机工作特性对于相位比较的原始结果做了如下硬件后处理，以简化用户的软件代码。

- 窗口大小可调的消隐；
- 窗口大小可调的滤波；
- 用于消除电机翻转时的干扰造成的系统性误报的状态机。该状态机由用户软件控制状态复位，之后自动忽略检测到的第一个过零事件。

2.31 数模转换器（DAC）和数模转换器缓冲（DAC buffer）

SPD1179/SPD1176 具有三个 10 位 DAC，可产生 0V~VDDA 的电压。其中 DAC0 和 DAC1 用于模拟比较器判断过高或者过低的参考电压，DAC2 可以作为用于相位比较器的参考电压。DAC 通常产生静态电压作为比较器的阈值，不保证动态改变码值产生波形的性能。

SPD1179/SPD1176 有一个 DAC 缓冲器，可以选择 DAC0 或者 DAC1 作为输入，而且可以通过 ANA_IN2 引脚输出电压。

2.32 D2S 缓冲器

SPD1179/SPD1176 集成一个 D2S（差分转单端）缓冲器，可以将 DPGA 的差分输出电压转换成单端输出电压，并传送到 ANA_IN4 引脚。通过外部 RC 滤波电路（典型情况下， $R = 1k\Omega$ ， $C = 1\mu F$ ），该单端输出电压可以被送回到 ANA_INx（ $x = 0 \sim 3$ ）引脚，然后可以通过 13 位 ADC 测量该单端电压的值。D2S 缓冲器的增益固定为 0.5。

2.33 脉宽调制模块（PWM）

SPD1179/SPD1176 集成 4 个脉宽调制 PWM 模块，支持 8 路 PWM 输出。该 PWM 模块可以自行生成复杂的脉宽波形，而不需要处理器内核的参与。

每个 PWM 模块功能如下：

- 专用的 16 位计时器，支持周期和频率控制；
- 每个 PWM 模块产生两路输出，支持单边沿操作、双边沿对称操作或双边沿非对称操作；
- 所有事件均可触发 CPU 中断和 ADC 启动转换；
- 相对其他 PWM 模块，支持可编程的相位控制，包括延后或提前；
- 支持独立的上升沿和下降沿延时控制的死区生成；
- 支持逐周期或单次的跳闸设置；
- 跳闸条件可以在 PWM 输出端强制保持高、低或高阻抗状态逻辑电平；
- 比较器输出和跳闸输入能够生成事件，过滤的事件或者跳闸触发条件。

2.34 增强型捕获模块（ECAP）

在一个重视外部事件准确时序的系统里，增强型捕获模块（ECAP）是必备的。SPD1179/SPD1176 器件内置的 ECAP 模块具有下面的功能：

- 灵活的输入捕获引脚：任意 GPIO 均可被配置为捕获引脚；
- 基于 32 位定时器的计数器；
- 4 个 32 位时间标签捕获寄存器；
- 与外部事件同步的 4 级序列器；
- 4 个事件均可独立选择边沿极性（上升/下降沿）；
- 4 个事件均可支持中断。

2.35 循环冗余校验（CRC）

SPD1179/SPD1176 器件含有硬件 CRC 计算单元。该 CRC 模块用于验证数据传输或存储的完整性，功能如下：

- 32 位并行数据流输入，最高 32 位 CRC 输出；
- 支持多达 2^{32} 个字节长度的 CRC 计算；
- 支持 8 个 CRC 标准多项式。

2.36 预驱系统

预驱系统包括两组/三组上下桥预驱用于驱动外部 4/6 个 MOSFET。SPD1179/SPD1176 实现的预驱系统具有以下特性：

- 内嵌电荷泵（charge pump），保证 100% 占空比输出；
- 低至 5.5V 供电的高性能；
- 内置非重叠时间，即使在输入 PWM 信号重叠的情形下也能够防止直通电流；
- 动态可调预驱充电/放电强度，以优化开关和 EMI；
- VDS 监测器，用于在导通-关闭状态进行短路检测。

2.37 LIN 收发器

LIN 模块是一种串行通信协议，旨在和 CAN 共同支持汽车网络。作为分层网络的最低级别，LIN 可在不需要 CAN 的所有特性时与传感器和执行器进行经济高效的通信。

SPD1179/SPD1176 实现了一个 LIN 模块（在芯片内部与 UART1 连接），特性如下：

- 支持在 7.0~18V 的总线电压下运行，在 5.5V~28V 下可以保证功能。抛负载条件下可以支持 42V 不会损坏；
- 支持 2 种传输模式：10.4kbps/20kbps，功能上支持 115.2kbps 下载；
- 集成 30kΩ 终端电阻，用于从机应用；
- 兼容 LIN 2.2；
- 睡眠模式下的低待机电流；
- 过温保护；
- TXD 超时功能（可选，默认使能）；
- 非常高的抗电磁干扰能力。

2.38 高压监测器

高压监测器（MON）模块专用于监视高于或者低于指定阈值（通常为 $V_{BAT}/2$ ）的外部高压。它的输出可作为数字电平送给内部 MCU，或者用于在低功耗模式下检测高压 MON 引脚上的唤醒事件。

SPD1179/SPD1176 实现了一个 MON 模块，特性如下：

- 高压输入，阈值电压为 $V_{BAT}/2$ ；
- 集成上拉和下拉电流源，具有自动可选功能；
- 低功耗模式的唤醒事件；
- 从高压引脚到低电压域的电平转换。

2.39 BEMF 检测

反向电动势（BEMF）检测模块用于检测过零事件，可用作 BLDC 应用的换向触发器。

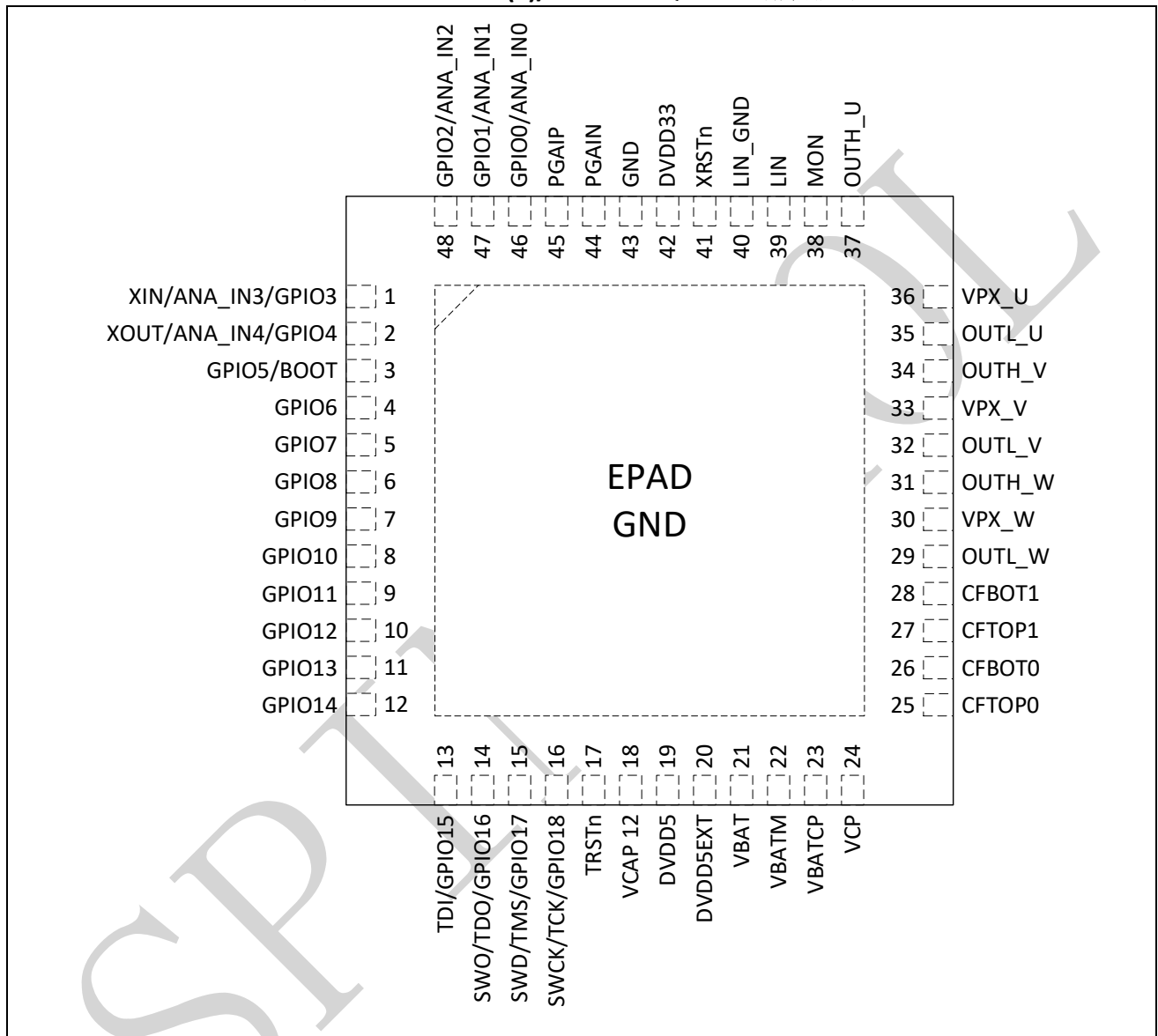
SPD1179/SPD1176 实现了一个 BEMF 检测模块，特性如下：

- 实现 U/V/W 相过零检测；
- 具有虚拟中性点的 BEMF 检测方案。

3 引脚排列和引脚说明

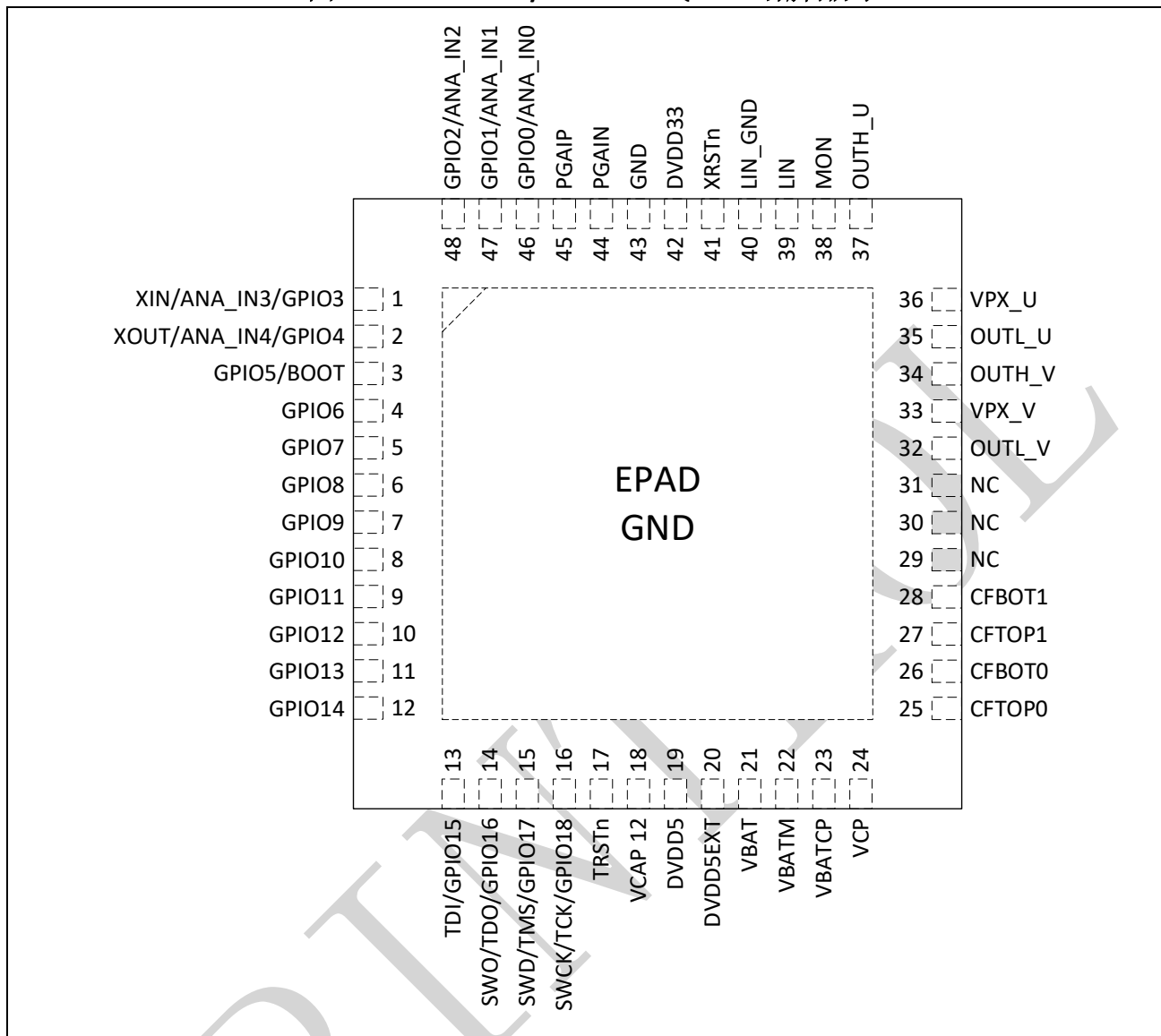
3.1 QFN48

图 3-1: SPD1179(Z)/SPD1176 QFN48 引脚排列



- [1] 上图为封装俯视图。
- [2] 注意：当 TRSTn 引脚为高电平时，GPIO15 ~ GPIO18 引脚可以作为 Debug 接口，如表 2-1 所示。

图 3-2: SPD1179X/SPD1179Y QFN48 引脚排列



[1] 上图为封装俯视图。

[2] 注意：当 TRSTn 引脚为高电平时，GPIO15 ~ GPIO18 引脚可以作为 Debug 接口，如表 2-1 所示。

表 3-1: SPD1179/SPD1176 QFN48 引脚定义

引脚	类型	信号	子类型 ^[1]	描述
1	3.3V I/O	GPIO3	I/O	通用输入/输出 3
		ANA_IN3	AI	ADC 通道 3 输入
		XIN	AI	外部晶振输入
		COMP_MON0	O	比较器输出监测 0
2	3.3V I/O	GPIO4	I/O	通用输入/输出 4
		ANA_IN4	AI	ADC 通道 4 输入
		XOUT	O	外部晶振输出
		COMP_MON1	O	比较器输出监测 1
3	5V I/O	BOOT(GPIO5)	I/O	通用输入/输出 5 (启动引脚)
		EPWRTZO	O	EPWRTZ 监视信号输出 该信号为 EPWRTZ0 和 EPWRTZ1 的逻辑或
		PWMSOCO	O	PWMSOC 监视信号输出 该信号是 PWMSOCAO、PWMSOCBO、PWMSOCCO 的逻辑或
		ECAP_APWMO	O	ECAP 的 APWM 模式输出
4	5V I/O	GPIO6	I/O	通用输入/输出 6
		SPI0_SCLK	I/O	SPI0 时钟输入/输出
		UART1_TXD	O	UART1 发送数据
		COMP_MON2	O	比较器输出监测 2
5	5V I/O	GPIO7	I/O	通用输入/输出 7
		SPI0_SFRM	I/O	SPI0 片选信号输入/输出
		UART1_RXD	I	UART1 接收数据
		COMP_MON3	O	比较器输出监测 3
6	5V I/O	GPIO8	I/O	通用输入/输出 8
		SPI0_MOSI	I/O	SPI0 主机输出、从机输入
		CAN_TXD	I/O	CAN 发送数据
		COMP_MON4	O	比较器输出监测 4
7	5V I/O	GPIO9	I/O	通用输入/输出 9
		SPI0_MISO	I/O	SPI0 主机输入、从机输出
		CAN_RXD	I/O	CAN 接收数据
		COMP_MON5	O	比较器输出监测 5
8	5V I/O	GPIO10	I/O	通用输入/输出 10
		UART0_TXD	O	UART0 发送数据
		PWM0A	O	PWM0 输出 A
		I2C_SCL	I/O	I2C 时钟
9	5V I/O	GPIO11	I/O	通用输入/输出 11
		UART0_RXD	I	UART0 接收数据
		PWM0B	O	PWM0 输出 B
		I2C_SDA	I/O	I2C 数据
10	5V I/O	GPIO12	I/O	通用输入/输出 12
		SPI1_SCLK	I/O	SPI1 时钟输入/输出
		PWM1A	O	PWM1 输出 A
		PWM3A	O	PWM3 输出 A

引脚	类型	信号	子类型 ^[1]	描述
11	5V I/O	GPIO13	I/O	通用输入/输出 13
		SPI1_SFRM	I/O	SPI1 片选信号输入/输出
		PWM1B	O	PWM1 输出 B
		PWM3B	O	PWM3 输出 B
12	5V I/O	GPIO14	I/O	通用输入/输出 14
		SPI1_MOSI	I/O	SPI1 主机输出、从机输入
		PWM2A	O	PWM2 输出 A
		I2C_SCL	I/O	I2C 时钟
13	5V I/O	GPIO15	I/O	通用输入/输出 15
		SPI1_MISO	I/O	SPI1 主机输入、从机输出
		PWM2B	O	PWM2 输出 B
		I2C_SDA	I/O	I2C 数据
		TDI	I	JTAG 数据输入
		注意：当 TRSTn 为高时，该引脚功能定义见表 2-1。		
14	5V I/O	GPIO16	I/O	通用输入/输出 16
		UART1_TXD	O	UART1 发送数据
		CAN_TXD	O	CAN 发送数据
		SPI1_SFRM	I/O	SPI1 片选信号输入/输出
		TDO/SWO	O	JTAG 数据输出/异步跟踪输出
		注意：当 TRSTn 为高时，该引脚功能定义见表 2-1。		
15	5V I/O	GPIO17	I/O	通用输入/输出 17
		UART1_RXD	I	UART1 接收数据
		CAN_RXD	I	CAN 接收数据
		SPI1_SCLK	I/O	SPI1 时钟输入/输出
		TMS/SWD	I/O	JTAG 模式选择/SWD 数据
		注意：当 TRSTn 为高时，该引脚功能定义见表 2-1。		
16	5V I/O	GPIO18	I/O	通用输入/输出 18
		PWMSOCO	O	PWMSOC 监视信号输出 该信号是 PWMSOCAO、PWMSOCBO、PWMSOCCO 的逻辑或
		PWMSYNCO	O	PWMSYNC 输出
		ECAP_APWMO	O	ECAP 的 APWM 模式输出
		TCK/SWCK	I	JTAG 时钟/SWD 时钟
		注意：当 TRSTn 为高时，该引脚功能定义见表 2-1。		
17	5V I/O	TRSTn	I	JTAG 复位引脚，低电平时复位 JTAG
18	1.2V 电源	VCAP12	P	1.2 V 电源 放置 2.2uF 和 0.1uF 旁路陶瓷电容到 GND
19	5V 电源	DVDD5	P	5V 数字电源 放置 2.2uF 和 0.1uF 旁路陶瓷电容到 GND
20	5V 电源	DVDD5EXT	P	5 V 电源，用于外部负载 放置 2.2uF 和 0.1uF 旁路陶瓷电容到 GND
21	HV 电源	VBAT	P	VBAT 高压电源，5.5V ~ 42V 放置 2.2uF 和 0.1uF 旁路陶瓷电容到 GND

引脚	类型	信号	子类型 ^[1]	描述
22	HV 电源	VBATM	P	V _{ds} 检测高压电源, 5.5V ~ 42V 放置 0.1μF 旁路陶瓷电容到 GND。从 VBAT_D (用于驱动的 VBAT) 串接 33Ω 电阻。
23	HV 电源	VBATCP	P	电荷泵高压电源, 5.5V ~ 42V 放置 2.2μF 旁路陶瓷电容到 GND。从 VBAT_D (用于驱动的 VBAT) 串接 2Ω 电阻。
24	HV 电源	VCP	P	电荷泵输出电压, 最高支持 48V 放置 2.2μF 陶瓷电容到 VBAT_D (用于驱动的 VBAT)。
25	HV 电源	CFTOP0	P	电荷泵上驱动点 0 在 CFTOP0 和 CFBOT0 之间放置 220nF 陶瓷电容。
26	HV 电源	CFBOT0	P	电荷泵下驱动点 0 在 CFTOP0 和 CFBOT0 之间放置 220nF 陶瓷电容。
27	HV 电源	CFTOP1	P	电荷泵上驱动点 1 在 CFTOP1 和 CFBOT1 之间放置 220nF 陶瓷电容。
28	HV 电源	CFBOT1	P	电荷泵下驱动点 1 在 CFTOP1 和 CFBOT1 之间放置 220nF 陶瓷电容。
29	HV IO	OUTL_W	O	预驱 W 相下管门极驱动 仅适用于 SPD1179(Z)/SPD1176
	-	NC	-	未连接 仅适用于 SPD1179X/SPD1179Y
30	HV 电源	VPX_W	P	预驱 W 相电压驱动 仅适用于 SPD1179(Z)/SPD1176
	-	NC	-	未连接 仅适用于 SPD1179X/SPD1179Y
31	HV IO	OUTH_W	O	预驱 W 相上管门极驱动 仅适用于 SPD1179(Z)/SPD1176
	-	NC	-	未连接 仅适用于 SPD1179X/SPD1179Y
32	HV IO	OUTL_V	O	预驱 V 相下管门极驱动
33	HV 电源	VPX_V	P	预驱 V 相电压驱动
34	HV IO	OUTH_V	O	预驱 V 相上管门极驱动
35	HV IO	OUTL_U	O	预驱 U 相下管门极驱动
36	HV 电源	VPX_U	P	预驱 U 相电压驱动
37	HV IO	OUTH_U	O	预驱 U 相上管门极驱动
38	HV IO	MON	I	高压输入, 用于电平监测
39	HV IO	LIN	I/O	LIN 总线接口, 可以被设置为输入或者输出
40	HV 电源	LIN_GND	P	LIN 总线地
41	5V I/O	XRSTn	I	芯片复位引脚, 低电平有效

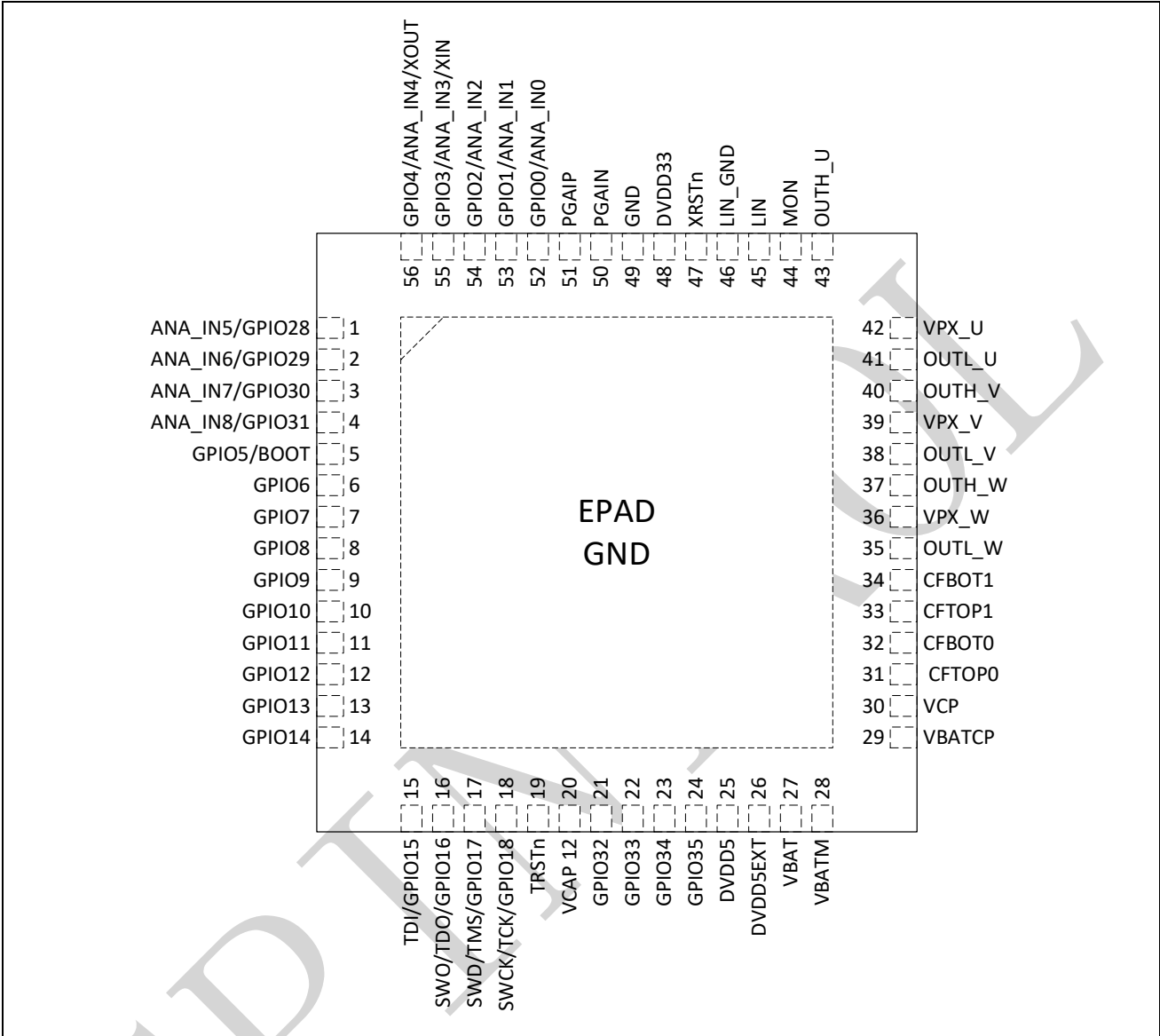
引脚	类型	信号	子类型 ^[1]	描述
42	3.3V 电源	DVDD33	P	3.3 V 数字电源 放置 4.7uF 和 0.1uF 旁路陶瓷电容到 GND
43	地	GND	G	地
44	-2V ~ 3.3V 输入	PGAIN	AI	差分 PGA 负端输入
45	-2V ~ 3.3V 输入	PGAIP	AI	差分 PGA 正端输入
46	3.3V I/O	GPIO0	I/O	通用输入/输出 0
		ANA_IN0	AI	ADC 通道 0 输入
		PWMSOCAO	O	PWMSOCA 输出
		PWMSOCCO	O	PWMSOCC 输出
47	3.3V I/O	GPIO1	I/O	通用输入/输出 1
		ANA_IN1	AI	ADC 通道 1 输入
		PWMSOCB	O	PWMSOCB 输出
		ECAP_APWMO	O	ECAP 的 APWM 模式输出
48	3.3V I/O	GPIO2	I/O	通用输入/输出 2
		ANA_IN2	AI	ADC 通道 2 输入
		DCLK	O	CLKDET 模块监视时钟输出
		EPWRTZO	O	EPWRTZ 监视信号输出 该信号为 EPWRTZO 或 EPWRTZ1 的逻辑或
EPAD	地	GND	G	裸露焊盘，连接到地

[1] I=数字输入，O=数字输出，AI=模拟输入，AO=模拟输出，P=电源，G=地。

[2] 可配置任意 GPIO 引脚作为 ECAP 输入。

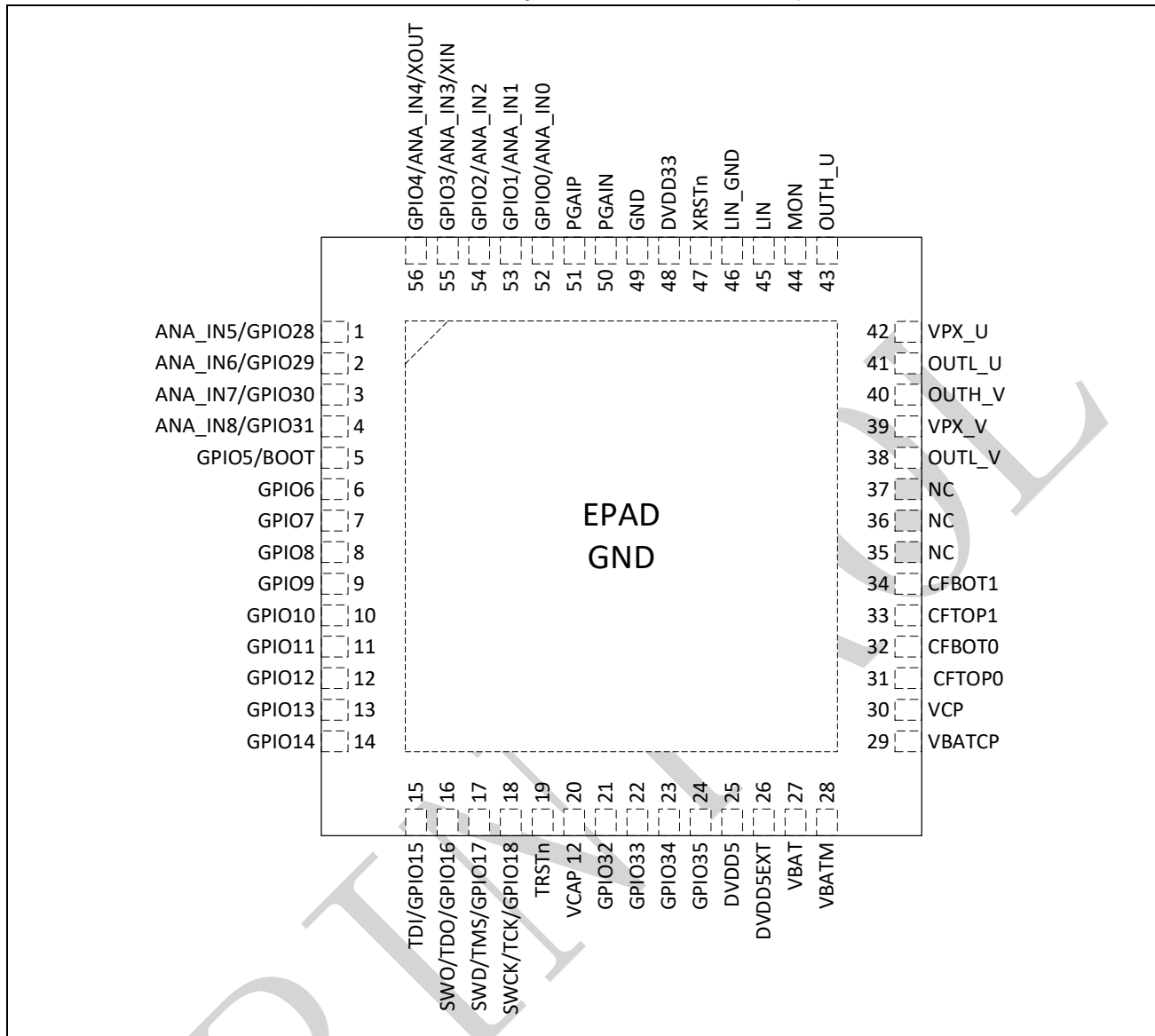
3.2 QFN56

图 3-3: SPD1179 QFN56 引脚排列



- [1] 上图为封装俯视图。
- [2] 注意：当 TRSTn 引脚为高电平时，GPIO15 ~ GPIO18 引脚可以作为 Debug 接口，如表 2-1 所示。

图 3-4: SPD1179X/SPD1179Y QFN56 引脚排列



[1] 上图为封装俯视图。

[2] 注意：当 TRSTn 引脚为高电平时，GPIO15 ~ GPIO18 引脚可以作为 Debug 接口，如表 2-1 所示。

表 3-2: SPD1179 QFN56 引脚定义

引脚	类型	信号	子类型 ^[1]	描述
1	3.3V I/O	GPIO28	I/O	通用输入/输出 28
		ANA_IN5	AI	ADC 通道 5 输入
		SPI1_SCLK	I/O	SPI1 时钟输入/输出
		PWMSOCAO	O	PWMSOCA 监视信号输出
2	3.3V I/O	GPIO29	I/O	通用输入/输出 29
		ANA_IN6	AI	ADC 通道 6 输入
		SPI1_SFRM	I/O	SPI1 片选信号输入/输出
		PWMSOCBO	O	PWMSOCB 监视信号输出
3	3.3V I/O	GPIO30	I/O	通用输入/输出 30
		ANA_IN7	AI	ADC 通道 7 输入
		SPI1_MOSI	I/O	SPI1 主机输出、从机输入
		PWMSOCCO	O	PWMSOCC 监视信号输出
4	3.3V I/O	GPIO31	I/O	通用输入/输出 31
		ANA_IN8	AI	ADC 通道 8 输入
		SPI1_MISO	I/O	SPI1 主机输入、从机输出
		PWMSYNCO	O	PWMSYNC 输出
5	5V I/O	BOOT(GPIO5)	I/O	通用输入/输出 5（启动引脚）
		EPWRTZO	O	EPWRTZ 监视信号输出 该信号为 EPWRTZO 和 EPWRTZ1 的逻辑或
		PWMSOCO	O	PWMSOC 监视信号输出 该信号是 PWMSOCAO、PWMSOCBO、 PWMSOCCO 的逻辑或
		ECAP_APWMO	O	ECAP 的 APWM 模式输出
6	5V I/O	GPIO6	I/O	通用输入/输出 6
		SPI0_SCLK	I/O	SPI0 时钟输入/输出
		UART1_TXD	O	UART1 发送数据
		COMP_MON2	O	比较器输出监测 2
7	5V I/O	GPIO7	I/O	通用输入/输出 7
		SPI0_SFRM	I/O	SPI0 片选信号输入/输出
		UART1_RXD	I	UART1 接收数据
		COMP_MON3	O	比较器输出监测 3
8	5V I/O	GPIO8	I/O	通用输入/输出 8
		SPI0_MOSI	I/O	SPI0 主机输出、从机输入
		CAN_TXD	O	CAN 发送数据
		COMP_MON4	O	比较器输出监测 4
9	5V I/O	GPIO9	I/O	通用输入/输出 9
		SPI0_MISO	I/O	SPI0 主机输入、从机输出
		CAN_RXD	I	CAN 接收数据
		COMP_MON5	O	比较器输出监测 5
10	5V I/O	GPIO10	I/O	通用输入/输出 10
		UART0_TXD	O	UART0 发送数据
		PWM0A	O	PWM0 输出 A

引脚	类型	信号	子类型 ^[1]	描述
		I2C_SCL	I/O	I2C 时钟
11	5V I/O	GPIO11	I/O	通用输入/输出 11
		UART0_RXD	I	UART0 接收数据
		PWM0B	O	PWM0 输出 B
		I2C_SDA	I/O	I2C 数据
12	5V I/O	GPIO12	I/O	通用输入/输出 12
		SPI1_SCLK	I/O	SPI1 时钟输入/输出
		PWM1A	O	PWM1 输出 A
		PWM3A	O	PWM3 输出 A
13	5V I/O	GPIO13	I/O	通用输入/输出 13
		SPI1_SFRM	I/O	SPI1 片选信号输入/输出
		PWM1B	O	PWM1 输出 B
		PWM3B	O	PWM3 输出 B
14	5V I/O	GPIO14	I/O	通用输入/输出 14
		SPI1_MOSI	I/O	SPI1 主机输出、从机输入
		PWM2A	O	PWM2 输出 A
		I2C_SCL	I/O	I2C 时钟
15	5V I/O	GPIO15	I/O	通用输入/输出 15
		SPI1_MISO	I/O	SPI1 主机输入、从机输出
		PWM2B	O	PWM2 输出 B
		I2C_SDA	I/O	I2C 数据
		TDI	I	JTAG 数据输入
		注意：当 TRSTn 为高时，该引脚功能定义见表 2-1。		
16	5V I/O	GPIO16	I/O	通用输入/输出 16
		UART1_TXD	O	UART1 发送数据
		CAN_TXD	O	CAN 发送数据
		SPI1_SFRM	I/O	SPI1 片选信号输入/输出
		TDO/SWO	O	JTAG 数据输出/异步跟踪输出
		注意：当 TRSTn 为高时，该引脚功能定义见表 2-1。		
17	5V I/O	GPIO17	I/O	通用输入/输出 17
		UART1_RXD	I	UART1 接收数据
		CAN_RXD	I	CAN 接收数据
		SPI1_SCLK	I/O	SPI1 时钟输入/输出
		TMS/SWD	I/O	JTAG 模式选择/SWD 数据
		注意：当 TRSTn 为高时，该引脚功能定义见表 2-1。		
18	5V I/O	GPIO18	I/O	通用输入/输出 18
		PWMSOCO	O	PWMSOC 监视信号输出 该信号是 PWMSOCAO、PWMSOCBO、PWMSOCCO 的逻辑或
		PWMSYNCO	O	PWMSYNC 输出
		ECAP_APWMO	O	ECAP 的 APWM 模式输出
		TCK/SWCK	I	JTAG 时钟/SWD 时钟
		注意：当 TRSTn 为高时，该引脚功能定义见表 2-1。		

引脚	类型	信号	子类型 ^[1]	描述
19	5V I/O	TRSTn	I	JTAG 复位引脚，低电平时复位 JTAG
20	1.2V 电源	VCAP12	P	1.2 V 电源 放置 2.2uF 和 0.1uF 旁路陶瓷电容到 GND
21	5V I/O	GPIO32	I/O	通用输入/输出 32
		UART1_TXD	O	UART1 发送数据
		I2C_SCL	I/O	I2C 时钟
		COMP_MON6	O	比较器输出监测 6
22	5V I/O	GPIO33	I/O	通用输入/输出 33
		UART1_RXD	I	UART1 接收数据
		I2C_SDA	I/O	I2C 数据
		COMP_MON7	O	比较器输出监测 7
23	5V I/O	GPIO34	I/O	通用输入/输出 34
		CAN_TXD	O	CAN 发送数据
		I2C_SCL	I/O	I2C 时钟
		EPWRTZ00	O	EPWRTZ0 监视信号输出
24	5V I/O	GPIO35	I/O	通用输入/输出 35
		CAN_RXD	I	CAN 接收数据
		I2C_SDA	I/O	I2C 数据
		EPWRTZ10	O	EPWRTZ1 监视信号输出
25	5V 电源	DVDD5	P	5V 数字电源 放置 2.2uF 和 0.1uF 旁路陶瓷电容到 GND
26	5V 电源	DVDD5EXT	P	5 V 电源，用于外部负载 放置 2.2uF 和 100nF 旁路陶瓷电容到 GND
27	HV 电源	VBAT	P	VBAT 高压电源，5.5V ~ 42V 放置 2.2uF 和 0.1uF 旁路陶瓷电容到 GND
28	HV 电源	VBATM	P	Vds 检测高压电源，5.5V ~ 42V 放置 0.1uF 旁路陶瓷电容到 GND。从 VBAT_D（用于驱动的 VBAT）串接 33Ω 电阻。
29	HV 电源	VBATCP	P	电荷泵高压电源，5.5V ~ 42V 放置 2.2uF 旁路陶瓷电容到 GND。从 VBAT_D（用于驱动的 VBAT）串接 2Ω 电阻。
30	HV 电源	VCP	P	电荷泵输出电压，最高支持 48V 放置 2.2uF 陶瓷电容到 VBAT_D（用于驱动的 VBAT）。
31	HV 电源	CFTOP0	P	电荷泵上驱动点 0 在 CFTOP0 和 CFBOT0 之间放置 220nF 陶瓷电容。
32	HV 电源	CFBOT0	P	电荷泵下驱动点 0 在 CFTOP0 和 CFBOT0 之间放置 220nF 陶瓷电容。

引脚	类型	信号	子类型 ^[1]	描述
33	HV 电源	CFTOP1	P	电荷泵上驱动点 1 在 CFTOP1 和 CFBOT1 之间放置 220nF 陶瓷电容。
34	HV 电源	CFBOT1	P	电荷泵下驱动点 1 在 CFTOP1 和 CFBOT1 之间放置 220nF 陶瓷电容。
35	HV IO	OUTL_W	O	预驱 W 相下管门极驱动 仅适用于 SPD1179
	-	NC	-	未连接 仅适用于 SPD1179X/SPD1179Y
36	HV 电源	VPX_W	P	预驱 W 相电压驱动 仅适用于 SPD1179
	-	NC	-	未连接 仅适用于 SPD1179X/SPD1179Y
37	HV IO	OUTH_W	O	预驱 W 相上管门极驱动 仅适用于 SPD1179
	-	NC	-	未连接 仅适用于 SPD1179X/SPD1179Y
38	HV IO	OUTL_V	O	预驱 V 相下管门极驱动
39	HV 电源	VPX_V	P	预驱 V 相电压驱动
40	HV IO	OUTH_V	O	预驱 V 相上管门极驱动
41	HV IO	OUTL_U	O	预驱 U 相下管门极驱动
42	HV 电源	VPX_U	P	预驱 U 相电压驱动
43	HV IO	OUTH_U	O	预驱 U 相上管门极驱动
44	HV IO	MON	I	高压输入，用于电平监测
45	HV IO	LIN	I/O	LIN 总线接口，可以被设置为输入或者输出
46	HV 电源	LIN_GND	P	LIN 总线地
47	5V I/O	XRSTn	I	芯片复位引脚，低电平有效
48	3.3V 电源	DVDD33	P	3.3 V 数字电源 放置 4.7uF 和 0.1uF 旁路陶瓷电容到 GND
49	地	GND	G	地
50	-2V ~ 3.3V 输入	PGAIN	AI	差分 PGA 负端输入
51	-2V ~ 3.3V 输入	PGAIP	AI	差分 PGA 正端输入
52	3.3V I/O	GPIO0	I/O	通用输入/输出 0
		ANA_IN0	AI	ADC 通道 0 输入
		PWMSOCAO	O	PWMSOCA 输出
		PWMSOCCO	O	PWMSOCC 输出
53	3.3V I/O	GPIO1	I/O	通用输入/输出 1
		ANA_IN1	AI	ADC 通道 1 输入
		PWMSOCB	O	PWMSOCB 输出
		ECAP_APWMO	O	ECAP 的 APWM 模式输出
54	3.3V I/O	GPIO2	I/O	通用输入/输出 2

引脚	类型	信号	子类型 ^[1]	描述
		ANA_IN2	AI	ADC 通道 2 输入
		DCLK	O	CLKDET 模块监视时钟输出
		EPWRTZO	O	EPWRTZ 监视信号输出 该信号为 EPWRTZO 或 EPWRTZ1 的逻辑或。
55	3.3V I/O	GPIO3	I/O	通用输入/输出 3
		ANA_IN3	AI	ADC 通道 3 输入
		XIN	AI	外部晶振输入
		COMP_MON0	O	比较器输出监测 0
56	3.3V I/O	GPIO4	I/O	通用输入/输出 4
		ANA_IN4	AI	ADC 通道 4 输入
		XOUT	O	外部晶振输出
		COMP_MON1	O	比较器输出监测 1
EPAD	地	GND	G	裸露焊盘，连接到地

[1] I=数字输入，O=数字输出，AI=模拟输入，AO=模拟输出，P=电源，G=地。

[2] 可配置任意 GPIO 引脚作为 ECAP 输入。

3.3 GPIO 引脚复位后的功能和状态

表 3-3: GPIO 引脚复位后的功能和状态

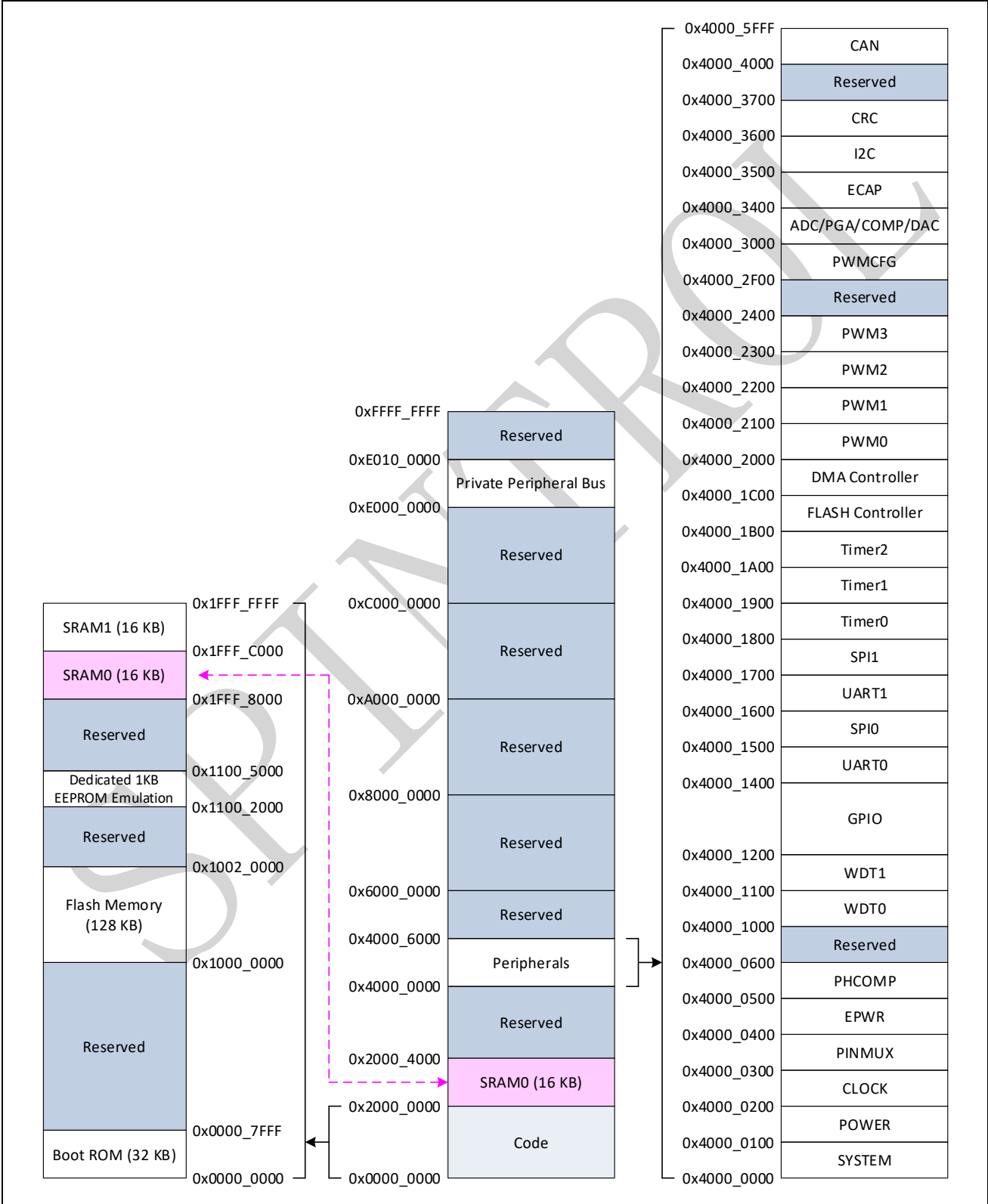
引脚名称	默认功能	默认状态
GPIO0	ANA_IN0	浮空
GPIO1	ANA_IN1	浮空
GPIO2	ANA_IN2	浮空
GPIO3	ANA_IN3	浮空
GPIO4	ANA_IN4	浮空
GPIO5	GPIO5/BOOT	下拉
GPIO6	GPIO6	上拉
GPIO7	GPIO7	上拉
GPIO8	GPIO8	上拉
GPIO9	GPIO9	上拉
GPIO10	GPIO10	上拉
GPIO11	GPIO11	上拉
GPIO12	GPIO12	浮空
GPIO13	GPIO13	浮空
GPIO14	GPIO14	上拉
GPIO15	GPIO15	上拉
GPIO16	GPIO16	上拉
GPIO17	GPIO17	上拉
GPIO18	GPIO18	下拉
GPIO19	GPIO19	浮空
GPIO20	GPIO20	浮空
GPIO21	GPIO21	浮空
GPIO22	GPIO22	浮空
GPIO23	GPIO23	浮空
GPIO24	GPIO24	浮空
GPIO25	GPIO25	上拉
GPIO26	GPIO26	上拉
GPIO27	GPIO27	下拉
GPIO28	ANA_IN5	浮空
GPIO29	ANA_IN6	浮空
GPIO30	ANA_IN7	浮空
GPIO31	ANA_IN8	浮空
GPIO32	GPIO32	上拉
GPIO33	GPIO33	上拉
GPIO34	GPIO34	上拉
GPIO35	GPIO35	上拉

在 SPD1179/SPD1176 中, GPIO19~GPIO27 在芯片内部与高压模块连接(如图 1-1 所示), 没有绑定到芯片外部管脚。其中, GPIO19~GPIO24 在芯片内部与预驱模块连接; GPIO25/GPIO26 在芯片内部与 LIN 收发器模块连接; GPIO27 在芯片内部与 MON 模块连接。

4 存储器映射

SPD1179/SPD1176 的存储映射如图 4-1 所示。

图 4-1：存储器映射



5 电气特性

5.1 绝对最大额定值

表 5-1: 绝对最大额定值^{[1][2]}

符号	参数		最小值	最大值	单位
$V_{VBAT}^{[7]}$	内部电源系统和 LIN 总线供电电压		-0.3	42	V
$V_{VBATM}^{[7]}$	监控外部 MOS 供电电源的端口		-0.3	42	V
$V_{VBATCP}^{[7]}$	内部预驱和电荷泵供电电压		-0.3	42	V
V_{LIN}	LIN 总线电压，以 V_{LIN_GND} 为基准		-28	42	V
V_{MON}	高压监测器输入电压		-28	42	V
V_{VCP}	电荷泵输出电压		-0.3	48	V
$V_{VCP} - V_{VBATCP}$	电荷泵输出电压-电荷泵供电电压		-0.3	15.8	V
$V_{PX_X}^{[4]}$	预驱相电压		-10	42	V
$V_{OUTH_X}^{[4]}$	预驱上管门级驱动电压		-10	48	V
V_{OUTH_X} vs $V_{PX_X}^{[4]}$	预驱上管门级驱动电压-预驱相电压		-0.3	11 ^[5]	V
$V_{OUTL_X}^{[4]}$	预驱下管门级驱动电压		-0.3	11 ^[5]	V
V_{DVDD5}	5V 电压，用于内部模块		-0.3	6.5	V
$V_{DVDD5EXT}$	5V 电压，用于外部负载		-0.3	6.5	V
V_{DVDD33}	3.3V 电压，用于内部 MCU		-0.3	4.6	V
V_{VCAP12}	1.2V 电压，用于内部 MCU 内核		-0.3	1.5	V
V_{IN_5V}	5V IO 输入电压		-0.3	$V_{DVDD5}+0.3$	V
V_{IN_3V}	3.3V IO 输入电压		-0.3	$V_{DVDD33}+0.3$	V
$V_{LIN_GND}^{[6]}$	LIN 总线地		-0.3	0.3	V
I_{IC}	输入钳位电流		-20	+20	mA
I_{OC}	输出钳位电流		-20	+20	mA
T_J	结温 ^[3]	SPD1179	-40	+150	°C
		SPD1176	-40	+125	°C
$t_{T,J,150}$	$T_J=150^{\circ}\text{C}$ 时 SPD1179 能够连续运行的时间		2000	—	h
T_{stg}	存储温度 ^[3]		-65	+150	°C

[1] 超出绝对最大额定值范围的应力可能对器件造成永久性损坏。这些数值只是额定应力, 并不意味着器件在这些条件下功能正常。

[2] 若无另行说明, 所有电压都是 V_{GND} 为基准。

[3] 长期的高温存储或在最大温度条件下的使用可能会减小器件的寿命。

[4] $X = U, V$ 或者 W 。

[5] 受设计限制, 内部电路将接通以钳位此电压。

[6] 在 PCB 上短接 LIN_GND 和 GND 。

[7] 电源的上电速率必须小于 $0.1V/\mu s$, 否则可能对器件造成永久性损坏。

5.2 推荐工作条件

表 5-2: 推荐工作条件

符号	参数	条件	最小	正常	最大	单位
V _{VBAT}	内部电源系统和 LIN 总线供电电压	—	5.5	—	28	V
	扩展 V _{VBAT} 范围 ^[1]	—	28	—	40	V
V _{VBATM}	内部预驱供电电压	—	5.5	—	28	V
	扩展 V _{VBAT} 范围 ^[1]	—	28	—	40	V
V _{VBATCP}	内部电荷泵供电电压	—	5.5	—	28	V
	扩展 V _{VBAT} 范围 ^[1]	—	28	—	40	V
V _{DVDD5}	5V 电压, 用于内部模块	—	4.5	5.0	5.5	V
V _{DVDD5EXT}	5V 电压, 用于外部负载	—	4.5	5.0	5.5	V
V _{DVDD33}	3.3V 电压, 用于内部 MCU	—	2.97	3.3	3.63	V
V _{VCAP12}	1.2V 电压, 用于内部 MCU 内核	—	1.08	1.2	1.32	V
V _{GND}	电源地	—	—	0	—	V
V _{IH_5V}	5V 高电平输入电压	V _{DD5} = 5 V	—	3.5	V _{DVDD5} +0.3	V
V _{IL_5V}	5V 低电平输入电压	V _{DD5} = 5 V	V _{GND} -0.3	1.5	—	V
V _{IH_3V}	3.3V 高电平输入电压	V _{DD33} = 3.3 V	2.0	—	V _{DVDD33} +0.3	V
V _{IL_3V}	3.3V 低电平输入电压	V _{DD33} = 3.3 V	V _{GND} -0.3	—	0.8	V
T _J	结温	SPD1179	-40	—	+150	°C
		SPD1176	-40	—	+125	°C

[1] 拓展的电压范围仅允许短暂停留, 在该电压范围下的持续时间不能超过 400ms, 且有可能出现参数偏移。芯片不允许在该电压范围长期运行。后续表格中该项特性不再特别说明, 均为此含义。

5.3 I/O 电气特性

表 5-3: 5V I/O 电气特性 ($V_{DVDD5} = 5V$)

符号	参数	条件	最小	典型	最大	单位
V_{OH}	高电平输出电压	$I_{OH} = I_{OH\ MAX}$	$V_{DVDD5}-1$	—	—	V
V_{OL}	低电平输出电压	$I_{OL} = I_{OL\ MAX}$	—	—	1	V
V_{IH}	高电平输入电压	—	3.5	—	$V_{DVDD5}+0.3$	V
V_{IL}	低电平输入电压	—	$V_{GND}-0.3$	—	1.5	V
I_{OH}	当 $V_{OH} = V_{OH(MIN)}$ 高电平输出源电流	STRENGTH=0 STRENGTH=1	—	—	0.4 7.3	mA
I_{OL}	当 $V_{OL} = V_{OL(MAX)}$ 低电平输出灌电流	STRENGTH=0 STRENGTH=1	—	—	1.74 26.1	mA
I_{IL}	低电平输入电流 (引脚上拉和下拉禁用)	$V_{IH} = 0\ V$	—	—	10	uA
I_{IH}	高电平输入电流 (引脚上拉和下拉禁用)	$V_{IH} = V_{DVDD5}$	—	—	10	uA
I_{OH_5V}	当 $V_{OH} = 4.0V$, $V_{DD5}=4.5V$ 5V 高电平输出, 源电流	STRENGTH=0 STRENGTH=1	—	—	0.4 7.3	mA
I_{OL_5V}	当 $V_{OL} = 0.4V$, $V_{DD5}=4.5V$ 5V 低电平输出, 灌电流	STRENGTH=0 STRENGTH=1	—	—	1.74 26.1	mA
R_{PU}	输入上拉电阻	$V_{IO} = 0\ V$	—	50	—	kΩ
R_{PD}	输入下拉电阻	$V_{IO} = V_{DVDD5}$	—	50	—	kΩ

表 5-4: 3.3V I/O 电气特性 ($V_{DVDD33} = 3.3V$)

符号	参数	条件	最小	典型	最大	单位
V_{OH}	高电平输出电压	$I_{OH} = I_{OH\ MAX}$	$V_{DVDD33}-0.66$	—	—	V
V_{OL}	低电平输出电压	$I_{OL} = I_{OL\ MAX}$	—	—	0.66	V
V_{IH}	高电平输入电压	—	2.0	—	$V_{DVDD33}+0.3$	V
V_{IL}	低电平输入电压	—	$V_{GND}-0.3$	—	0.8	V
I_{OH}	当 $V_{OH} = V_{OH(MIN)}$ 高电平输出源电流	STRENGTH=0 STRENGTH=1 STRENGTH=2 STRENGTH=3	—	—	5 10 15 20	mA
I_{OL}	当 $V_{OL} = V_{OL(MAX)}$ 低电平输出灌电流	STRENGTH=0 STRENGTH=1 STRENGTH=2 STRENGTH=3	—	—	5 10 15 20	mA
I_{IL}	低电平输入电流 (引脚上拉和下拉禁用)	$V_{DVDD33} = 3.3V$, $V_{IH} = 0V$	—	—	10	uA
I_{IH}	高电平输入电流 (引脚上拉和下拉禁用)	$V_{DVDD33} = 3.3V$, $V_{IH} = V_{DD}$	—	—	10	uA
I_{OH_3V}	当 $V_{OH} = V_{OH(MIN)}$ 3.3V 高电平输出, 源电流	STRENGTH=0 STRENGTH=1 STRENGTH=2 STRENGTH=3	—	—	5 10 15 20	mA
I_{OL_3V}	当 $V_{OL} = V_{OL(MAX)}$ 3.3V 低电平输出, 灌电流	STRENGTH=0 STRENGTH=1 STRENGTH=2 STRENGTH=3	—	—	5 10 15 20	mA
R_{PU}	输入上拉电阻	$V_{IO} = 0V$	—	41	—	k Ω
R_{PD}	输入下拉电阻	$V_{IO} = V_{DVDD33}$	—	42	—	k Ω

5.4 电源模式转换时间

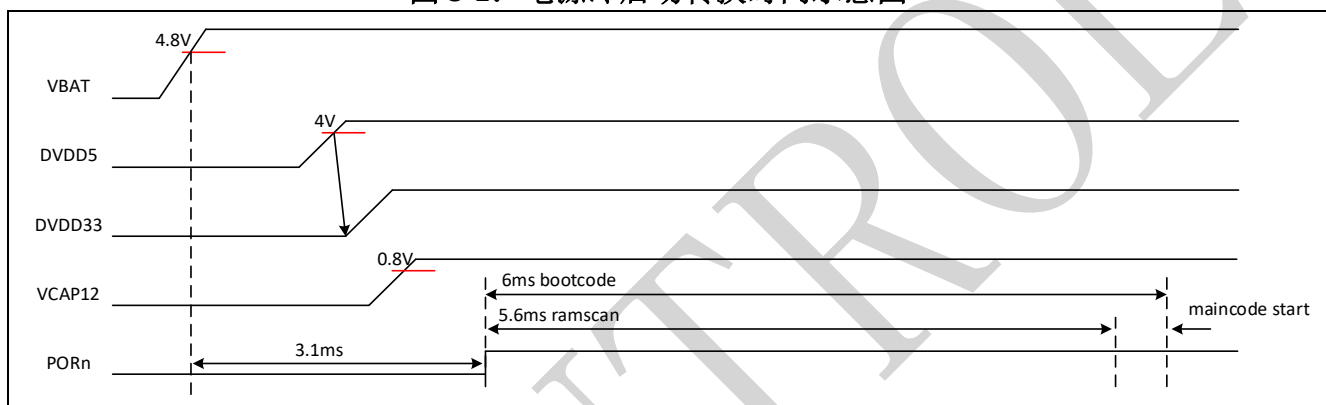
表 5-5: 电源模式转换时间

符号	参数	条件	最小	典型	最大	单位
$t_{\text{stop,entry}}$	进入停止模式所需时间	—	—	25	—	us
$t_{\text{stop,exit}}$	退出停止模式到跳转到用户代码所需时间	—	—	1	—	ms
$t_{\text{sleep,entry}}$	进入睡眠模式所需时间	—	—	25	—	us
$t_{\text{sleep,exit}}^{[1]}$	退出睡眠模式到跳转到用户代码所需时间	—	—	7.4	—	ms
$t_{\text{power-up}}^{[2]}$	电源冷启动到跳转到用户代码所需时间	—	—	9.1	—	ms

[1] 包含大约 5.63ms 的 RAM 自检时间。

[2] 相对于退出睡眠模式所需时间，电源冷启动还包含大约 1.7ms 的 V_{BAT} 电源 POR 时间。

图 5-1: 电源冷启动转换时间示意图



5.5 电源功耗

典型电流消耗

在工作模式下，SPD1179/SPD1176 处于以下状态：

- 所有的输入/输出引脚处于输入模式并保持断开；
- 所有外设（包括模拟模块）处于使能状态；
- 所有外设时钟均和 HCLK（分频为 1）一样快，除了 DGCLK（最大 50MHz）；
- 所有时钟模块处于使能状态；
- 系统时钟源为 PLL 时钟；
- 电荷泵开启，预驱开关正常切换，没有外置 MOSFET；
- GPIO5 引脚短接到地。

在停止模式下，SPD1179/SPD1176 处于以下状态：

- 所有的输入/输出引脚处于输入模式并保持断开；
- 所有外设（包括模拟模块）没有时钟输入或被禁用；
- 时钟模块（PLL，RCO，ROSC 和 XO）被禁用；
- 5V LDO 进入低功耗模式；
- 3.3V LDO 进入低功耗模式；

- 1.2V LDO 进入低功耗模式;
- GPIO5 引脚短接到地。
在睡眠模式下, SPD1179/SPD1176 处于以下状态:
- 所有的输入/输出引脚处于输入模式并保持断开;
- 所有外设(包括模拟模块)没有时钟输入或被禁用;
- 时钟模块(PLL, RCO, ROSC 和 XO)被禁用;
- 5V LDO 被关断到 0V;
- 3.3V LDO 被关断到 0V;
- 1.2V LDO 被关断到 0V;
- GPIO5 引脚短接到地。

SPD1179/SPD1176 从 VBAT 测量的典型工作电流随不同 HCLK 频率下的关系如图 5-2 所示。

图 5-2: 典型工作电流随频率变化关系

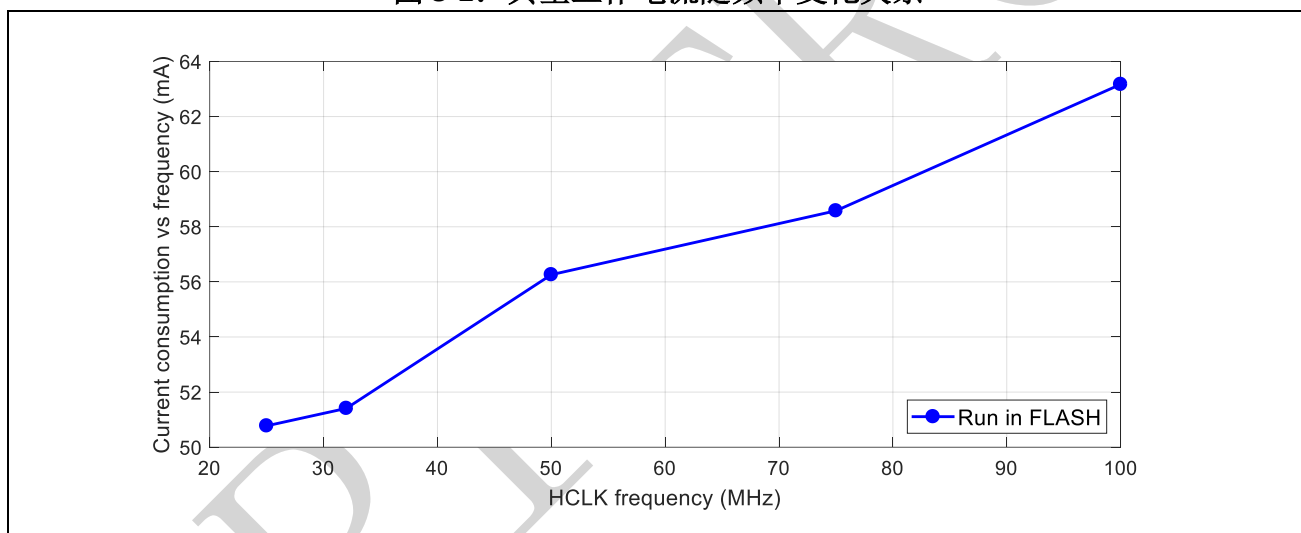


表 5-6: SPD1179/SPD1176 在不同结温下的电流消耗 (VBAT 为 18V)

条件	结温 T_J (°C)						单位
	25	85	105	125	150	175	
工作模式 ($f_{HCLK} = f_{PLL} = 100$ MHz)	68.000	66.600	67.100	68.700	71.200	75.500	mA
工作模式 ($f_{HCLK} = f_{PLL} = 32$ MHz)	51.300	51.800	52.500	53.900	56.800	61.200	mA
停止模式 ^[1]	0.180	1.070	1.830	—	—	—	mA
睡眠模式	0.038	0.046	0.049	0.058	0.095	0.264	mA

[1] 停止模式支持的结温范围 T_J 为: -40°C 至 105°C。

表 5-7: SPD1179/SPD1176 在不同结温下的电流消耗 (VBAT 为 28V)

条件	结温 T_J (°C)						单位
	25	85	105	125	150	175	
工作模式 ($f_{HCLK} = f_{PLL} = 100$ MHz)	68.620	66.900	67.300	68.500	71.100	75.200	mA
工作模式 ($f_{HCLK} = f_{PLL} = 32$ MHz)	51.900	52.400	52.700	53.700	56.470	61.100	mA
停止模式 ^[1]	0.190	1.080	1.840	—	—	—	mA
睡眠模式	0.045	0.056	0.063	0.073	0.117	0.279	mA

[1] 停止模式支持的结温范围 T_J 为: -40°C 至 105°C。

片上外设电流消耗

片上外设的电流消耗如表 5-8 所示。该 MCU 处于以下的状态：

- 所有输入/输出引脚处于输入模式并保持断开；
- 所有外设（包括模拟外设，RCO 和 XO）无另行说明，均被禁用；
- 给定值是由测量的电流消耗计算得出
 - 所有外设时钟被禁用
 - 只有一个外设被使能

表 5-8： 外设电流消耗

外设 ^[1]	条件	典型值 ^[2]	单位
BOD	RCO 为系统时钟源； 所有其他外设处于默认状态。	106.0	uA
ADC ^[3]	锁相环时钟为系统时钟源； 所有外设时钟与 HCLK 一样快； $f_{HCLK} = 100\text{ MHz}$, $f_{PLL} = 100\text{ MHz}$	8854.0	uA
Monitoring ADC ^[3]		2989.0	uA
温度传感器		157.0	uA
DPGA ^[4]		1106.0	uA
SPGA ^[4]		156.0	uA
DAC 缓冲器		274.0	uA
DAC		327.0	uA
相位比较器		126.0	uA
比较器		105.0	uA
UART	UART 时钟 100MHz, 512000 bps	383.0	uA
SPI	SPI 时钟 100MHz, 20Mbps	284.0	uA
I2C	I2C 时钟 100MHz, 100kbps	436.0	uA
CAN	CAN 时钟 100MHz, 1Mbps + 8Mbps	3526.0	uA
PWM (不含预驱)	PWM 时钟 100MHz, PWM 翻转频率为 15kHz	302.5	uA
PWM (包含预驱)	PWM 时钟 100MHz, PWM 翻转频率为 15kHz	6064.0	uA
ECAP	ECAP 时钟 100MHz	324.0	uA
WDT	WDT 时钟 100MHz	220.0	uA
TIMER	TIMER 时钟 100MHz	144.0	uA
FLASH	HCLK 时钟 100MHz	306.0	uA
XO	HCLK 来源于 100MHz PLL, PLL 以 RCO 为输入	736.0	uA
RCO	HCLK 来源于 100MHz PLL, 以 XO (32MHz) 为输入	254.0	uA
PLL	XO (32MHz) 作为 HCLK 的时钟源, $f_{PLL} = 100\text{ MHz}$	961.0	uA
LIN 收发器	UART 时钟 100MHz, 19200bps	480.0	uA
DVDD5EXT	—	42.4	uA

[1] 当外设不止一个模块时，上述的电流值为单个模块的消耗（平均值）。

[2] 典型值的测量条件是 $T_A = 25\text{ }^{\circ}\text{C}$, $V_{BAT} = 12\text{ V}$ 。

[3] 模数转换器的模拟电流损耗包含了 ADC 的模拟模块，带隙和 ADC 参考缓冲器。

[4] 当使能 ADC（模拟部分）、温度传感器、可编程增益放大器、数模转换器和比较器时，带隙必须使能。

5.6 过压/欠压检测器（BOD）特性

表 5-9: VCAP12 BOD 特性

符号	参数	条件	最小	典型	最大	单位
$V_{th1}(VCAP12OV)$	VCAP12 过压触发阈值	—	—	1.36	—	V
$V_{th0}(VCAP12OV)$	VCAP12 过压撤销阈值	—	—	1.33	—	V
$V_{th1}(VCAP12UV)$	VCAP12 欠压触发阈值	—	—	1.07	—	V
$V_{th0}(VCAP12UV)$	VCAP12 欠压撤销阈值	—	—	1.10	—	V

表 5-10: DVDD33 BOD^[1]特性

符号	参数	条件	最小	典型	最大	单位
$V_{th1}(DVDD33OV)$	VDD33 过压触发阈值	—	—	3.66	—	V
$V_{th0}(DVDD33OV)$	VDD33 过压撤销阈值	—	—	3.53	—	V
$V_{th1}(DVDD33UV)$	VDD33 欠压触发阈值	—	—	2.94	—	V
$V_{th0}(DVDD33UV)$	VDD33 欠压撤销阈值	—	—	3.03	—	V

[1] MCU 中 DVDD33 的过压/欠压检测。

表 5-11: DVDD33 BOD^[1]特性

符号	参数	条件	最小	典型	最大	单位
$V_{th1}(DVDD33OV)$	VDD33 过压触发阈值	—	—	3.64	—	V
$V_{th0}(DVDD33OV)$	VDD33 过压撤销阈值	—	—	3.52	—	V
$V_{th1}(DVDD33UV)$	VDD33 欠压触发阈值	—	—	2.57	—	V
$V_{th0}(DVDD33UV)$	VDD33 欠压撤销阈值	—	—	3.70	—	V

[1] 高压模块中 DVDD33 的过压/欠压检测。

表 5-12: VBAT BOD 特性

符号	参数	条件	最小	典型	最大	单位
$V_{th1}(VBATOV)$	VBAT 过压触发阈值	—	—	44.0	—	V
$V_{th0}(VBATOV)$	VBAT 过压撤销阈值	—	—	38.3	—	V
$V_{th1}(VBATUV)$	VBAT 欠压触发阈值	—	—	5.00	—	V
$V_{th0}(VBATUV)$	VBAT 欠压撤销阈值	—	—	5.20	—	V

表 5-13: DVDD5 BOD 特性

符号	参数	条件	最小	典型	最大	单位
$V_{th1}(DVDD5OV)$	DVDD5 过压触发阈值	—	—	5.68	—	V
$V_{th0}(DVDD5OV)$	DVDD5 过压撤销阈值	—	—	5.60	—	V
$V_{th1}(DVDD5UV)$	DVDD5 欠压触发阈值	—	—	4.40	—	V
$V_{th0}(DVDD5UV)$	DVDD5 欠压撤销阈值	—	—	4.50	—	V

表 5-14: DVDD5EXT BOD 特性

符号	参数	条件	最小	典型	最大	单位
$V_{th1}(DVDD5EXTOV)$	DVDD5EXT 过压触发阈值	—	—	5.68	—	V
$V_{th0}(DVDD5EXTOV)$	DVDD5EXT 过压撤销阈值	—	—	5.60	—	V
$V_{th1}(DVDD5EXTUV)$	DVDD5EXT 欠压触发阈值	—	—	4.40	—	V
$V_{th0}(DVDD5EXTUV)$	DVDD5EXT 欠压撤销阈值	—	—	4.50	—	V

表 5-15: (VCP – VBAT) BOD 特性

符号	参数	条件	最小	典型	最大	单位
$V_{th1}((VCP-VBAT)_{UV})$	(VCP-VBAT)欠压触发阈值	—	—	6.097	—	V
$V_{th0}((VCP-VBAT)_{UV})$	(VCP-VBAT)欠压撤销阈值	—	—	6.206	—	V

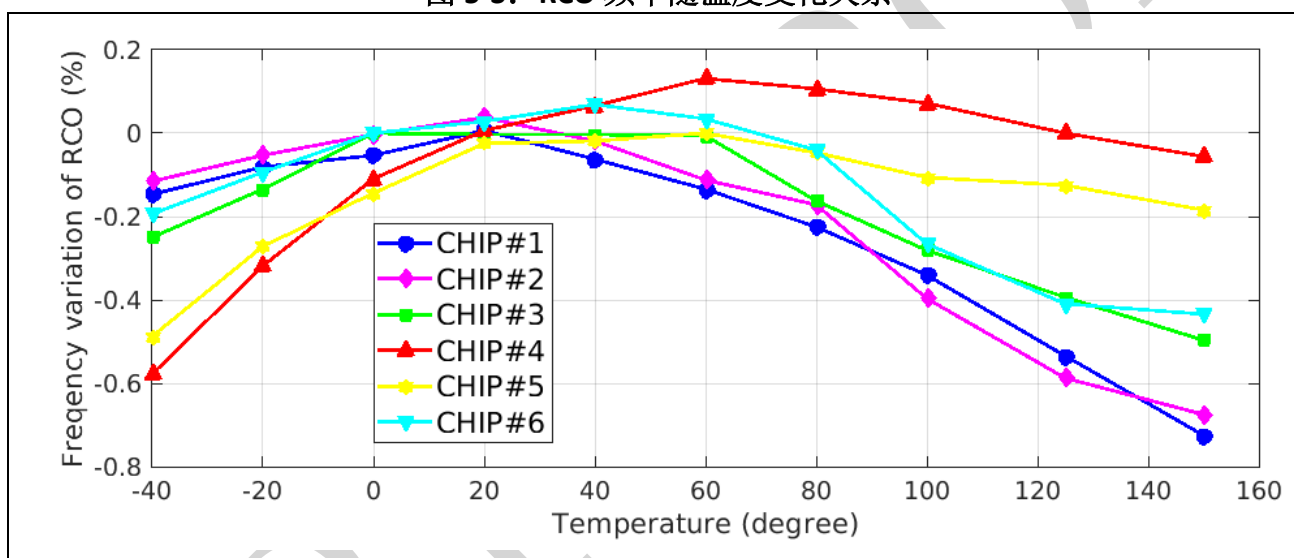
[1] 在实际工程中，推荐根据应用需求选取合适的档位值，典型值仅供参考。

5.7 振荡器时钟（RCO）特性

表 5-16: RCO 特性

符号	参数	条件	最小	典型	最大	单位
f_{RCO}	RCO 时钟频率（室温条件下）	$T_J = 25\text{ }^{\circ}\text{C}$	—	32	—	MHz
E_{RCO}	RCO 时钟频率误差（RCO 时钟频率随温度的变化）	$T_J = -40\sim 150\text{ }^{\circ}\text{C}$	-1.5	—	1.5	%
t_{settle}	RCO 频率就绪时间	$E_{RCO} < 1\%$	—	4.2	—	us

图 5-3: RCO 频率随温度变化关系



5.8 锁相环时钟（PLL）特性

表 5-17: PLL 特性

符号	参数	条件	最小	典型	最大	单位
f_{VCO}	VCO 频率	$T_J = -40\sim 150\text{ }^{\circ}\text{C}$	400	500	600	MHz
$f_{PFD}^{[1]}$	鉴频鉴相器（PFD）输入频率	—	4	—	8	MHz
$t_{lock}^{[1]}$	锁定时间	$T_J = 25\text{ }^{\circ}\text{C}$	—	10	15	us
t_{jitter}	PLL 输出时钟抖动	$T_J = 25\text{ }^{\circ}\text{C}$	—	40	—	ps

[1] 该项目不在量产中测试，设计保证。

5.9 外部时钟（XO）特性

表 5-18: XO 特性

符号	参数	条件	最小	典型	最大	单位
f_{XO}	外部时钟频率	$T_J = -40 \sim 150^\circ\text{C}$	4	—	32	MHz

5.10 备份时钟（ROSC）特性

表 5-19: ROSC 特性

符号	参数	条件	最小	典型	最大	单位
f_{ROSC}	备份时钟频率	$T_J = -40 \sim 150^\circ\text{C}$	16	32	48	MHz

5.11 13 位模数转换器特性

表 5-20: 13 位模数转换器特性

符号	参数	条件	最小	典型	最大	单位
N_R	分辨率	无码值丢失 单调的	13	—	—	bits
f_S	转换速度 ^[1]	—	—	—	2.5	MSPS
V_{in}	输入电压范围	—	0	—	V_{DDA}	V
V_{ref}	参考电压	—	1.194	1.2	1.206	V
I_{on}	工作电流	$V_{DDA} = 3.3\text{ V}$	—	8.5	11.5	mA
INL	积分线性误差	—	-3.0	—	3.0	LSB
DNL	微分线性误差	—	-1.0	—	1.5	LSB
E_{offset}	偏移误差 ^[2]	已校准	-4	± 2	4	LSB
E_{gain}	增益误差 ^[2]	已校准	-40	± 4	40	LSB
T_{coef}	基于内部参考的 ADC 温度系数	—	—	30	—	ppm/ $^\circ\text{C}$
t_{settle} ^[3]	启动时间	—	—	—	100	us
ENOB _{DC}	有效位数（直流输入）	—	—	11.5	—	bits
SNR	信噪比	$f_{in} = 100\text{kHz}$ $V_{in} = 0.94\text{FS}$ $N = 8192$	—	71	—	dBFS
THD	总谐波失真		—	-84	—	dBFS
ENOB	有效位数		—	11.4	—	bits
SFDR	无杂散动态范围		—	80	—	dBFS

[1] 采样时间 = 200ns，转换时间 = 200ns。

[2] 偏移和增益可通过硬件自动校准。

[3] 该项目不在量产中测试，设计保证。

5.12 用于监测的模数转换器特性

表 5-21：用于监测的模数转换器特性

符号	参数	条件	最小	典型	最大	单位
N_R	分辨率	无码值丢失； 单调的；	13	—	—	bits
f_S	转换速度 ^[1]	—	—	—	500	kSPS
V_{in}	输入电压范围	—	0	—	V_{DDA}	V
V_{ref}	参考电压	—	1.19	1.2	1.21	V
I_{on}	工作电流	$V_{DVDD33} = 3.3\text{ V}$	—	2.8	3.6	mA
INL	积分线性误差	—	-3.0	—	3.0	LSB
DNL	微分线性误差	—	-1.0	—	1.0	LSB
E_{offset}	偏移误差	已校准	-4	± 2	4	LSB
E_{gain}	增益误差	已校准	-40	± 4	40	LSB
ENOB _{DC}	有效位数（直流输入）	—	—	11.5	—	bits
SNR	信噪比	$f_{in} = 50\text{ kHz},$ $V_{in} = 0.94FS,$ $N = 4096$	—	71	—	dBFS
THD	总谐波失真		—	-84	—	dBFS
ENOB	有效位数		—	11.4	—	bits
SFDR	无杂散动态范围		—	80	—	dBFS

[1] 采样时间 = 1 μ s，转换时间 = 1 μ s。

5.13 温度传感器特性

表 5-22：温度传感器特性

符号	参数	条件	最小	典型	最大	单位
TMCU _{slope}	温度传感器由 ADC 测量 时，ADC 输出码值每增加 1LSB，对应的温度值变化	—	—	3.7	—	°C/LSB
TPMU _{slope}		—	—	-0.48	—	°C/LSB
TLIN _{slope}		—	—	-0.48	—	°C/LSB
TMCU _{offset}	温度传感器由 ADC 测量得 到的码值	$T_J = 25\text{ °C}$	—	-81	—	LSB
TPMU _{offset}			—	-772.8	—	LSB
TLIN _{offset}			—	-772.8	—	LSB

5.14 差分可编程增益放大器特性

表 5-23: 差分可编程增益放大器 (DPGA) 特性

符号	参数	条件	最小	典型	最大	单位
V_{in}	差分输入电压范围	—	-2.7/G	—	+2.7/G	V
V_{out}	输出电压范围	—	0.3	—	$V_{D33}-0.3$	V
R_{in}	输入阻抗	—	—	4	—	k Ω
G	增益	差分模式	2/4/8/16/24/32/48/64			-
E_{gain}	增益误差	差分增益= 2	-1.5	—	1.5	%
		差分增益= 16	-1	—	1	%
		差分增益= 64	-1	—	1	%
V_{offset}	偏移	差分增益= 2	-3	—	9	mV
		差分增益= 16	-2	—	4	mV
		差分增益= 64	-2	—	4	mV
V_{CM}	共模输入电压范围	差分增益= 2	-1.5	—	2	V
		差分增益= 4	-0.9	—	2	V
		差分增益= 8	-0.75	—	2	V
		差分增益= 16	-0.6	—	2	V
		差分增益= 24	-0.57	—	2	V
		差分增益= 32	-0.55	—	2	V
		差分增益= 48	-0.52	—	2	V
		差分增益= 64	-0.5	—	2	V
t_{settle}	建立时间 ^[1]	差分增益= 2	—	313.7	441.6	ns
		差分增益= 4	—	303.1	425.5	ns
		差分增益= 8	—	268.4	423.8	ns
		差分增益= 16	—	376.7	604.7	ns
		差分增益= 24	—	355.8	598.9	ns
		差分增益= 32	—	442.9	742.3	ns
		差分增益= 48	—	628.0	1061.0	ns
		差分增益= 64	—	813.3	1378.0	ns
GBW	单位增益带宽 ^[2]	差分增益= 2	6	9.68	—	MHz
		差分增益= 4	3.8	6.07	—	MHz
		差分增益= 8	2.56	3.45	—	MHz
		差分增益= 16	1.37	1.85	—	MHz
		差分增益= 24	1.23	1.63	—	MHz
		差分增益= 32	0.93	1.23	—	MHz
		差分增益= 48	0.63	0.83	—	MHz
		差分增益= 64	0.4	0.63	—	MHz
SR	压摆率 ^[3]	差分增益= 2	15	21	30	V/ μ s
		差分增益= 4	15	21	30	V/ μ s
		差分增益= 8	14.5	21	30	V/ μ s
		差分增益= 16	11.2	18.9	29.7	V/ μ s
		差分增益= 24	12.57	21	33.4	V/ μ s
		差分增益= 32	9.25	18.4	31.8	V/ μ s

符号	参数	条件	最小	典型	最大	单位
		差分增益= 48	6.1	11.5	25	V/us
		差分增益= 64	4.6	8.6	17.6	V/us
ENOB _{DC}	有效位数（直流输入）	差分增益= 2	—	11.93	—	bits
		差分增益= 16	—	11.57	—	bits
		差分增益= 64	—	10.94	—	bits
SNR	信噪比 $f_{in} = 10\text{kHz}$	差分增益= 2	—	72.2	—	dBFS
		差分增益= 16	—	71.1	—	dBFS
		差分增益= 64	—	64.8	—	dBFS
THD	总谐波失真 $f_{in} = 10\text{kHz}$	差分增益= 2	—	79.59	—	dBFS
		差分增益= 16	—	81.29	—	dBFS
		差分增益= 64	—	78.47	—	dBFS
CMRR _{DC}	共模抑制比（直流输入）	差分增益= 2	—	-59.7	—	dBFS
		差分增益= 16	—	-52.6	—	dBFS
		差分增益= 64	—	-61	—	dBFS
PSRR _{DC}	电源抑制比（直流输入）	差分增益= 2	—	-72.8	—	dBFS
		差分增益= 16	—	-84.9	—	dBFS
		差分增益= 64	—	-93.4	—	dBFS
I _{on}	电流消耗	差分增益= 2	—	1.215	—	mA
		差分增益= 16	—	1.096	—	mA
		差分增益= 64	—	1.152	—	mA

- [1] 建立时间指阶跃输入到输出建立至 98%的时间。此时对应的差分输出从-2.7V 到 2.7V ($V_{D\text{VDD}33} = 3.3\text{V}$)。该指标由设计保证。
- [2] GBW 数据由设计保证。
- [3] SR 数据是指输出信号从 10%建立至 90%的压摆率，由设计保证。

图 5-4: 建立时间随增益的变化关系 (DPGA)

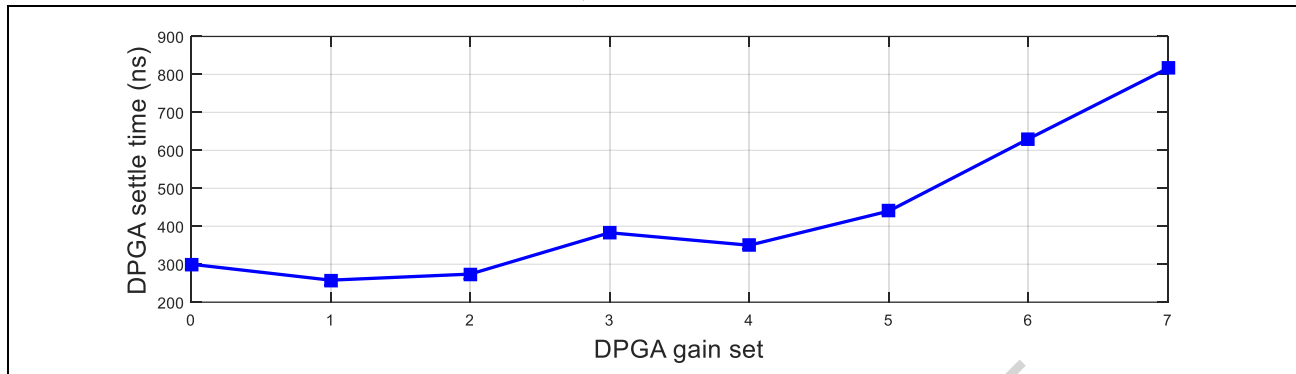
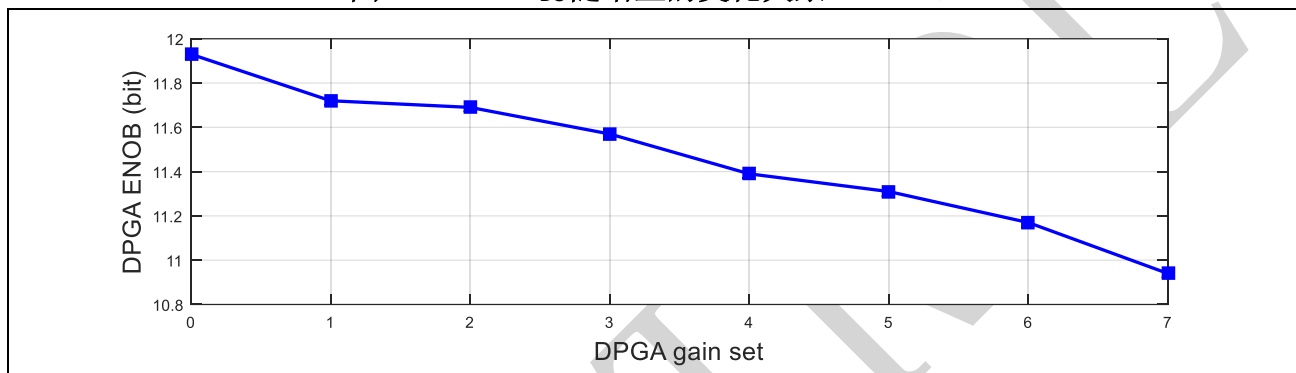
图 5-5: ENOB_{DC} 随增益的变化关系 (DPGA)

图 5-6: SNR 随增益的变化关系 (DPGA)

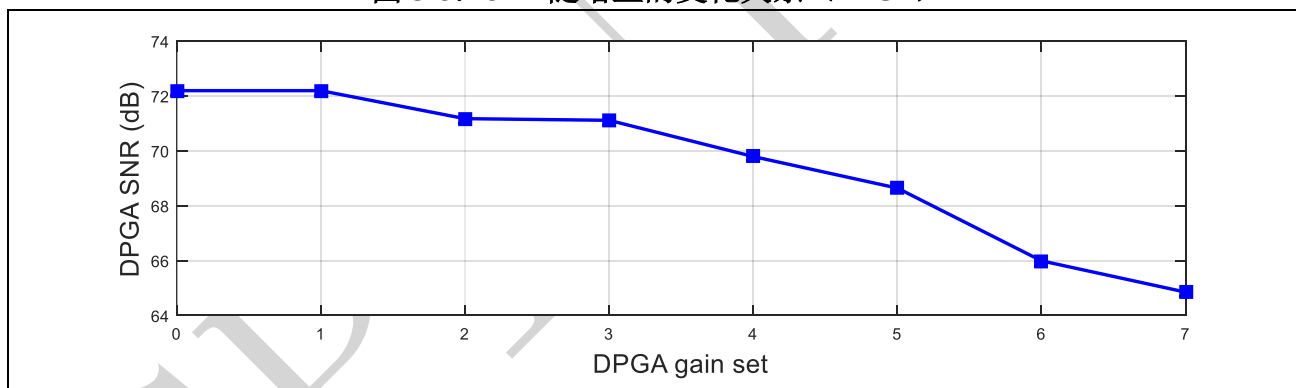


图 5-7: THD 随增益的变化关系 (DPGA)

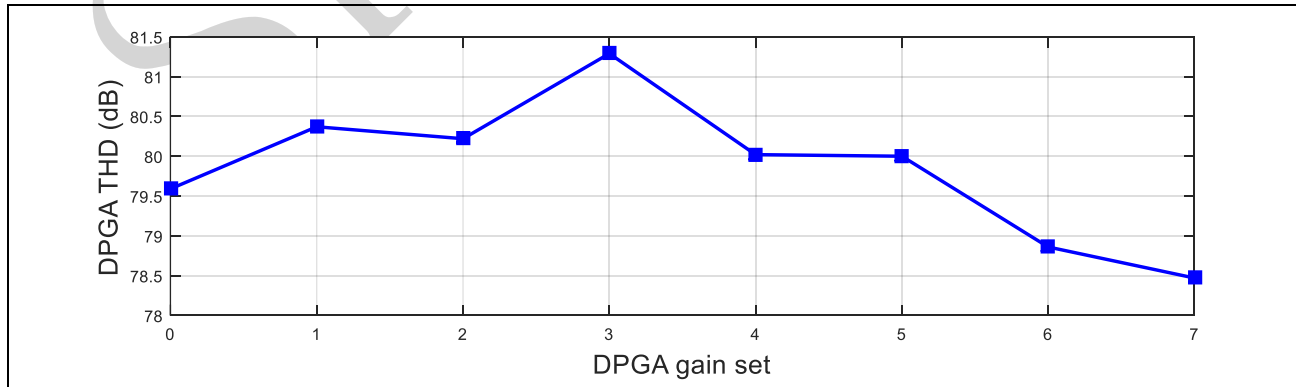
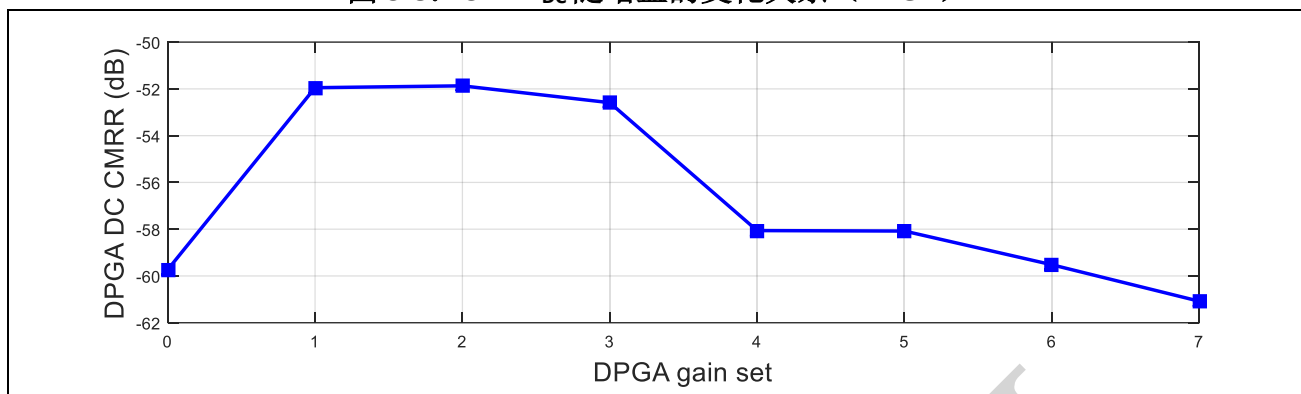
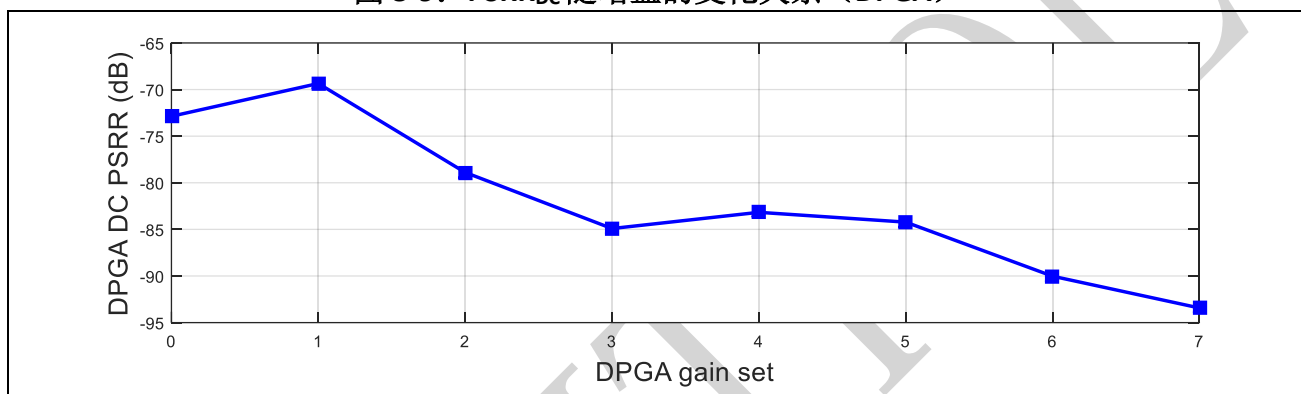


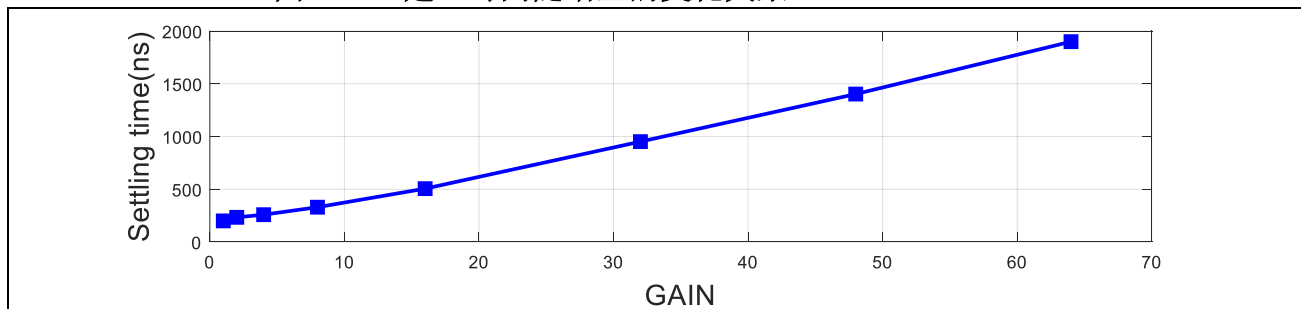
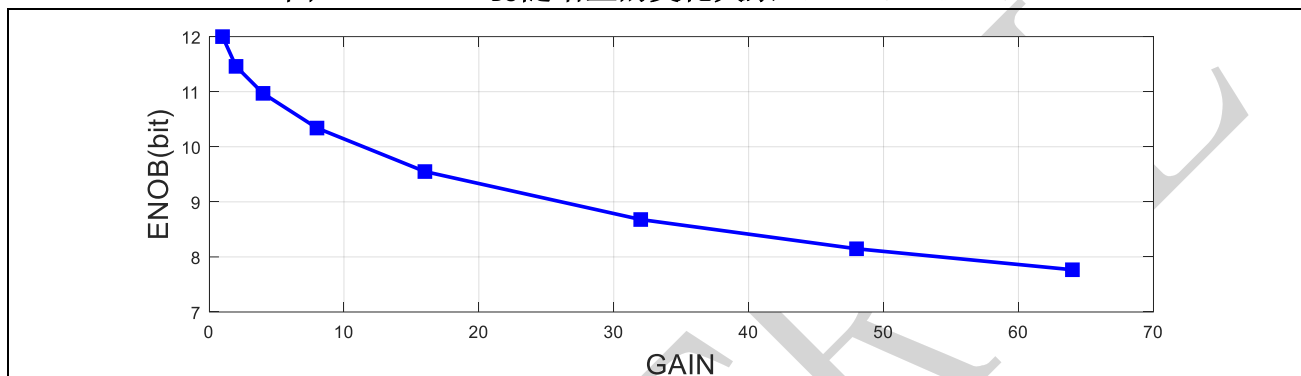
图 5-8: $CMRR_{DC}$ 随增益的变化关系 (DPGA)图 5-9: $PSRR_{DC}$ 随增益的变化关系 (DPGA)

5.15 单端可编程增益放大器特性

表 5-24: 单端可编程增益放大器 (SPGA) 特性

符号	参数	条件	最小	典型	最大	单位
V _{in}	输入电压范围	—	0.3	—	V _{DDA} -1.3	V
V _{out}	输出电压范围	—	0.3	—	V _{DDA} -0.3	V
R _{in}	输入阻抗	—	—	High-Z	—	Ω
G	增益	单端	1/2/4/8/16/32/48/64			-
E _{gain}	增益误差	增益= 2	-1	—	1	%
		增益= 32	-1.2	—	1.2	%
		增益= 64	-2	—	2	%
V _{offset}	偏移	—	-10	—	5	mV
t _{settle}	建立时间	增益= 2	—	300	—	ns
		增益= 32	—	1000	—	ns
		增益= 64	—	2000	—	ns
ENOB	有效位数	增益= 2	—	11	—	bits
		增益= 32	—	9	—	bits
		增益= 64	—	8	—	bits
I _{on}	电流消耗	—	—	0.5	—	mA

图 5-10: 建立时间随增益的变化关系 (SPGA) (TBD)

图 5-11: ENOB_{DC} 随增益的变化关系 (SPGA) (TBD)

5.16 模拟比较器特性

表 5-25: 模拟比较器特性

符号	参数	条件	最小	典型	最大	单位
V_{in}	输入电压范围	—	0	—	V_{DVDD33}	V
V_{offset}	失调电压 (迟滞电压挡位 0)	$V_{DVDD33} = 3.3V$, $T_J = 25^{\circ}C$, $V_{cm} = 1.65V$	-10	—	10	mV
V_{hyst}	迟滞电压挡位 0		—	0	—	mV
	迟滞电压挡位 1		—	13	—	mV
	迟滞电压挡位 2		—	25	—	mV
	迟滞电压挡位 3		—	37	—	mV
t_d	延迟时间-比较器反应时间 到 PWM 关断 (异步)		—	50	—	ns

5.17 相位比较器特性

表 5-26: 相位比较器特性

符号	参数	条件	最小	典型	最大	单位
V_{in}	输入电压范围	—	0	—	V_{DVDD33}	V
V_{offset}	失调电压 (迟滞电压挡位 0)	$V_{DVDD33} = 3.3V$, $T_J = 25^{\circ}C$, $V_{cm} = 1.65V$	-3.5	—	3.5	mV
V_{hyst}	迟滞电压挡位 0		—	0	—	mV
	迟滞电压挡位 1		—	13	—	mV
	迟滞电压挡位 2		—	25	—	mV
	迟滞电压挡位 3		—	37	—	mV
t_d	延迟时间—比较器反应时间 到 PWM 关断 (异步)		—	250	—	ns

5.18 内部 10 位数模转换器特性

表 5-27: 数模转换器特性

符号	参数	条件	最小	典型	最大	单位
N	分辨率	单调	10	—	—	bit
V_{FS}	满量程值	—	0	—	V_{DVDD33}	V
DNL	微分非线性误差	—	-0.5	—	0.5	LSB
INL	积分非线性误差	—	-1	—	1	LSB
E_{offset}	偏移误差	—	—	5	—	mV
$t_{settle}^{[1]}$	DAC 建立时间	—	—	—	1	us

[1] 该项目不在量产中测试，设计保证。

[2] DAC 产生静态电压作为比较器的阈值，不保证动态改变码值产生波形的性能。

图 5-12: DNL 曲线

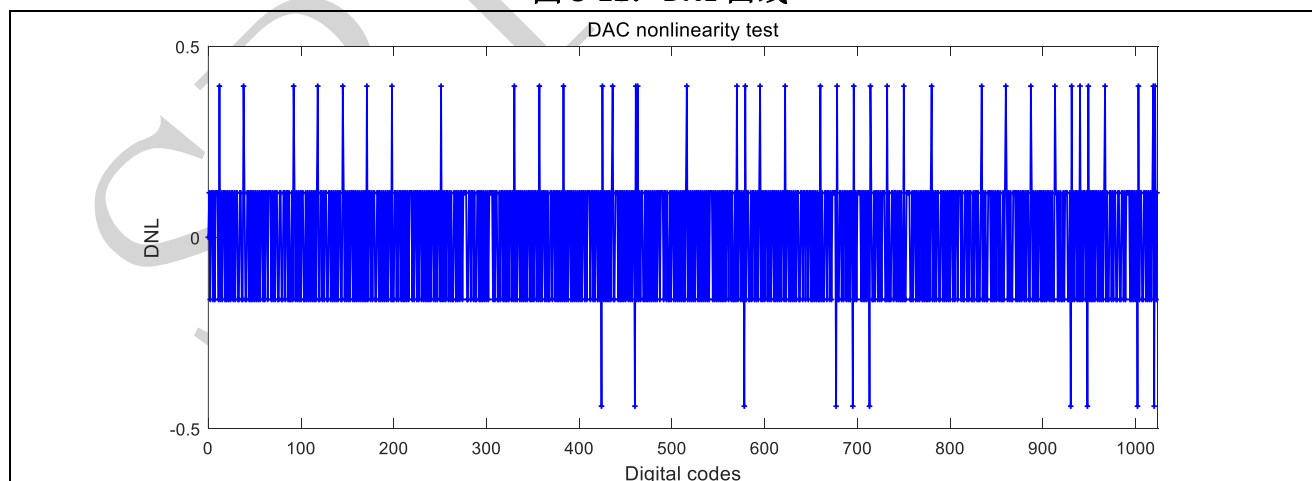
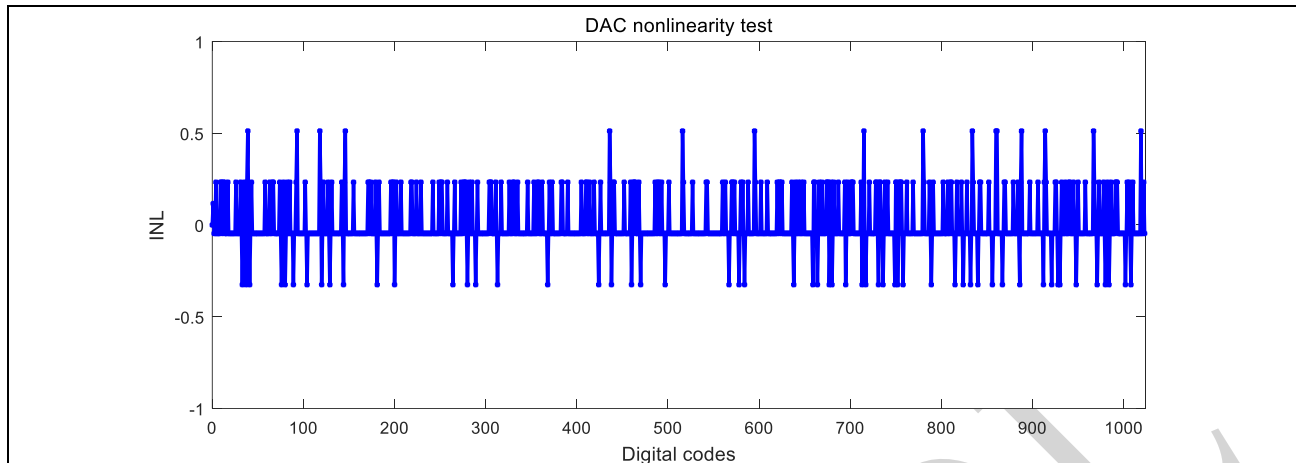


图 5-13: INL 曲线



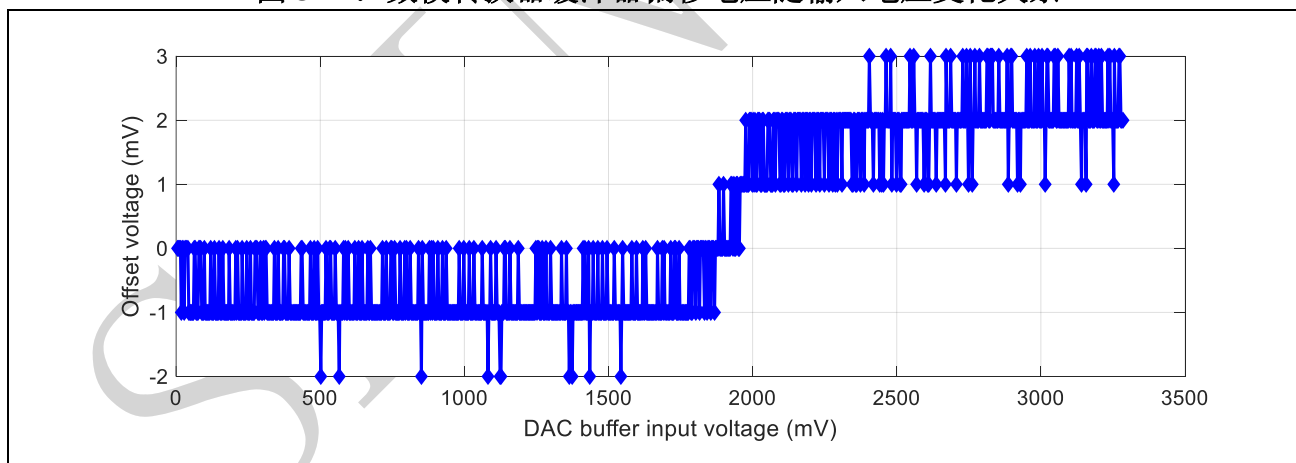
5.19 数模转换器缓冲器特性

表 5-28: 数模转换器缓冲器特性

符号	参数	条件	最小	典型	最大	单位
V_{out}	输出电压范围	—	0.3	—	$V_{DVDD33}-0.4$	V
$t_{settle}^{[1]}$	建立时间	—	—	1	—	us
E_{offset}	偏移误差	—	—	5	—	mV
$C_L^{[1]}$	容性负载	—	—	—	50	pF
$R_L^{[1]}$	阻性负载	—	5k	—	—	Ω

[1] 该项目不在量产中测试，设计保证。

图 5-14: 数模转换器缓冲器偏移电压随输入电压变化关系



5.20 D2S 缓冲器特性

表 5-29: D2S 缓冲器特性

符号	参数	条件	最小	典型	最大	单位
V_{out}	输出电压范围	—	0.3	—	$V_{D V D 33}-0.3$	V
t_{settle}	建立时间 ^[1]	—	—	10	—	ms
E_{offset}	偏移误差	—	—	10	—	mV
E_{gain}	增益误差	—	—	1	—	%
C_L	容性负载	—	—	1	—	uF
I_{on}	电流消耗	—	—	1	—	mA

[1] 建立时间通过增加外部 RC 滤波电路来测量，典型值为：R = 1kΩ，C = 1uF。

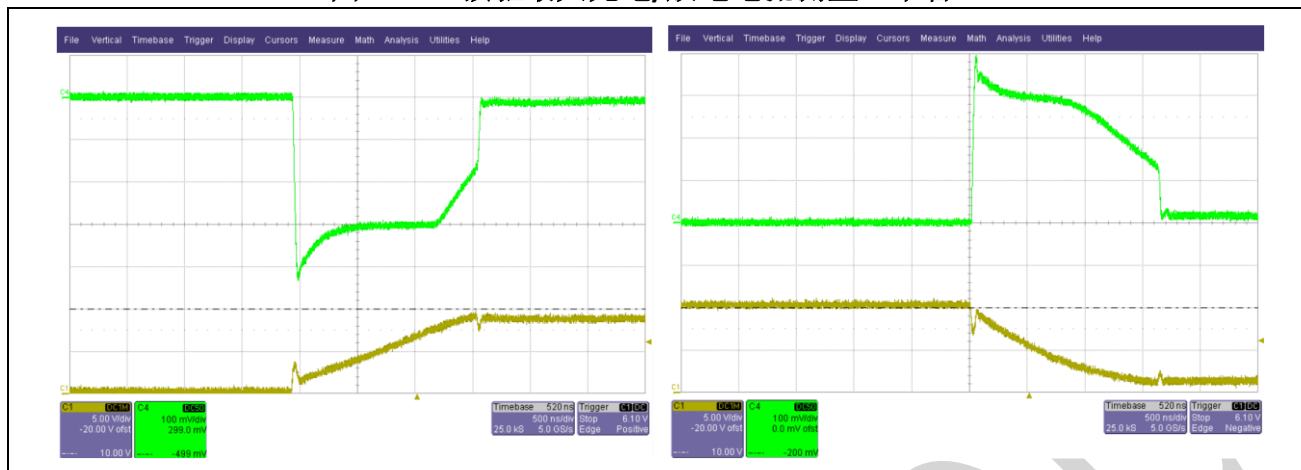
5.21 预驱特性

表 5-30：预驱特性

符号	参数	条件	最小	典型	最大	单位
V_{VBATM}	输入电源电压	—	5.5	—	28	V
V_{VBATCP}	扩展的电源电压范围	—	28	—	40	V
OUTH-VPX	预驱上管门级驱动电压- 预驱相电压	VPX = VBAT 最大驱动能力	6.75 ^[1]	9.4 ^[1]	—	V
		VPX = 0 最大驱动能力	10 ^[1]	10 ^[1]	—	V
OUTL-GND	预驱下管门级驱动电压，以 V_{SS} 为基准	VPX = VBAT 最大驱动能力	10 ^[1]	10 ^[1]	—	V
		VPX = 0 最大驱动能力	10 ^[1]	10 ^[1]	—	V
D_{MAX}	最大可支持输出占空比	—	—	100	—	%
$t_{DL,MINC}$	下管导通延迟（最小电流强度）	1nF 电容负载	—	1150	—	ns
$t_{DH,MINC}$	上管导通延迟（最小电流强度）	1nF 电容负载	—	1150	—	ns
$t_{DL,MAXC}$	下管导通延迟（最大电流强度）	1nF 电容负载	—	170	—	ns
$t_{DH,MAXC}$	上管导通延迟（最大电流强度）	1nF 电容负载	—	170	—	ns
Δt	上下管导通延迟失配	—	—	30	TBD	ns
$t_{r,MINC}$	上升时间（最小电流强度）	1nF 电容负载	—	1100	—	ns
$t_{f,MINC}$	下降时间（最小电流强度）	1nF 电容负载	—	900	—	ns
$t_{r,MAXC}$	上升时间（最大电流强度）	1nF 电容负载	—	52	—	ns
$t_{f,MAXC}$	下降时间（最大电流强度）	1nF 电容负载	—	48	—	ns
VPX_{MIN}	驱动输出最低电压	上管 PWM 信号能够传递时的最低 VPX 电压	-10	—	—	V
V_{th,ds_mon}	漏源电压检测阈值	检测阈值挡位为 1	0.24	0.3	0.36	V
$I_{Source_Max_HS}$	上管最大充电电流	$V_{VBATM} = V_{VBATCP} = 8V$ 最大电流强度	227	285	330	mA
$I_{Sink_Max_HS}$	上管最大放电电流		237	294	345	mA
$I_{Source_Max_LS}$	下管最大充电电流		229	286	336	mA
$I_{Sink_Max_LS}$	下管最大放电电流		238	294	344	mA

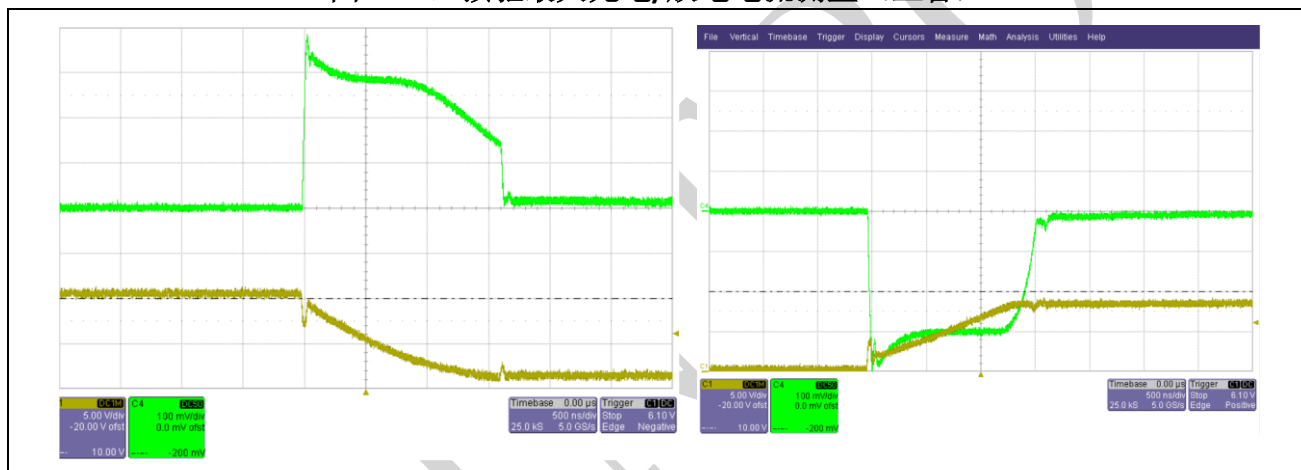
[1] 最小值对应的 $V_{VBATM} = V_{VBATCP} = 5.5V$ ；典型值对应的 $V_{VBATM} = V_{VBATCP} = 12V$ 。

图 5-15: 预驱最大充电/放电电流测量 (下管)



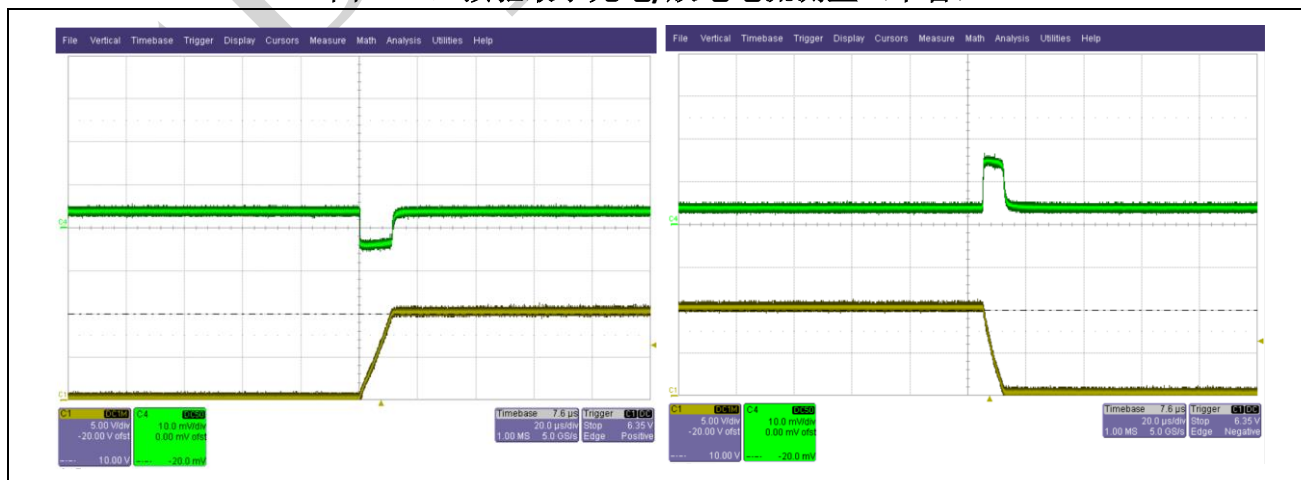
- [1] C1 通道 – 预驱输出电压, C4 通道 – 测量到的电流 (1A/1V)。
- [2] 预驱的输出对 47nF 的电容充电。

图 5-16: 预驱最大充电/放电电流测量 (上管)



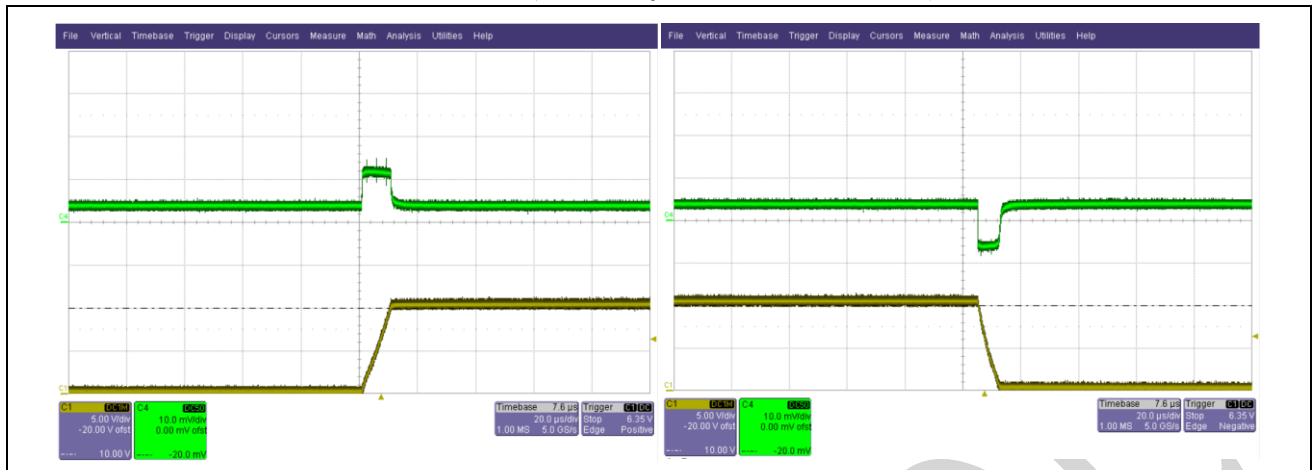
- [1] C1 通道 – 预驱输出电压, C4 通道 – 测量到的电流 (1A/1V)。
- [2] 预驱的输出对 47nF 的电容充电。

图 5-17: 预驱最小充电/放电电流测量 (下管)



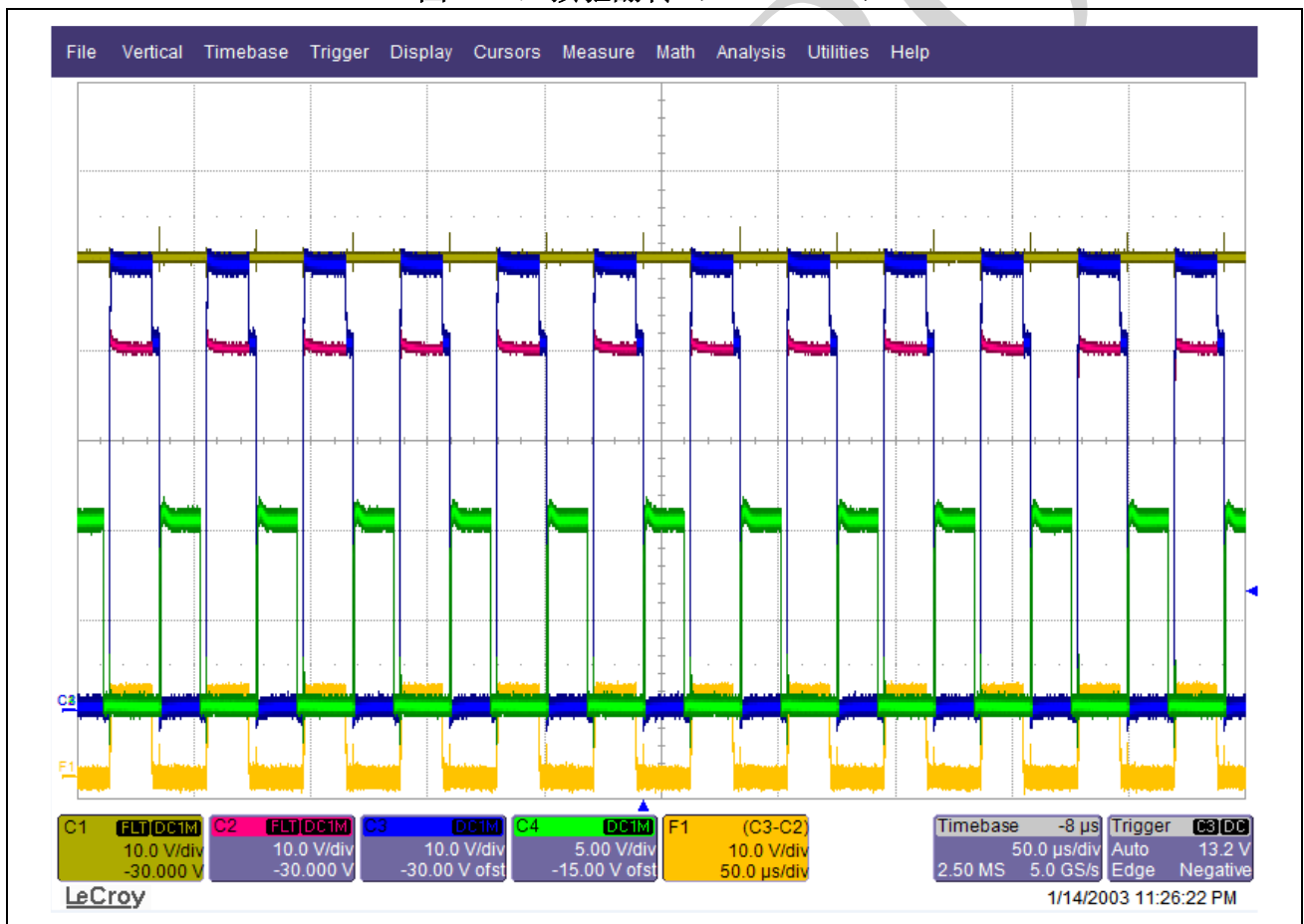
- [1] C1 通道 – 预驱输出电压, C4 通道 – 测量到的电流 (1A/1V)。
- [2] 预驱的输出对 10nF 的电容充电。

图 5-18: 预驱最小充电/放电电流测量 (上管)



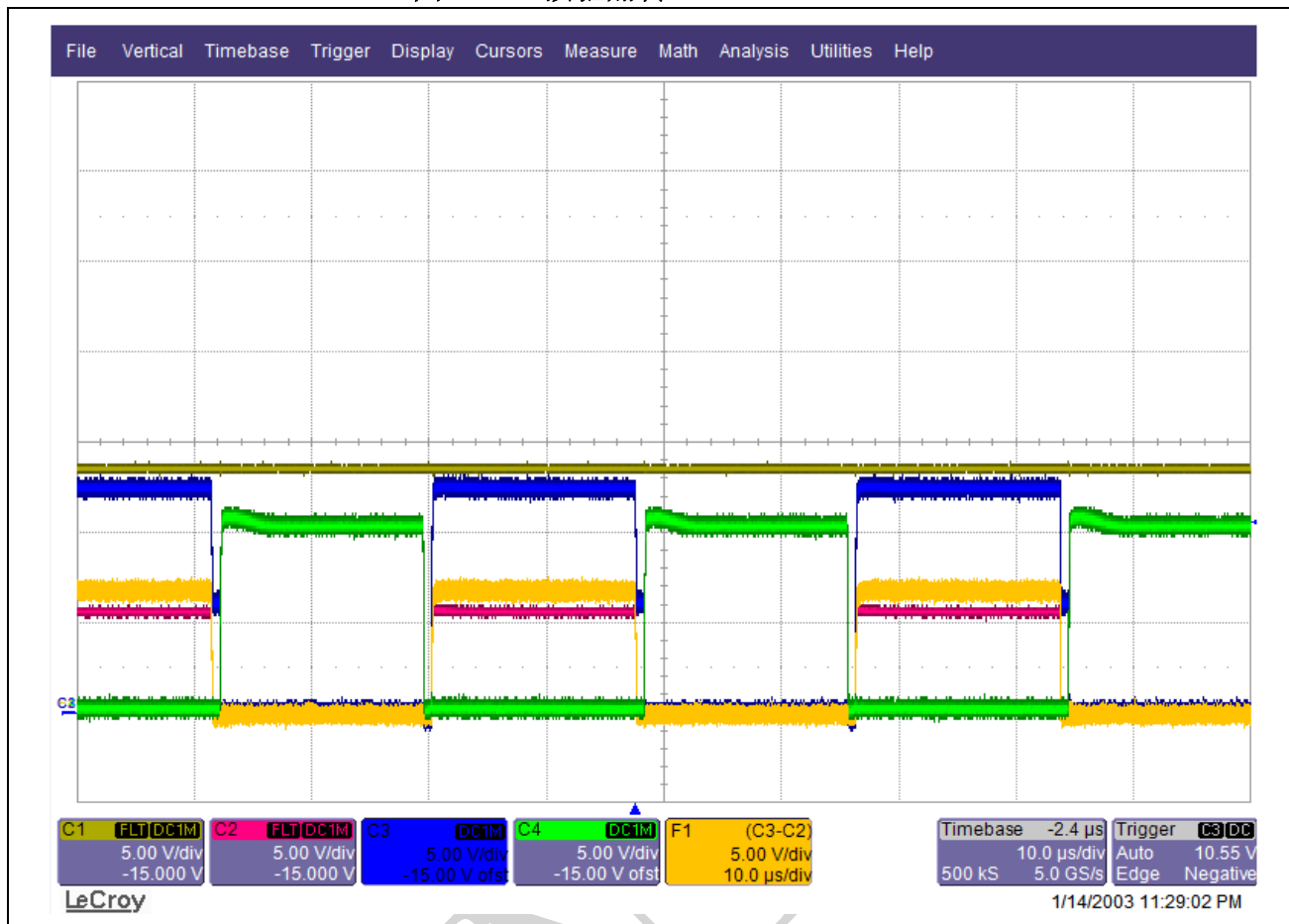
- [1] C1 通道 - 预驱输出电压, C4 通道 - 测量到的电流 (1A/1V)。
 [2] 预驱的输出对 10nF 的电容充电。

图 5-19: 预驱翻转 (VBAT = 40V)



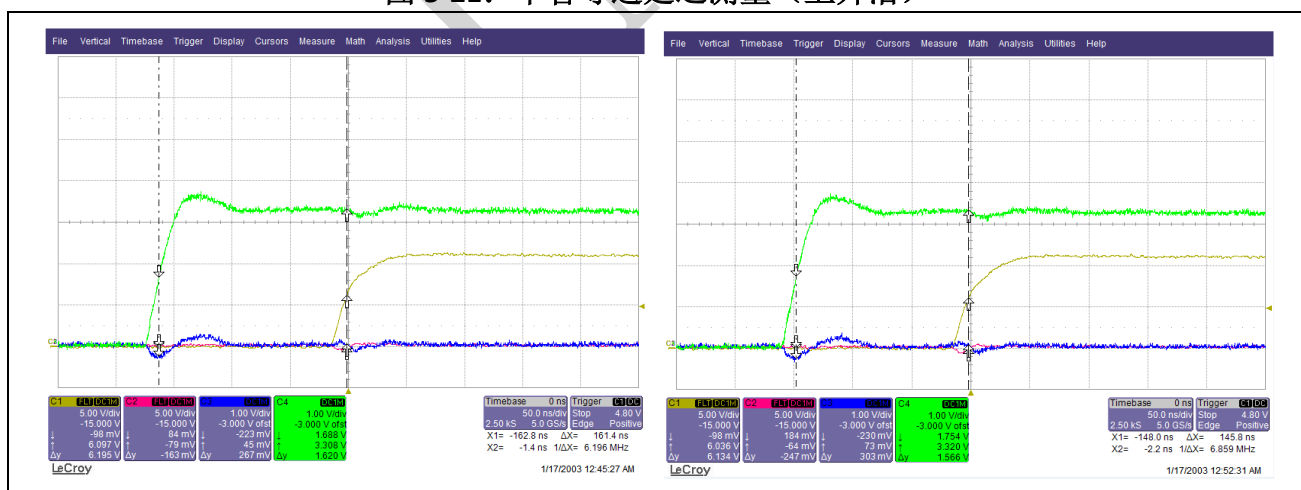
- [1] C1 通道 - VCP, C2 通道 - VPX, C3 通道 - 上管门级驱动 (OUTH), C4 通道 - 下管门级驱动 (OUTL), F1 通道 - VPX 减去上管门极驱动 OUTH (上管 VGS 电压)。

图 5-20: 预驱翻转 (VBAT = 5.5V)



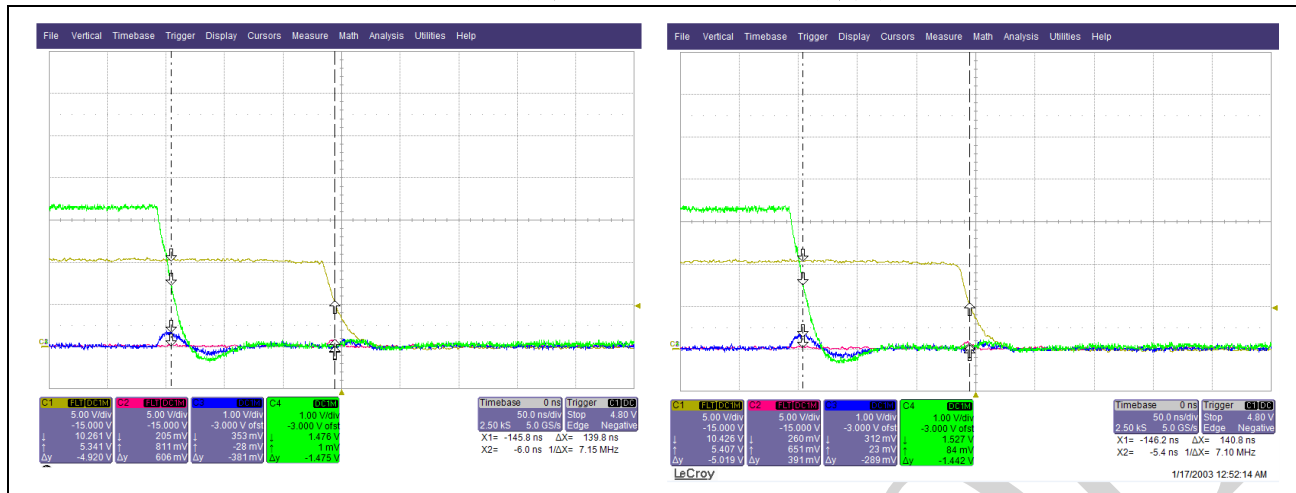
- [1] C1 通道 - VCP, C2 通道 - VPX, C3 通道 - 上管门级驱动 (OUTH), C4 通道 - 下管门级驱动 (OUTL), F1 通道 - VPX 减去上管门极驱动 OUTH (上管 VGS 电压)。

图 5-21: 下管导通延迟测量 (上升沿)



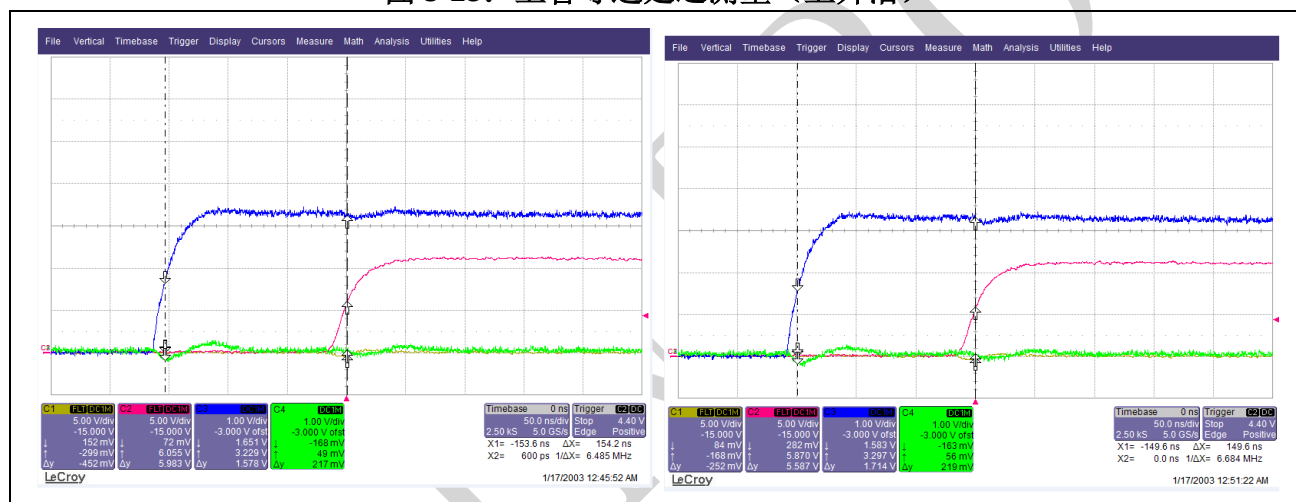
- [1] VBAT = 12V; C4 通道 - PWM 信号; C1 通道 - 下管门极驱动 (OUTL)。

图 5-22: 下管导通延迟测量 (下降沿)



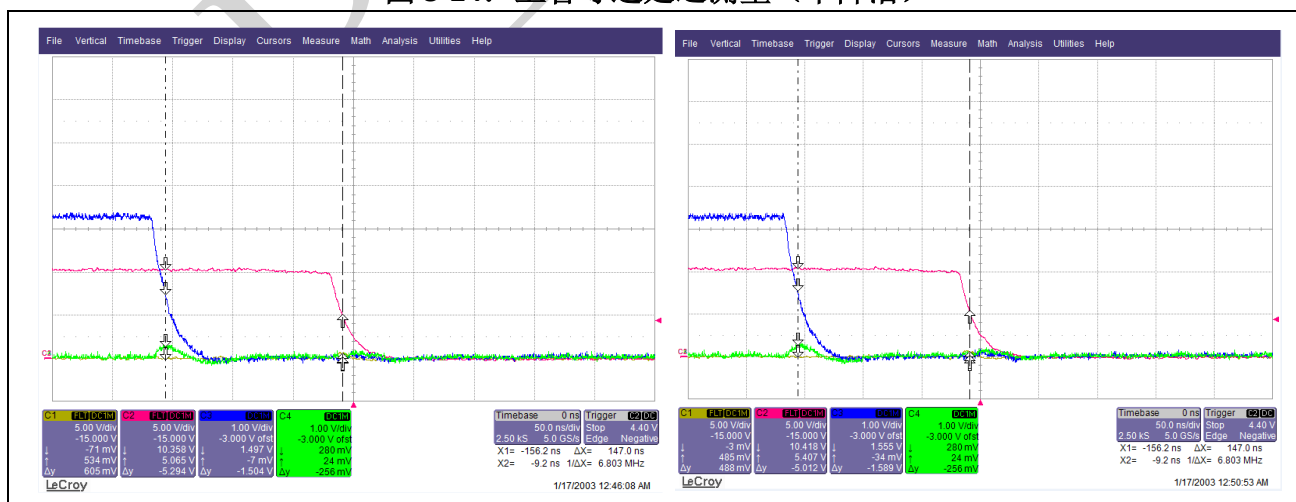
[1] VBAT=12V; C4 通道 - PWM 信号; C1 通道 - 下管门极驱动 (OUTL)。

图 5-23: 上管导通延迟测量 (上升沿)



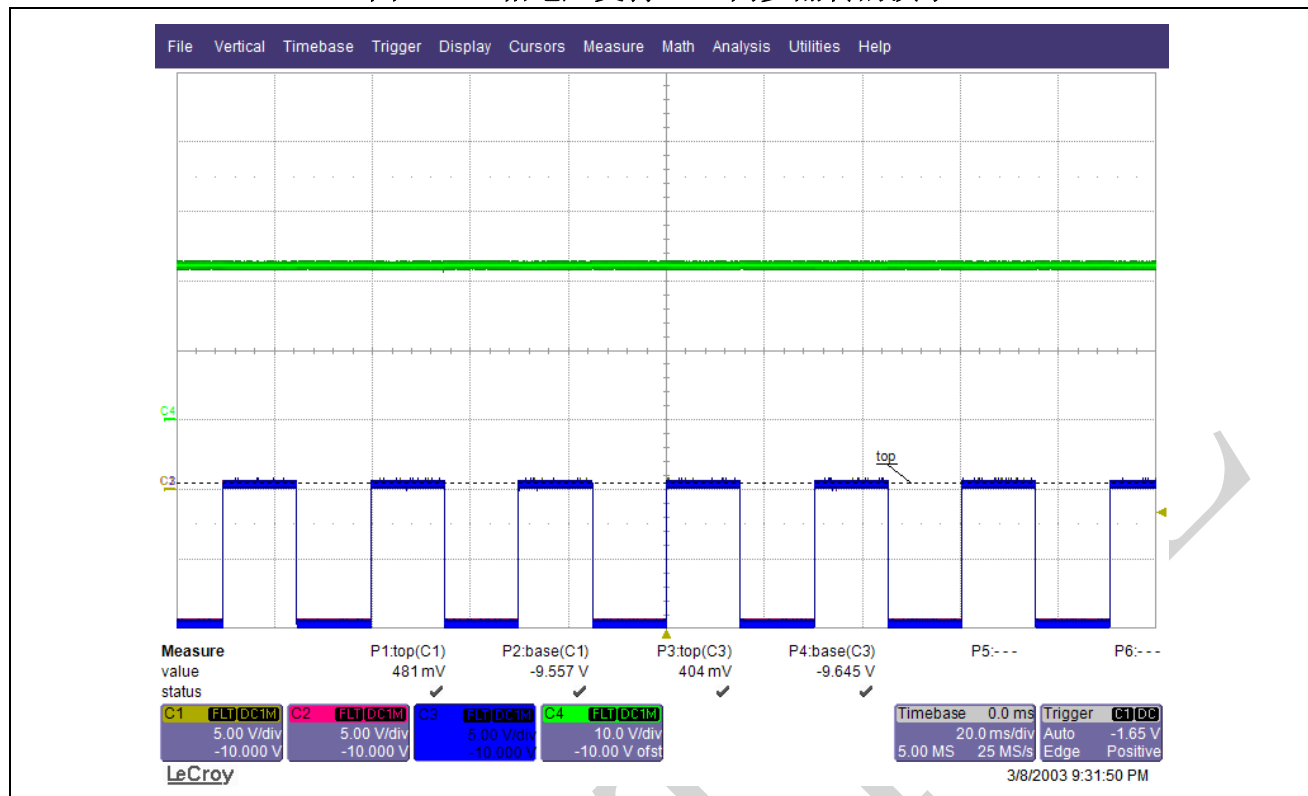
[1] VBAT=12V; C3 通道 - PWM 信号; C2 通道 - 上管门极驱动 (OUTH)。

图 5-24: 上管导通延迟测量 (下降沿)



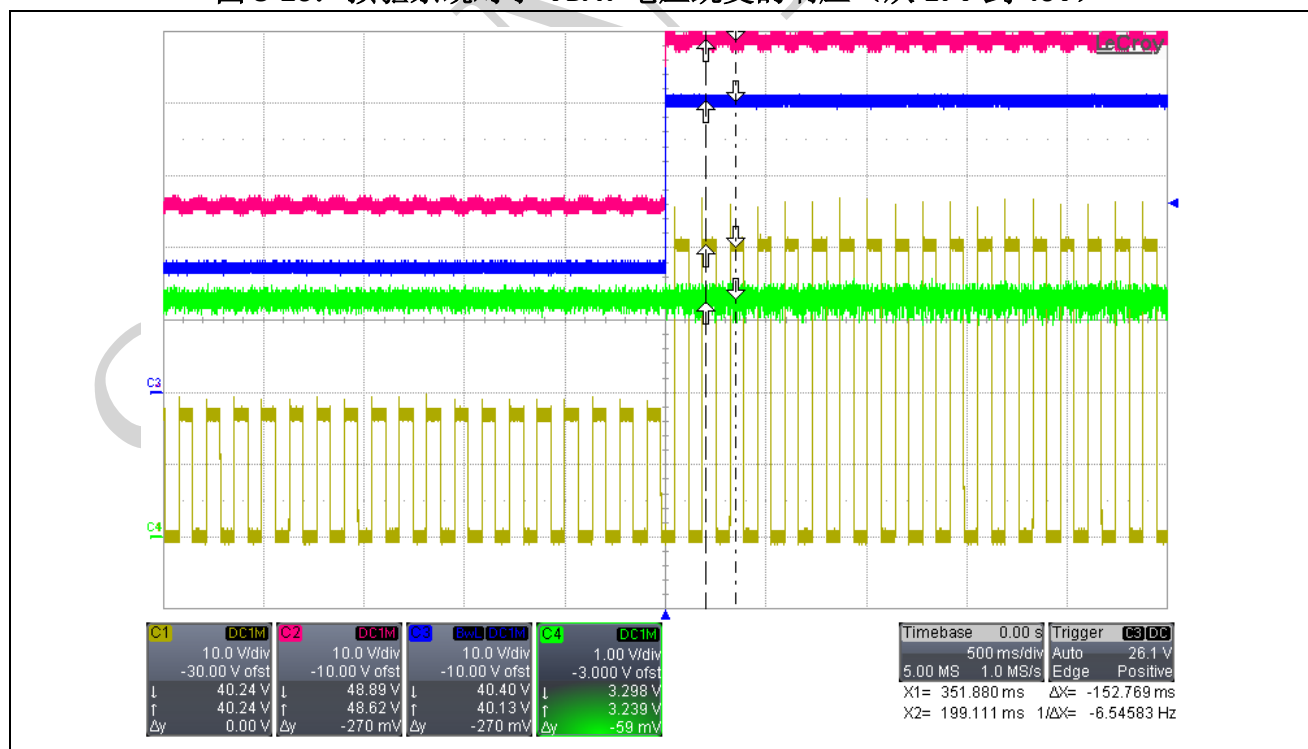
[1] VBAT=12V; C3 通道 - PWM 信号; C2 通道 - 上管门极驱动 (OUTH)。

图 5-25: 相电压支持-10V 同步翻转的演示



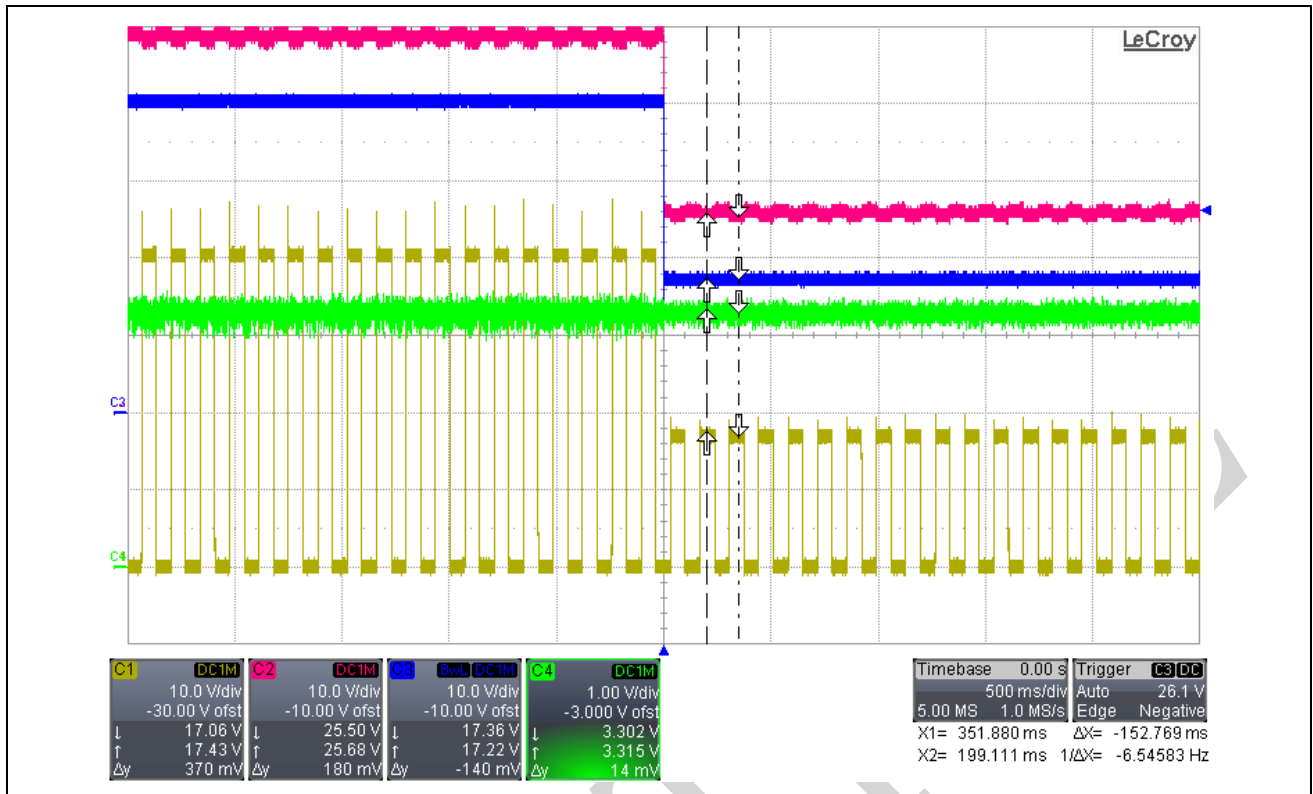
- [1] C1/C2/C3 通道 - U/V/W 相上管门极驱动 OUTH_U/V/W (在-10V 和 0.5V 之间翻转); C4 通道 - VCP。

图 5-26: 预驱系统对于 VBAT 电压跳变的响应 (从 17V 到 40V)



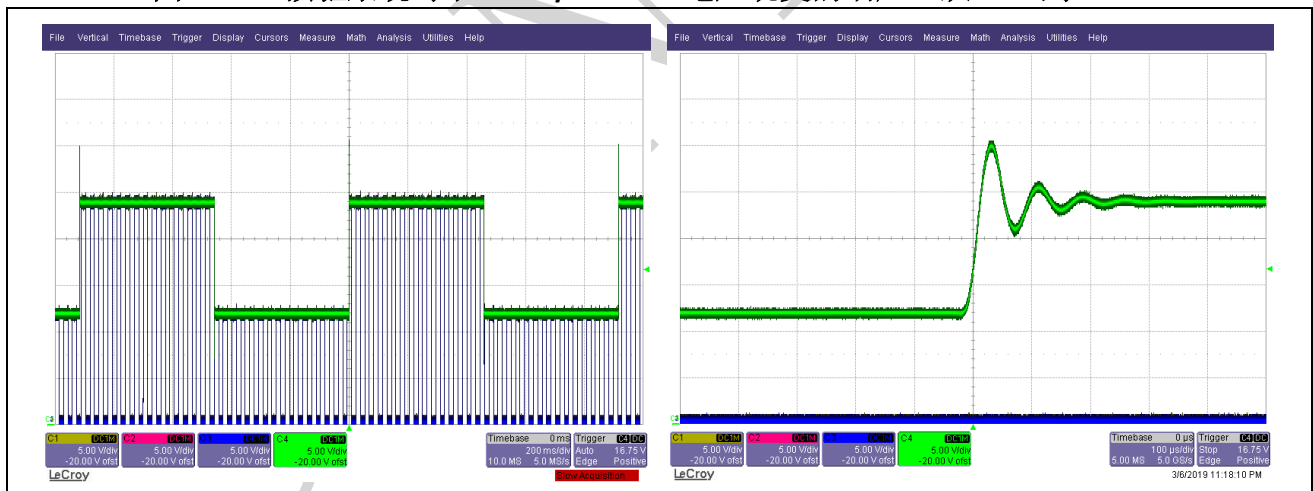
- [1] C1 通道 - VPX, C2 通道 - VCP, C3 通道 - VBAT, C4 通道 - DVDD。
[2] 所有相电压都是同步翻转的。电压在 17V 和 40V 之间跳变的压摆率 (slew rate) 是 1.2MV/s。

图 5-27: 预驱系统对于 VBAT 电压跳变的响应 (从 40V 到 17V)



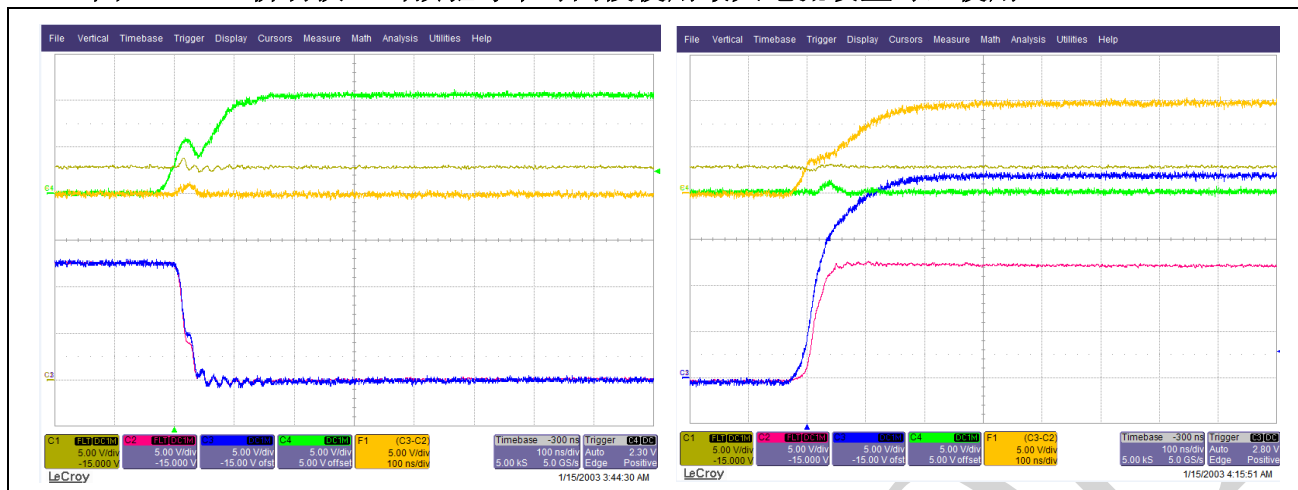
- [1] C1 通道 - VPX, C2 通道 - VCP, C3 通道 - VBAT, C4 通道 - DVDD。
[2] 所有相电压都是同步翻转的。电压在 17V 和 40V 之间跳变的压摆率 (slew rate) 是 1.2MV/s。

图 5-28: 预驱系统对于 VBAT/VBATCP 电压跳变的响应 (从 12V 到 24V)



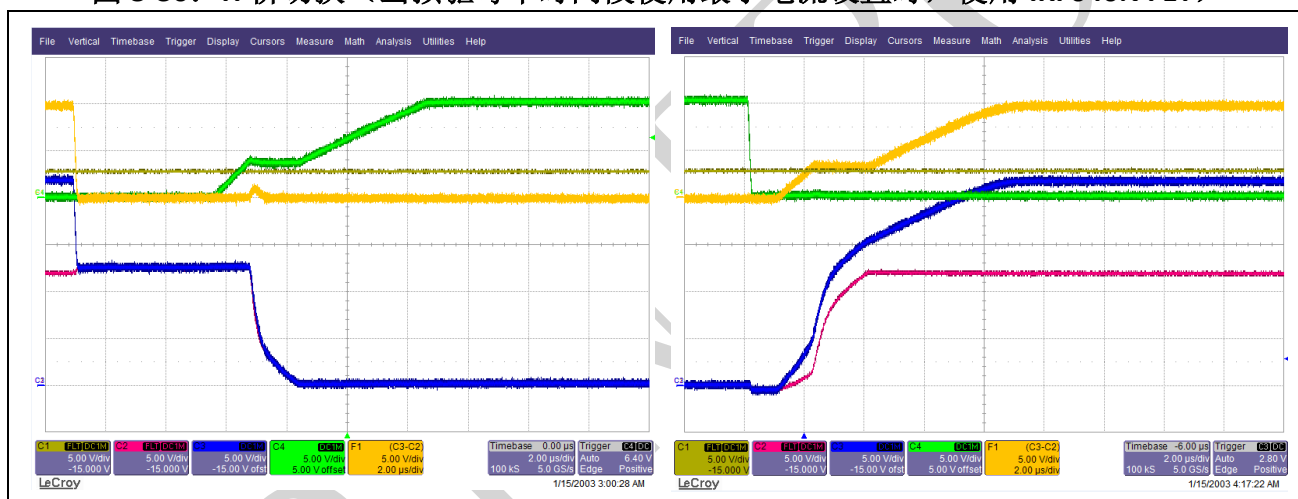
- [1] C1/C2/C3 通道 - VPX_U/V/W, C4 通道 - VBATCP。
[2] 所有相电压都是同步翻转的。电压在 12V 和 24V 之间跳变的压摆率 (slew rate) 是 1MV/s。

图 5-29: H 桥切换 (当预驱每个时间段使用最大电流设置时, 使用 IRF640N FET)



- [1] C1 - VCP, C2 - VPX, C3 - OUTH, C4 - OUTL, F1 - 上管门极驱动 OUTH 减去 VPX (上管 VGS 电压)。

图 5-30: H 桥切换 (当预驱每个时间段使用最小电流设置时, 使用 IRF640N FET)



- [1] C1 - VCP, C2 - VPX, C3 - OUTH, C4 - OUTL, F1 - 上管门极驱动 OUTH 减去 VPX (上管 VGS 电压)。

5.22 LIN 收发器特性

表 5-31: LIN 接收器特性

符号	参数	条件	最小	典型	最大	单位
V _{VBAT}	供电电压	—	5.5	—	28	V
	扩展的供电电压范围	—	28	—	40	V
V _{BUS_REC}	接收器隐性状态	LIN SPEC 2.2 (Par. 18)	0.6	—	—	V _{VBAT}
V _{BUS_DOM}	接收器显性状态	LIN SPEC 2.2 (Par. 17)	—	—	0.4	V _{VBAT}
V _{BUS_CNT}	接收器中间点电压	LIN SPEC 2.2 (Par. 19)	0.475	0.5	0.525	V _{VBAT}
V _{HYS}	接收器迟滞	LIN SPEC 2.2 (Par. 20)	0.07	0.12	0.175	V _{VBAT}
t _{RX_PD(L)}	传输延迟 (总线显性到 RxD 为低)	LIN Spec 2.2 (Par. 31)	0.1	—	6.0	us
t _{RX_PD(H)}	传输延迟 (总线隐性到 RxD 为高)	LIN Spec 2.2 (Par. 31)	0.1	—	6.0	us
t _{RX_SYM}	接收器延迟对称性	t _{RX_SYM} = t _{RX_PD(L)} - t _{RX_PD(H)} LIN Spec 2.2 (Par. 32)	-2.0	—	2.0	us

表 5-32: LIN 唤醒特性

符号	参数	条件	最小	典型	最大	单位
V _{VBAT}	供电电压	—	5.5	—	28	V
	扩展的供电电压范围	—	28	—	40	V
V _{TH_WK}	唤醒阈值	T _J = -40 ~ 150 °C	0.475	0.52	0.55	V _{VBAT}
V _{TH_WK_HYST}	唤醒迟滞	T _J = -40 ~ 150 °C	0.04	0.07	0.10	V _{VBAT}
t _{WK_FILT_ANA} ^[1]	唤醒滤波时间 (内部模拟滤波器延迟)	—	—	3.83	—	us

[1] LIN 唤醒所需的显性电平时间最小为 t_{WK_FILT_ANA} + 数字滤波时间 (> 100us)。

表 5-33: LIN 发送器特性

符号	参数	条件	最小	典型	最大	单位
V _{VBAT}	供电电压	—	5.5	—	28	V
	扩展的供电电压范围	—	28	—	40	V
V _{BUS_REC_OUT}	总线隐性输出电压	5.5V ≤ V _{VBAT} ≤ 28V	0.8	—	—	V _{VBAT}
V _{BUS_DOM_OUT}	总线显性输出电压	7V ≤ V _{VBAT} ≤ 28V	—	—	0.2	V _{VBAT}
		5.5V ≤ V _{VBAT} < 7V	—	—	0.223	V _{VBAT}
I _{BUS_LIM}	总线短路电流	LIN Spec 2.2 (Par. 12)	40.0	—	150.0	mA
t _{BUS_Short_filt}	总线短路滤波时间	—	—	9	—	us
I _{BUS_NO_GND}	漏电流 (接地损耗)	LIN Spec 2.2 (Par. 15)	-1000	-425.8	1000	uA
I _{BUS_NO_BAT}	漏电流	LIN Spec 2.2 (Par. 16)	—	9.36	23.0	uA
I _{BUS_PAS_dom}	漏电流	LIN Spec 2.2 (Par. 13)	-1.0	-0.545	—	mA
I _{BUS_PAS_rec}	漏电流	LIN Spec 2.2 (Par. 14)	—	6.23	20.0	uA
R _{slave}	总线上拉电阻	LIN Spec 2.2 (Par. 26)	20.0	32.3	47.0	kΩ
D1 ^[1]	占空比 D1 正常斜率模式 (最坏情形为 20 kbit/s)	LIN Spec 2.2 (Par. 27) 1k 上拉电阻 1nF 负载电容 或者 0.5k 上拉电阻	0.396	—	—	—

符号	参数	条件	最小	典型	最大	单位
		10nF 负载电容				
D2 ^[2]	占空比 D2 正常斜率模式（最坏情形为 20 kbit/s）	LIN Spec 2.2 (Par. 28) 1k 上拉电阻 1nF 负载电容 或者 0.5k 上拉电阻 10nF 负载电容	—	—	0.581	—
D3 ^[3]	占空比 D3 （最坏情形为 10.4 kbit/s）	LIN Spec 2.2 (Par. 29) 1k 上拉电阻 1nF 负载电容 或者 0.5k 上拉电阻 10nF 负载电容	0.417	—	—	—
D4 ^[4]	占空比 D4 （最坏情形为 10.4 kbit/s）	LIN Spec 2.2 (Par. 30) 1k 上拉电阻 1nF 负载电容 或者 0.5k 上拉电阻 10nF 负载电容	—	—	0.590	—
D5 ^{[5][7]}	占空比 D5 （最坏情形为 115 kbit/s） 接收器延迟对称性增加 1 μ s	0.5k 上拉电阻 1nF 负载电容	0.390	—	—	—
D6 ^{[6][7]}	占空比 D6 （最坏情形为 115 kbit/s） 接收器延迟对称性增加 1 μ s	0.5k 上拉电阻 1nF 负载电容	—	—	0.610	—
C _{LIN_IN}	LIN 输入电容	—	—	15	30.0	pF
t _{timeout}	TxD 显性超时	V _{TxD} = 0 V	—	12.4	—	ms
T _{j_SD}	热关断温度	—	140	160	180	°C
DT	热关断迟滞	—	—	10	—	°C

[1] THRec(max) = 0.744 × VS; THDom(max) = 0.581 × VS; V_{VBAT} = 5.5 ~ 18 V; t_{bit} = 50 μ s; D1 = t_{bus_rec}(min)/2 t_{bit};

[2] THRec(min) = 0.422 × VS; THDom(min) = 0.284 × VS; V_{VBAT} = 5.5 ~ 18 V; t_{bit} = 50 μ s; D1 = t_{bus_rec}(max)/2 t_{bit};

[3] THRec(max) = 0.778 × VS; THDom(max) = 0.616 × VS; V_{VBAT} = 5.5 ~ 18 V; t_{bit} = 96 μ s; D1 = t_{bus_rec}(min)/2 t_{bit};

[4] THRec(min) = 0.389 × VS; THDom(min) = 0.251 × VS; V_{VBAT} = 5.5 ~ 18 V; t_{bit} = 96 μ s; D1 = t_{bus_rec}(max)/2 t_{bit};

[5] THRec(max) = 0.744 × VS; THDom(max) = 0.581 × VS; V_{VBAT} = 13.5 V; t_{bit} = 8.7 μ s; D1 = t_{bus_rec}(min)/2 t_{bit};

[6] THRec(min) = 0.422 × VS; THDom(min) = 0.284 × VS; V_{VBAT} = 13.5 V; t_{bit} = 8.7 μ s; D1 = t_{bus_rec}(max)/2 t_{bit};

[7] D5~D6 总线负载条件: 0.5k 上拉电阻, 1nF 负载电容。

5.23 SPI 特性

表 5-34: SPI 特性

符号	参数	条件	最小	典型	最大	单位
f_{SCLK}	SCLK 时钟频率	—	—	—	50	MHz
$t_{\text{SCLK(H)}}$	SCLK 时钟高电平时间	—	10	—	—	ns
$t_{\text{SCLK(L)}}$	SCLK 时钟低电平时间	—	10	—	—	ns
SPI 主机模式						
$t_{\text{V(MO)}}$	数据输出有效时间	—	—	—	9.5	ns
$t_{\text{H(MO)}}$	数据输出保持时间	—	3.9	—	—	ns
$t_{\text{SU(MI)}}$	数据输入建立时间	—	6	—	—	ns
$t_{\text{H(MI)}}$	数据输入保持时间	—	2	—	—	ns
SPI 从机模式						
$t_{\text{SU(SFRM)}}$	SFRM 使能建立时间	—	5.6	—	—	ns
$t_{\text{H(SFRM)}}$	SFRM 使能保持时间	—	1.5	—	—	ns
$t_{\text{A(SO)}}$	数据输出访问时间	—	4	—	10	ns
$t_{\text{DIS(SO)}}$	数据输出禁能时间	—	4	—	10	ns
$t_{\text{V(SO)}}$	数据输出有效时间	—	—	—	9.5	ns
$t_{\text{H(SO)}}$	数据输出保持时间	—	3.9	—	—	ns
$t_{\text{SU(SI)}}$	数据输入建立时间	—	6	—	—	ns
$t_{\text{H(SI)}}$	数据输入保持时间	—	2	—	—	ns

5.24 MON 特性

表 5-35: MON 特性

符号	参数	条件	最小	典型	最大	单位
V_{VBAT}	供电电压	—	5.5	—	28	V
	扩展的供电电压范围	—	28	—	40	V
$V_{\text{TH}}^{[1]}$	唤醒/监测阈值电压	—	0.48	0.50	0.53	V_{VBAT}
$V_{\text{TH_HYST}}^{[1]}$	阈值迟滞	—	0.04	0.065	0.08	V_{VBAT}
I_{PU}	上拉电流	$0.4 * V_{\text{VBAT}}$	-20	-10	-1	uA
I_{PD}	下拉电流	$0.6 * V_{\text{VBAT}}$	1	10	20	uA
I_{IK}	输入漏电流	$0\text{V} < V_{\text{MON}} < 28\text{V}$ $5.5\text{V} < V_{\text{VBAT}} < 28\text{V}$	-2	—	2	uA
I_{on}	工作电流	$T_{\text{J}} = -40 \sim 150\text{ }^{\circ}\text{C}$	—	1.7	4	uA
$I_{\text{off}}^{[2]}$	关闭电流	—	—	10	300	nA
$t_{\text{WK_FILT_ANA}}^{[3]}$	唤醒滤波时间（内部模拟滤波器延迟）	—	—	3.55	—	us

[1] 没有外部串联电阻 R_{S} （如果有外部串联电阻 R_{S} ： $\Delta V = I_{\text{PD}} * R_{\text{S}}$ 或者 $\Delta V = I_{\text{PU}} * R_{\text{S}}$ ）。

[2] 该项目不在量产中测试，设计保证。

[3] MON 唤醒所需的最小时间为： $t_{\text{WK_FILT_ANA}} + \text{数字滤波时间} (> 50\mu\text{s})$ 。

5.25 DVDD5 特性

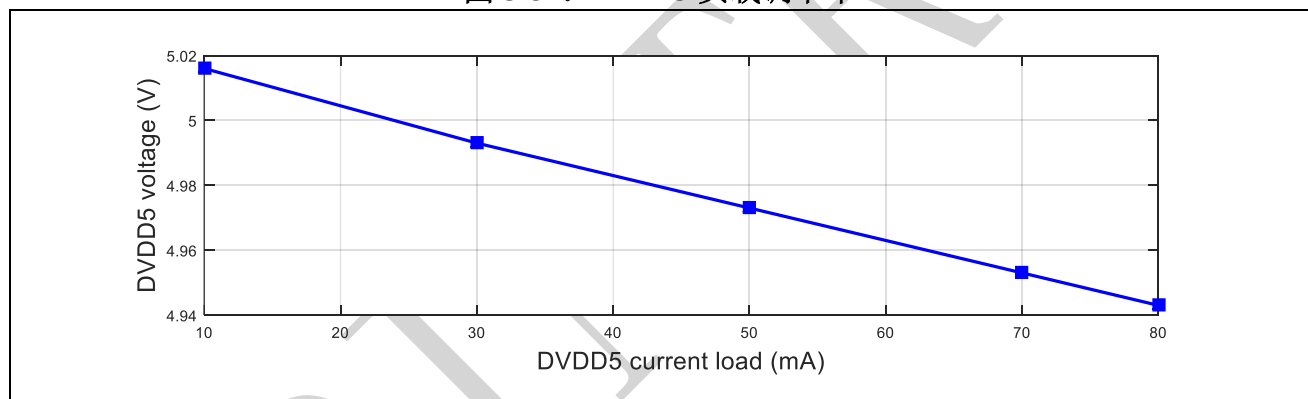
表 5-36: DVDD5 特性

符号	参数	条件	最小	典型	最大	单位
V _{VBAT}	供电电压	—	5.5	—	28	V
	扩展的供电电压范围	—	28	—	40	V
C _{load} ^[1]	负载电容	—	2.2	—	4.7	uF
I _{load}	负载电流 (active 模式)	—	—	—	80	mA
V _{out_trim}	标定步长 (active 模式)	—	—	66.67	—	mV
V _{out}	输出电压 (active 模式)	—	—	5	—	V
dV _{load}	负载调节率 (active 模式)	—	—	68	250	mV
I _{oc}	过流阈值 (active 模式)	—	81	151	312	mA
V _{out} ^[2]	输出电压 (stop 模式)	—	—	4.45	—	V
I _{load,stop} ^[2]	驱动能力 (stop 模式)	V _{BAT} =5.5V	—	8	—	mA
		V _{BAT} =40V	—	16	—	mA

[1] 该项目不在量产中测试，设计保证。

[2] 仅可驱动芯片内部负载。

图 5-31: DVDD5 负载调节率



5.26 DVDD33 特性

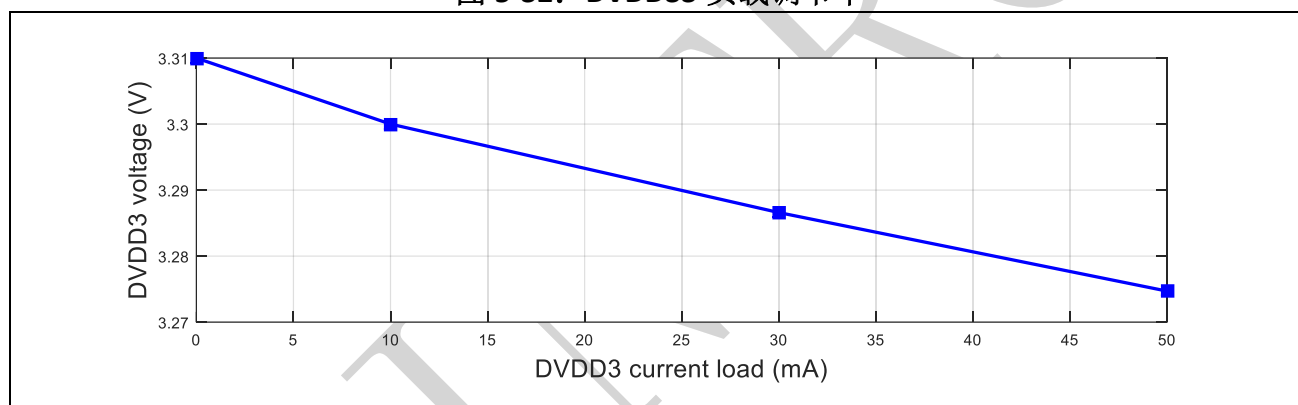
表 5-37: DVDD33 特性

符号	参数	条件	最小	典型	最大	单位
V _{VBAT}	供电电压	—	5.5	—	28	V
	扩展的供电电压范围	—	28	—	40	V
C _{load} ^[1]	负载电容	—	2.2	—	4.7	uF
I _{load}	负载电流 (active 模式)	—	—	—	50	mA
V _{out_trim}	标定步长 (active 模式)	—	—	44	—	mV
V _{out}	输出电压 (active 模式)	—	—	3.3	—	V
dV _{load}	负载调节率 (active 模式)	—	—	38.65	66	mV
I _{oc}	过流阈值 (active 模式)	—	53	100	211	mA
V _{out}	输出电压 (stop 模式)	—	—	2.88	—	V
I _{load,stop} ^[2]	驱动能力 (stop 模式)	—	2.57	4.05	6.57	mA

[1] 该项目不在量产中测试，设计保证。

[2] 仅可驱动芯片内部负载。

图 5-32: DVDD33 负载调节率



5.27 VCAP12 特性

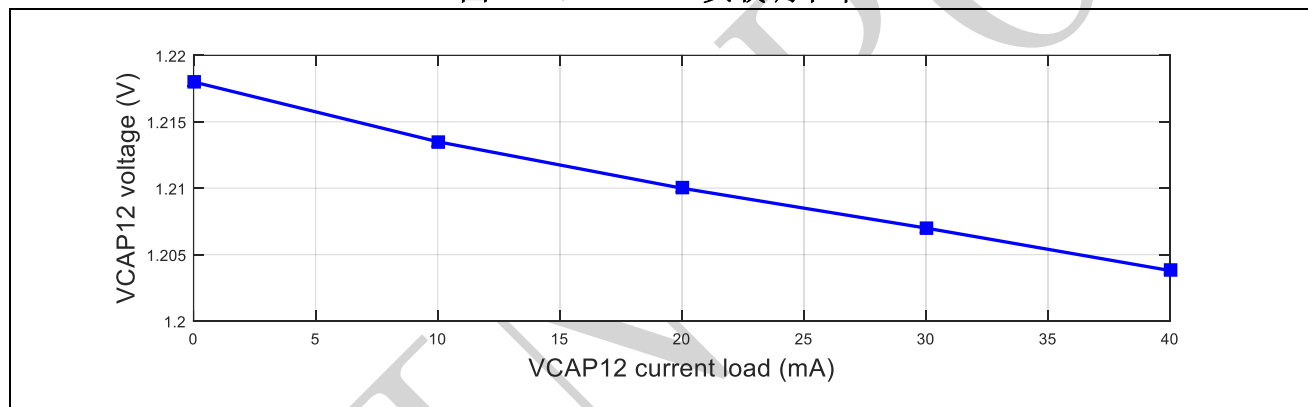
表 5-38: VCAP12 特性

符号	参数	条件	最小	典型	最大	单位
V _{VBAT}	供电电压	—	5.5	—	28	V
	扩展的供电电压范围	—	28	—	40	V
C _{load} ^[1]	负载电容	—	1	2.2	4.7	uF
I _{load}	负载电流 (active 模式)	—	—	—	40	mA
V _{out_trim}	标定步长 (active 模式)	—	—	20	—	mV
V _{out}	输出电压 (active 模式)	—	—	1.2	—	V
dV _{load}	负载调节率 (active 模式)	—	—	14	40	mV
I _{oc}	过流阈值 (active 模式)	—	60	81.5	107	mA
V _{out} ^[2]	输出电压 (stop 模式)	—	—	1.025	—	V

[1] 该项目不在量产中测试，设计保证。

[2] 仅可驱动芯片内部负载。

图 5-33: VCAP12 负载调节率



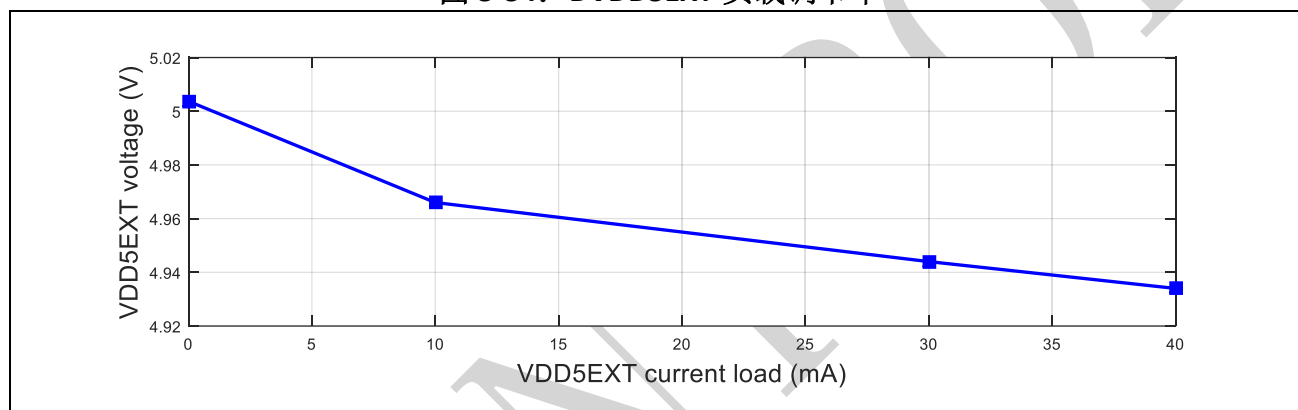
5.28 DVDD5EXT 特性

表 5-39: DVDD5EXT 特性

符号	参数	条件	最小	典型	最大	单位
V_{VBAT}	供电电压	—	5.5	—	28	V
	扩展的供电电压范围	—	28	—	40	V
$C_{load}^{[1]}$	负载电容	—	1	2.2	4.7	uF
I_{load}	负载电流 (active 模式)	—	—	—	40	mA
V_{out_trim}	标定步长 (active 模式)	—	—	66.67	—	mV
V_{out}	输出电压 (active 模式)	—	—	5	—	V
dV_{load}	负载调节率 (active 模式)	—	—	69.7	123	mV
I_{oc}	过流阈值 (active 模式)	—	45	77.33	170	mA

[1] 该项目不在量产中测试，设计保证。

图 5-34: DVDD5EXT 负载调节率



5.29 Flash 存储器特性

除非特别说明，否则所有特性均在 $T_J = -40 \sim 150\text{ }^{\circ}\text{C}$ 条件下测得。

表 5-40: Flash 存储器特性

符号	参数	条件	最小	最大	单位
t_{RD}	读访问时间	—	35	—	ns
t_{PROG}	字（64 位）编程时间	—	38	42	us
t_{SE}	扇区擦除时间	—	3.2	4	ms
t_{CE}	整体擦除时间	—	16	20	ms
N_{END}	可擦写次数	$T_J = 85\text{ }^{\circ}\text{C}$	100000	—	cycles
t_{RET}	数据保存期限	$T_J = 85\text{ }^{\circ}\text{C}$	20	—	years

5.30 电气敏感性特性

表 5-41: ESD 绝对最大值

符号	参数	条件		最大	单位
V _{ESD(HBM)}	静电放电电压（人体模型）	环境温度 T _A = 25 °C	LIN 引脚	8000	V
			VBAT 引脚	4000	V
			VBATM 引脚		
			VBATCP 引脚		
			MON 引脚	2000	V
其他引脚					
V _{ESD(CDM)}	静电放电电压（带电设备模型）	环境温度 T _A = 25 °C	—	500	V
			拐角管脚	750	V

表 5-42: 电气敏感性

符号	参数	条件	最大	单位
LU	静态门锁	环境温度 $T_A = 125\text{ }^{\circ}\text{C}$ $V_{VBAT}=V_{VBATM}=V_{VBATCP}=40\text{V}$, $V_{DVDD5} = 5.5\text{V}$, $V_{DVDD33} = 3.63\text{V}$, $V_{VCAP12} = 1.32\text{V}$	100	mA

5.31 湿度敏感性特性

表 5-43: 湿度敏感性特性

符号	参数	条件	最大	单位
MSL	湿度敏感性等级	—	3 级	-

5.32 热阻特性

表 5-44: 热阻特性（QFN48 封装）

符号	参数	条件	典型值	单位
θ_{JC}	芯片的热源结到封装外壳的热阻	—	5.5	$^{\circ}\text{C/W}$
θ_{JA}	芯片的热源结到周围冷却空气的热阻	2 层 PCB 板 ^[1] PCB 含铜量: 顶层=60%，底层=80%	34.0	$^{\circ}\text{C/W}$

[1] PCB 测试板的尺寸为 110mm x 110mm x 1.6mm。

表 5-45：热阻特性（QFN56 封装）

符号	参数	条件	典型值	单位
θ_{JC}	芯片的热源结到封装外壳的热阻	—	6.6	°C/W
θ_{JA}	芯片的热源结到周围冷却空气的热阻	4 层 PCB 板 ^[1] PCB 含铜量： 顶层=20%，二/三层=100% 底层=5%	28.0	°C/W

[1] PCB 测试板的尺寸为 76.2mm x 114.3mm x 1.6mm。

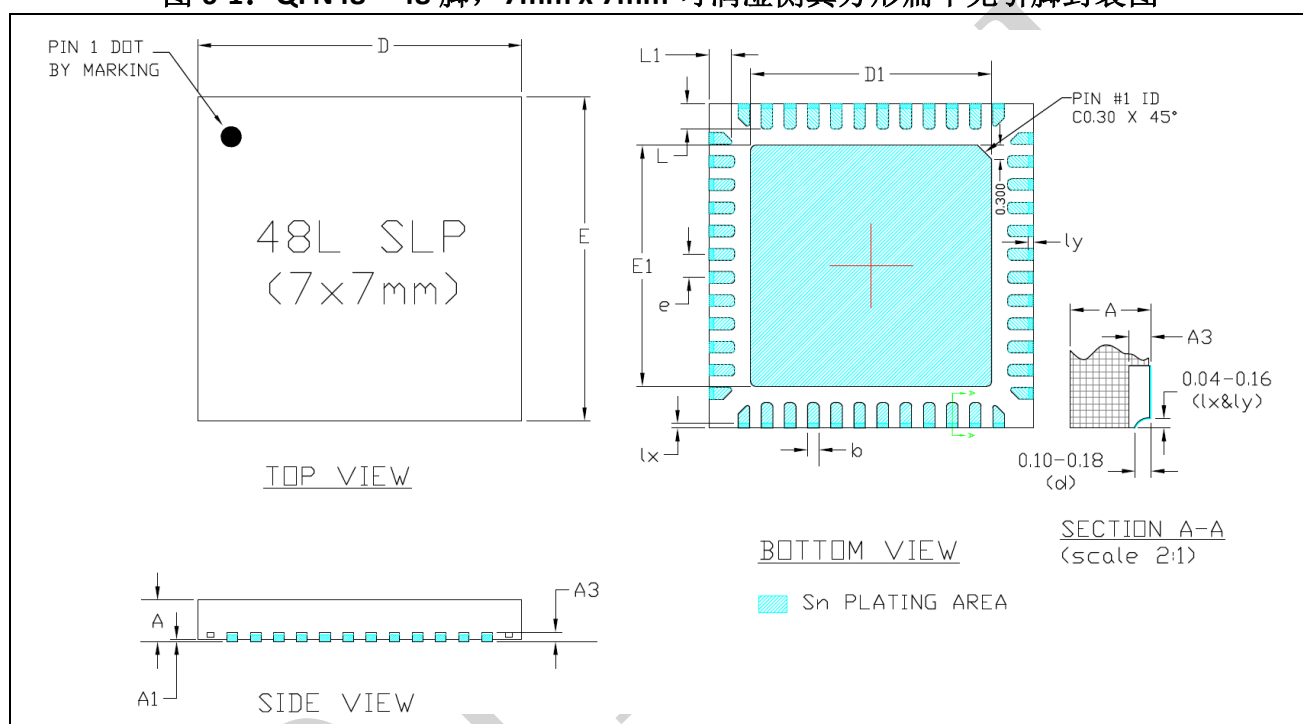
6 封装信息

SPD1179/SPD1176 的封装类型是 48 脚可润湿侧翼方形扁平无引脚封装（Wettable Flank QFN）或者 56 脚方形扁平无引脚封装。具体信息如下：

6.1 QFN48（可润湿侧翼）

6.1.1 封装规格

图 6-1：QFN48 – 48 脚，7mm x 7mm 可润湿侧翼方形扁平无引脚封装图

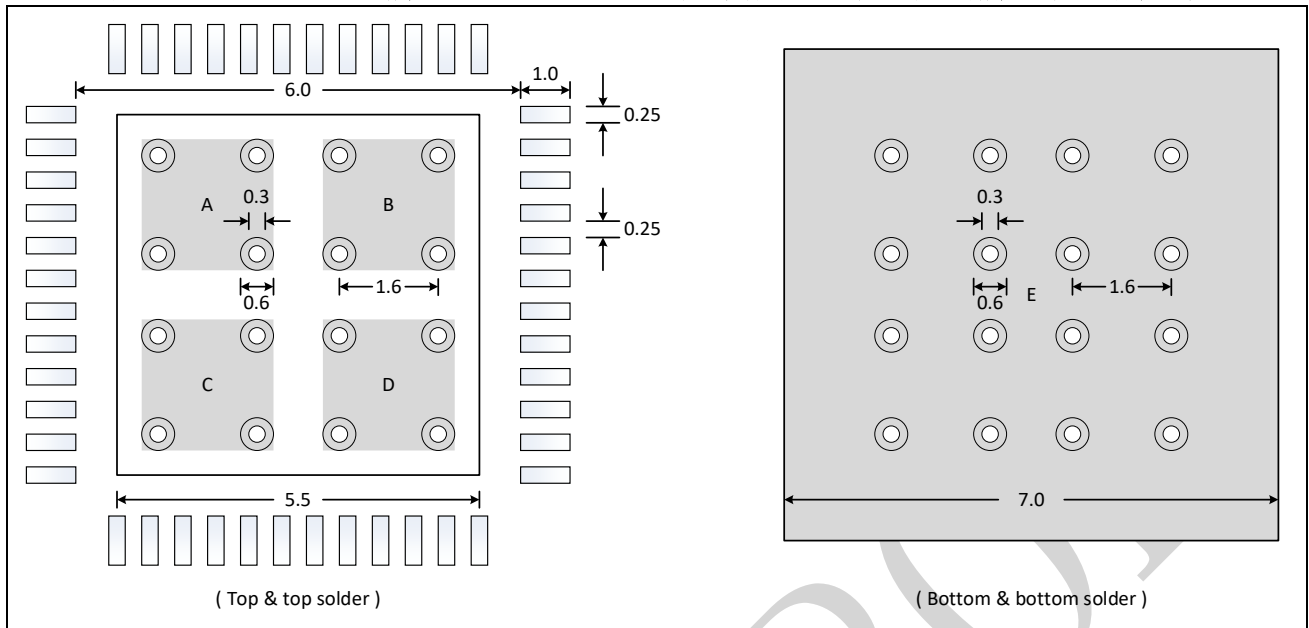


[1] 图纸未按比例绘制。

表 6-1：QFN48 – 48 脚，7mm x 7mm 可润湿侧翼方形扁平无引脚封装机械数据

符号	毫米		
	最小	典型	最大
A	0.80	0.85	0.90
A1	0.00	—	0.05
A3	0.203 REF		
D	6.95	7.00	7.05
E	6.95	7.00	7.05
D1	5.15	5.20	5.25
E1	5.15	5.20	5.25
b	0.20	0.25	0.30
L	0.50	0.55	0.60
L1	0.43	0.48	0.53
e	0.50 BSC		

图 6-2: QFN48 – 48 脚, 7mm x 7mm 可润湿侧翼方形扁平无引脚封装建议尺寸

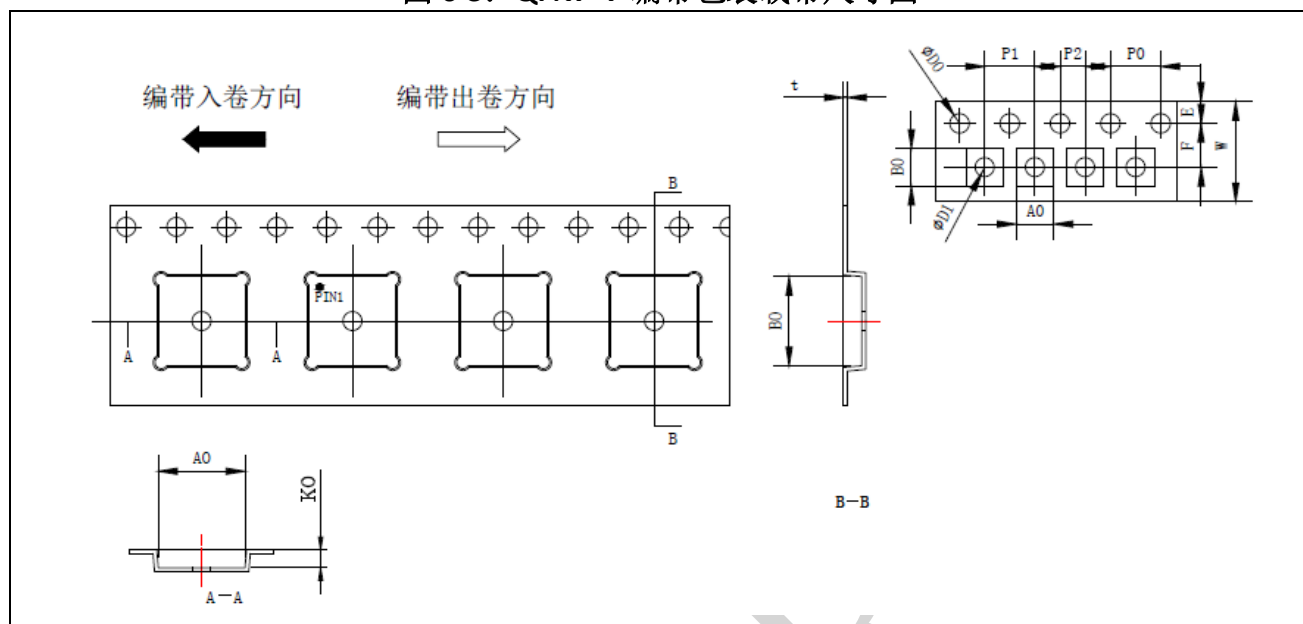


[1] 单位: 毫米。

[2] 上层 A、B、C、D 四个区域需要刷焊锡膏, 下层 E 区域无特别要求。

6.1.2 包装规格

图 6-3: QFN7*7 编带包装载带尺寸图



[1] 图纸未按比例绘制。

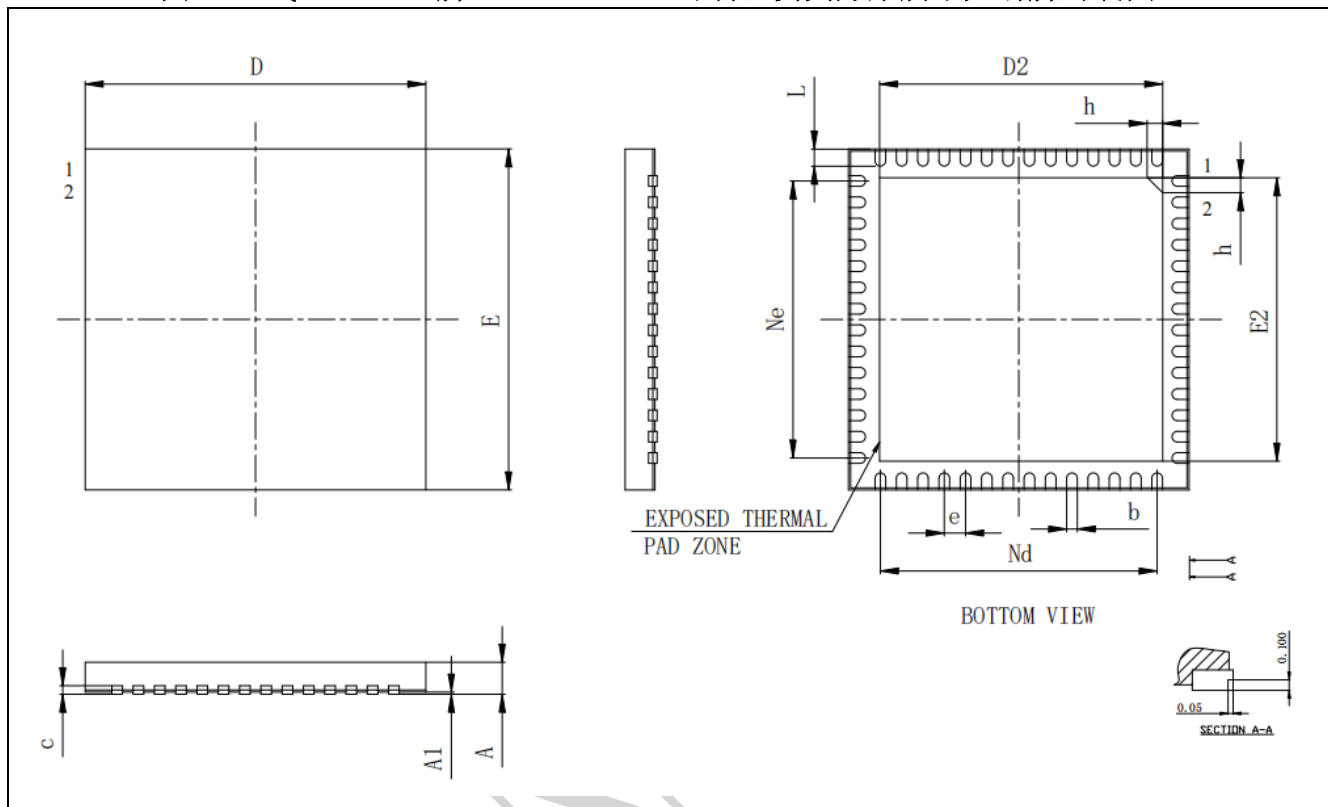
表 6-2: 编带包装尺寸

规格	W	E	F	D0	D1	P0	P2	10P0
尺寸	16.00 ±0.30	1.75 ±0.10	7.50 ±0.10	1.50 ±0.10	1.50 ±0.10	4.00 ±0.10	2.00 ±0.10	40.00 ±0.20
规格	P1	A0	A1	B0	B1	K0	K1	t
尺寸	12.00 ±0.10	7.25 ±0.10		7.25 ±0.10		1.20 ±0.10		0.30 ±0.05

6.2 QFN56（可润湿侧翼）

6.2.1 封装规格

图 6-4：QFN56 – 56 脚，8mm x 8mm 可润湿侧翼方形扁平无引脚封装图



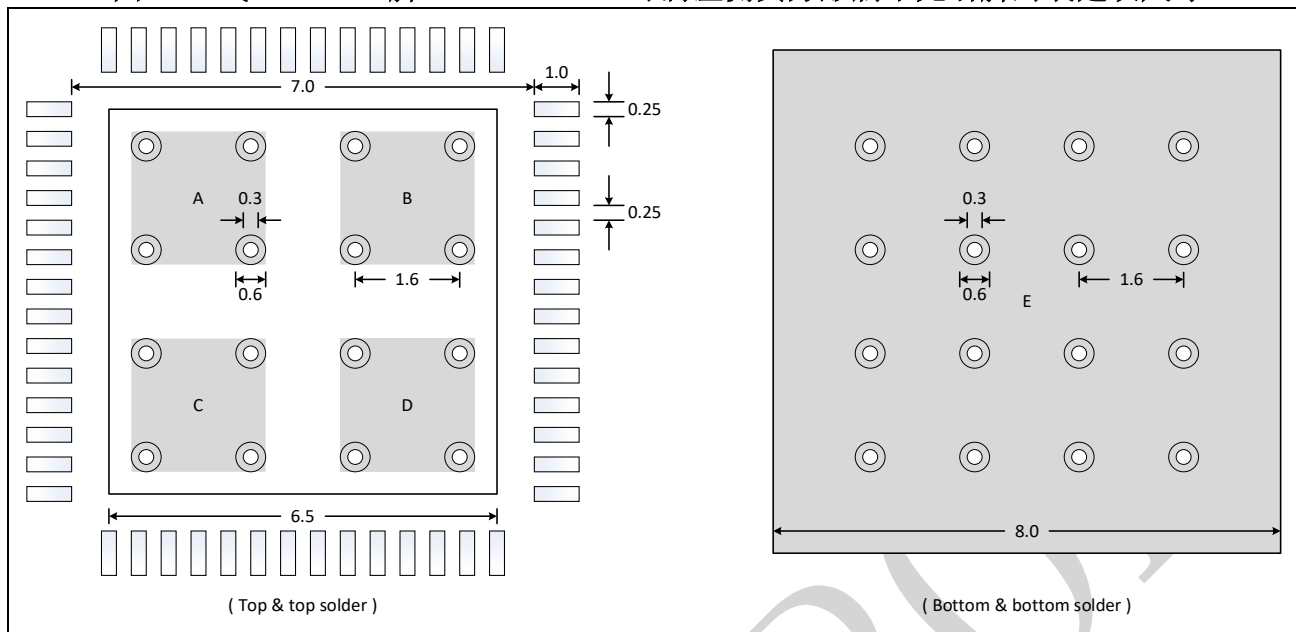
[1] 图纸未按比例绘制。

[2] 该封装的机械数据将来可能有变动。

表 6-3：QFN56 – 56 脚，8mm x 8mm 可润湿侧翼方形扁平无引脚封装机械数据

符号	毫米		
	最小	典型	最大
A	0.80	0.85	0.90
A1	0	0.02	0.05
b	0.18	0.25	0.30
c	0.18	0.20	0.25
D	7.90	8.00	8.10
D2	6.55	6.65	6.75
e	0.50BSC		
Ne	6.50BSC		
Nd	6.50BSC		
E	7.90	8.00	8.10
E2	6.55	6.65	6.75
L	0.35	0.40	0.45
h	0.30	0.35	0.40

图 6-5: QFN56 – 56 脚, 8mm x 8mm 可润湿侧翼方形扁平无引脚封装建议尺寸

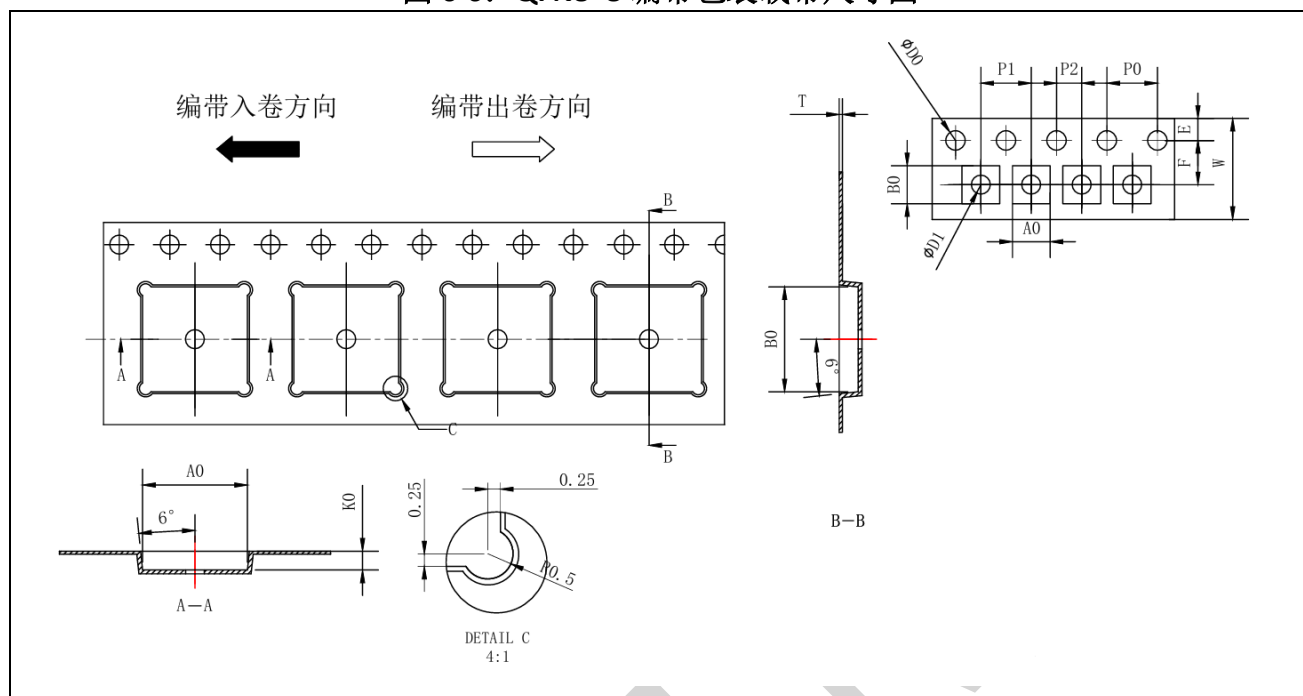


[1] 单位: 毫米。

[2] 上层 A、B、C、D 四个区域需要刷焊锡膏, 下层 E 区域无特别要求。

6.2.2 包装规格

图 6-6: QFN8*8 编带包装载带尺寸图



[1] 图纸未按比例绘制。

表 6-4: 编带包装尺寸

规格	W	E	F	D0	D1	P0	P2	10P0
尺寸	16.00 ±0.30	1.75 ±0.10	7.50 ±0.10	1.50 ±0.10	1.50 ±0.10	4.00 ±0.10	2.00 ±0.10	40.00 ±0.20
规格	P1	A0	A1	B0	B1	K0	K1	T
尺寸	12.00 ±0.10	8.30 ±0.10		8.30 ±0.10		1.10 ±0.10		0.30 ±0.05

7 订购信息

表 7-1: 订购信息

订购编码	Flash	SRAM	CPU 最大频率	预驱	封装	等级	SPQ ^[1]	包装 类型
SPD1179DPW48	128KB	32KB	100MHz	3 相	QFN48	汽车级 AEC-Q100 Grade 1	3000	编带
SPD1179ZDPW48	64KB	16KB	100MHz	3 相	QFN48	汽车级 AEC-Q100 Grade 1	3000	编带
SPD1179YDPW48	64KB	16KB	100MHz	2 相	QFN48	汽车级 AEC-Q100 Grade 1	3000	编带
SPD1179XDPW48	128KB	32KB	100MHz	2 相	QFN48	汽车级 AEC-Q100 Grade 1	3000	编带
SPD1179DPW56	128KB	32KB	100MHz	3 相	QFN56	汽车级 AEC-Q100 Grade 1	3000	编带
SPD1179YDPW56	64KB	16KB	100MHz	2 相	QFN56	汽车级 AEC-Q100 Grade 1	3000	编带
SPD1179XDPW56	128KB	32KB	100MHz	2 相	QFN56	汽车级 AEC-Q100 Grade 1	3000	编带
SPD1176APW48	128KB	32KB	100MHz	3 相	QFN48	工业级	3000	编带
SPD1176ZAPW48	64KB	16KB	100MHz	3 相	QFN48	工业级	3000	编带
SPD1176APW56	128KB	32KB	100MHz	3 相	QFN56	工业级	3000	编带

[1] SPQ = Standard Pack Quantity, 标准包装数。

7.1 订购编码规则

图 7-1: 订购编码规则

