成都华微电子科技股份有限公司
CHENGDU SINO MICROELECTRONICS TECHNOLOGY CO., LTD

CSD7Z045 型 SOPC

（全可编程片上系统芯片）

技术手册

V1.0.0

CSD7Z045技术手册

成都华微电子科技股份有限公司

2026 年 7 月 27 日

版本历史

版次	更改说明	更改人	更改日期	备注
V1.0.0	初始发行版本	邢亚楠	20260727	

CSD7Z045技术手册

目　次

1 概述 1
2 产品特点 2
3 功能框图 3
4 封装信息 5
5 绝对最大额定值及推荐工作范围 17
6 电特性参数 22
7 功能描述 34
8 应用建议 55
9 差异对比 84
10 包装、贮存和运输要求 99
11 使用注意事项 101
12 订货信息 102

CSD7Z045技术手册

1 概述

全可编程片上系统芯片—CSD7Z045 是成都华微基于 28nm 工艺平台打造的、面向全可编程市场需求的片上系统（SOPC）芯片。

全可编程片上系统芯片的特性，非常适用于同时需要下述两种典型的应用场景：

——高速、并行、确定性计算；

——连续、动态、非确定性计算。

主要应用于需要从图像中提取数据的软件算法，并进行大量像素点处理的图像视频处理系统，包括高级驾驶辅助系统（ADAS）、有线和无线通信、防务和航空航天、医疗内窥设备、人工智能等领域。

该产品实现了将处理器系统（PS）软件可编程性与可编程逻辑（PL）硬件可编程完美结合，具有优秀的软硬件协同能力。CSD7Z045 搭载时钟频率高达 866MHz 的双核处理器，能够在单处理器、对称双处理器和非对称双处理器模式下运行。

表 1 CSD7Z045 产品资源信息

子系统	资源项	CSD7Z045
		FFG900 封装
PS	处理器核	双核硬件处理器
	处理器扩展	每个处理器包含单精度/双精度浮点单元
	处理器最高频率	866MHz
	L1 高速缓存	每个处理器都有各自的 32KB 指令高速缓存和 32KB 数
	L2 高速缓存	512KB
	片上存储器	256KB
	支持外部存储器	DDR3、DDR3L、DDR2
	支持外部静态存储器	2 个 QSPI、NAND、NOR
	DMA 通道	8 个
	外设	UART、CAN、I^2C、SPI、GPIO
	内建 DMA 外设	USB、三速以太网、SD/SDIO
	PS 到 PL 接口	AXI 接口
	PSIO 数量	128
PL	逻辑单元	350K
	查找表	218600
	触发器	437200
	BRAM	19.2Mbits
	DSP	900 个
	高速接口 SerDes 信道数量（GTX）	16 个
	PCIE 模块数量（Gen2 x8）	1
	高性能用户 IO 数量	150
	宽范围用户 IO 数量	212

CSD7Z045技术手册

2 产品特点

CSD7Z045 由处理器系统和可编程逻辑两部分组成。

处理器系统有如下特性：

1) 双核应用处理器；
2) 每个 CPU 2.5 DMIPS/MHz；
3) 频率高达 866MHz；
4) 计时器和中断控制器；
5) 单双精度向量浮点运算单元（VFPU）；
6) 缓冲存储器；
7) 32 KB 一级 4 路组关联指令和数据缓存（每个 CPU 独立）；
8) 512 KB 8 路组关联二级缓存（在 CPU 之间共享）；
9) 支持字节奇偶校验；
10) 片上存储器；
11) 片上启动 ROM；
12) 256KB 片上 RAM（OCM）；
13) 支持字节奇偶校验；
14) 外部存储器接口；
15) 支持 16 位、32 位 DDR3、DDR3L 内存；
16) 支持 16 位 ECC 模式；
17) 多协议动态内存控制器；
18) 8 通道 DMA 控制器；
19) 支持内存到内存、内存到外设、外设到内存以及发散-聚合模式；
20) I/O 外设、接口；
21) 128 个 I/O；
22) 支持双 10/100/1000 三速以太网 MAC 外设；
23) 支持双 12 位的模数转换器（XADC），转换速率可以达到 1MSPS；
24) 支持双 CAN 2.0B 标准的 CAN 总线接口；
25) 支持双 SD/SDIO 2.0/MMC3.31 控制器；
26) 支持双附有三个外设片选的全双工 SPI 端口；
27) 支持双高速 UART，最高可达 1Mb/s；
28) 支持双主从 I2C 接口；
29) 具备 54 位多路复用 I/O，并可通过 PL 端扩展 I/O 数量；
30) 互联架构；

CSD7Z045技术手册

31) PS 内以及 PS 和 PL 之间可高带宽互连；

32) 基于 AXI 协议互连；

33) 支持 QoS，用于延迟及带宽控制。

可编程逻辑有如下特性：

1) 逻辑实现基于 6 输入查找表（可被配置为分布式 RAM）；

2) 片上数据缓存块 RAM 单块容量为 36Kb、双端口模式，并带有内建 FIFO；

3) 用户 IO 可以支持单端 LVCMOS、LVTTL 等多种电平标准，并支持多种差分电平标准，高性能 IO（HPIO）电压范围支持 1.2V~1.8V、宽范围 IO（HRIO）电压范围支持 1.2V~3.3V；

4) 高性能用户 IO 接口支持 DDR3，最高速率可达 1600Mb/s；

5) DSP 包含 25×18 乘法器、48 位累加器和预加器，可用于高性能滤波算法，如最佳对称系数滤波；

6) 高精度低抖动时钟管理单元（CMT），包括锁相环（PLL）和混合模式时钟管理（MMCM），时钟管理模块最高输入频率可达 800 MHz；

7) 全局时钟树频率最高可达 625MHz；

8) 高速串行接口 SerDes 模块，线速率从 500Mb/s 到最高 12.5Gb/s；

9) 集成 PCIe 硬核，支持 Gen2 x8；

10) 集成用于片上温度和电压传感器监控的 12 位 1MSPS ADC；

11) 支持多种配置模式，包含支持通用存储器接口和 256 位 AES 加密。

3 功能框图

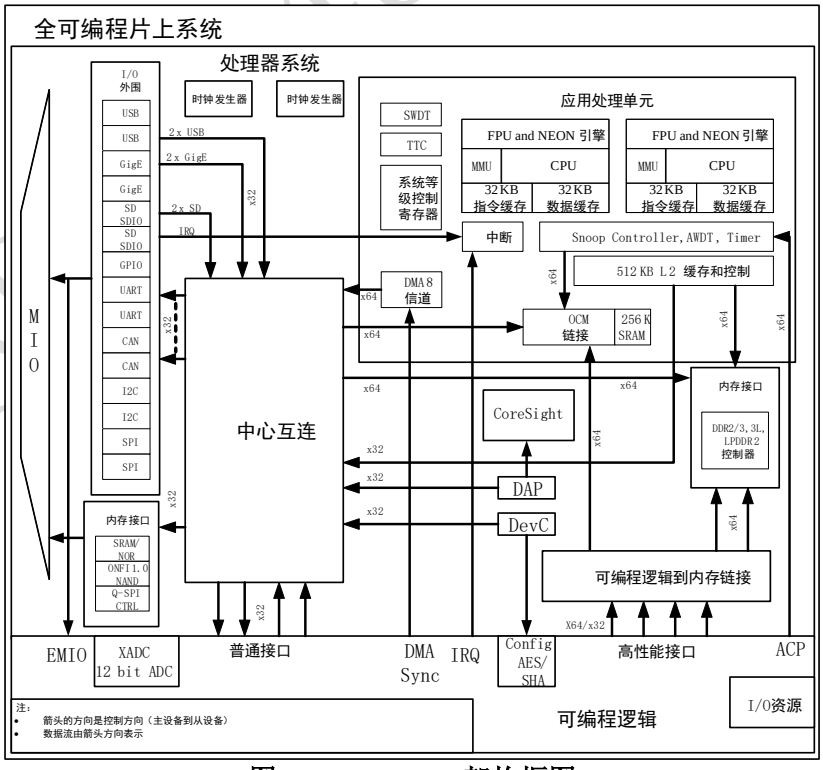


图 1 CSD7Z045 架构框图

CSD7Z045典型应用场景如下图2所示。

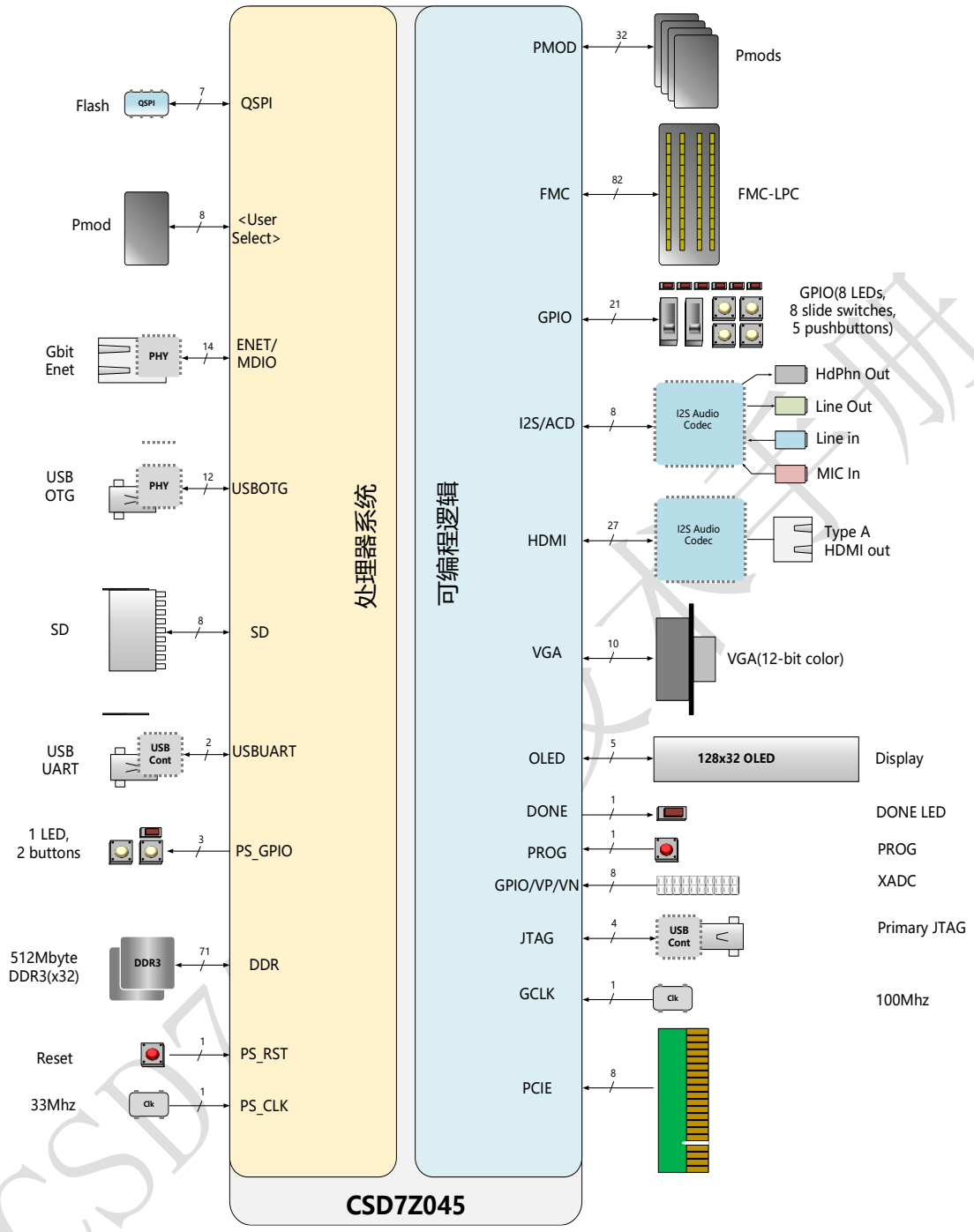


图2　CSD7Z045典型应用图

4 封装信息

4.1 封装信息

CSD7Z045FFG900 产品采用 900 引出端塑料封装（FFG900），产品外形尺寸下图 3 所示。

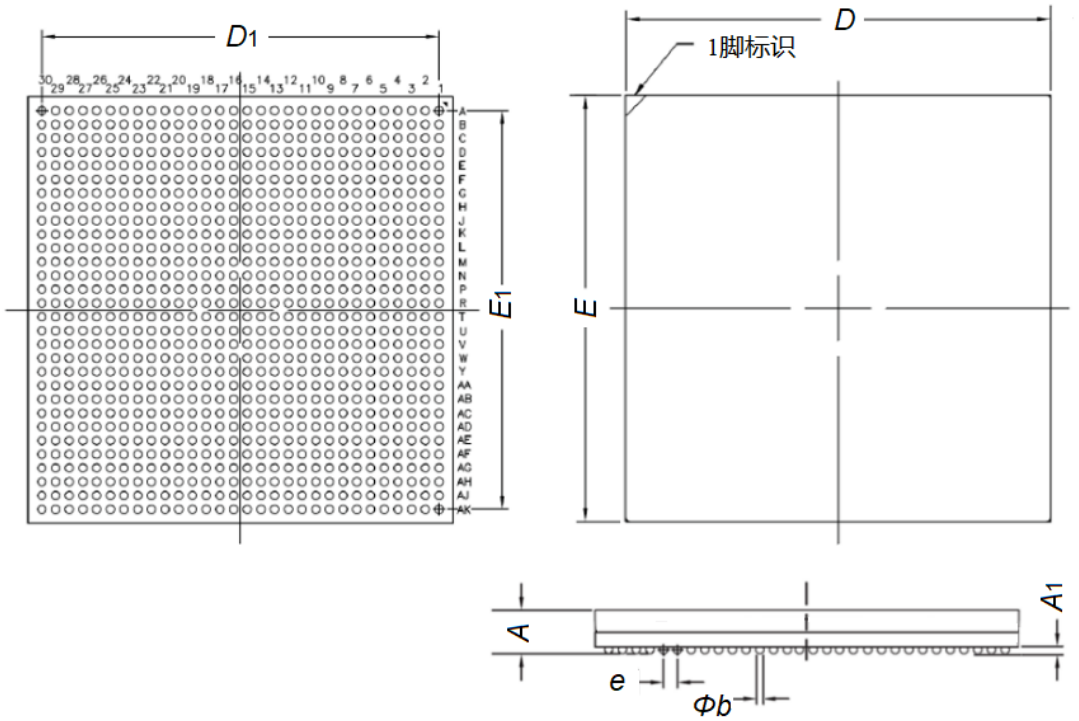


图 3 CSD7Z045FFG900 封装外形图

表 2 CSD7Z045FFG900 封装尺寸表

单位为毫米

尺寸符号	数值		
	最小	公称	最大
D/E	30.80	—	31.20
D1/E1	—	29.00	—
e	—	1.00	—
Φb	0.45	—	0.75
A1	0.33	—	0.63
A	3.12	—	3.67

CSD7Z045

CSD7Z045FFG900 引脚描述如下表 3 所示。

表 3　CSD7Z045FFG900 引脚描述

管脚	管脚名	管脚	管脚名	管脚	管脚名
U14	DXN_0	H12	IO_L9P_T1_DQS_34	AD8	MGTAVCC
P15	VCCADC_0	G11	IO_L9N_T1_DQS_34	AE10	MGTAVCC
P14	GNDADC_0	E10	IO_L10P_T1_34	AE6	MGTAVCC
U15	DXP_0	D10	IO_L10N_T1_34	AF8	MGTAVCC
R14	VREFN_0	G10	IO_L11P_T1_SRCC_34	AG10	MGTAVCC
T15	VREFP_0	F10	IO_L11N_T1_SRCC_34	AH8	MGTAVCC
R15	VP_0	D9	IO_L12P_T1_MRCC_34	AJ10	MGTAVCC
T14	VN_0	D8	IO_L12N_T1_MRCC_34	N6	MGTAVCC
P9	VCCBATT_0	H9	IO_L13P_T2_MRCC_34	P8	MGTAVCC
AA12	RSVDGND	G9	IO_L13N_T2_MRCC_34	R6	MGTAVCC
Y12	TCK_0	F9	IO_L14P_T2_SRCC_34	U6	MGTAVCC
V10	TMS_0	E8	IO_L14N_T2_SRCC_34	W6	MGTAVCC
Y10	TDO_0	J8	IO_L15P_T2_DQS_34	Y8	MGTAVCC
P10	TDI_0	H8	IO_L15N_T2_DQS_34	AA2	MGTAVTT
W9	INIT_B_0	F8	IO_L16P_T2_34	AB4	MGTAVTT
Y9	PROGRAM_B_0	F7	IO_L16N_T2_34	AC2	MGTAVTT
V9	CFGBVS_0	E7	IO_L17P_T2_34	AD4	MGTAVTT
AA9	DONE_0	D6	IO_L17N_T2_34	AE2	MGTAVTT
U9	RSVDVCC1	H7	IO_L18P_T2_34	AF4	MGTAVTT
R9	RSVDVCC3	G7	IO_L18N_T2_34	AG2	MGTAVTT
T9	RSVDVCC2	L7	IO_L19P_T3_34	AG6	MGTAVTT
Y20	IO_L6P_T0_9	K7	IO_L19N_T3_VREF_34	AH4	MGTAVTT
AA20	IO_L6N_T0_VREF_9	J10	IO_L20P_T3_34	AJ2	MGTAVTT
AC18	IO_L11P_T1_SRCC_9	J9	IO_L20N_T3_34	AJ6	MGTAVTT
AC19	IO_L11N_T1_SRCC_9	L8	IO_L21P_T3_DQS_34	AK4	MGTAVTT
AD18	IO_L12P_T1_MRCC_9	K8	IO_L21N_T3_DQS_34	AK8	MGTAVTT
AD19	IO_L12N_T1_MRCC_9	K11	IO_L22P_T3_34	N2	MGTAVTT
AA18	IO_L13P_T2_MRCC_9	K10	IO_L22N_T3_34	P4	MGTAVTT
AA19	IO_L13N_T2_MRCC_9	L10	IO_L23P_T3_34	R2	MGTAVTT
AB19	IO_L14P_T2_SRCC_9	L9	IO_L23N_T3_34	T4	MGTAVTT
AB20	IO_L14N_T2_SRCC_9	L12	IO_L24P_T3_34	U2	MGTAVTT
AD20	IO_L19P_T3_9	K12	IO_L24N_T3_34	V4	MGTAVTT
AE20	IO_L19N_T3_VREF_9	M10	IO_25_VRP_34	W2	MGTAVTT
AA13	IO_0_10	K16	IO_0_VRN_35	Y4	MGTAVTT
AK13	IO_L1P_T0_10	L15	IO_L1P_T0_AD0P_35	T7	MGTVCCAUX
AK12	IO_L1N_T0_10	L14	IO_L1N_T0_AD0N_35	V7	MGTVCCAUX
AH18	IO_L2P_T0_10	J13	IO_L2P_T0_AD8P_35	A1	GND
AJ18	IO_L2N_T0_10	H13	IO_L2N_T0_AD8N_35	A11	GND
AJ14	IO_L3P_T0_DQS_10	L13	IO_L3P_T0_DQS_AD1P_35	A21	GND
AJ13	IO_L3N_T0_DQS_10	K13	IO_L3N_T0_DQS_AD1N_35	AA1	GND
AJ16	IO_L4P_T0_10	J14	IO_L4P_T0_35	AA10	GND
AK16	IO_L4N_T0_10	H14	IO_L4N_T0_35	AA11	GND
AJ15	IO_L5P_T0_10	K15	IO_L5P_T0_AD9P_35	AA21	GND
AK15	IO_L5N_T0_10	J15	IO_L5N_T0_AD9N_35	AA5	GND

CSD7Z045技术手册

管脚	管脚名	管脚	管脚名	管脚	管脚名
AH17	IO_L6P_T0_10	J16	IO_L6P_T0_35	AB11	GND
AH16	IO_L6N_T0_VREF_10	H16	IO_L6N_T0_VREF_35	AB18	GND
AE12	IO_L7P_T1_10	G17	IO_L7P_T1_AD2P_35	AB28	GND
AF12	IO_L7N_T1_10	G16	IO_L7N_T1_AD2N_35	AB3	GND
AH14	IO_L8P_T1_10	G15	IO_L8P_T1_AD10P_35	AB7	GND
AH13	IO_L8N_T1_10	G14	IO_L8N_T1_AD10N_35	AC1	GND
AD14	IO_L9P_T1_DQS_10	G12	IO_L9P_T1_DQS_AD3P_35	AC11	GND
AD13	IO_L9N_T1_DQS_10	F12	IO_L9N_T1_DQS_AD3N_35	AC15	GND
AG12	IO_L10P_T1_10	F13	IO_L10P_T1_AD11P_35	AC25	GND
AH12	IO_L10N_T1_10	E12	IO_L10N_T1_AD11N_35	AC5	GND
AE13	IO_L11P_T1_SRCC_10	E13	IO_L11P_T1_SRCC_35	AC9	GND
AF13	IO_L11N_T1_SRCC_10	D13	IO_L11N_T1_SRCC_35	AD11	GND
AF14	IO_L12P_T1_MRCC_10	F15	IO_L12P_T1_MRCC_35	AD12	GND
AG14	IO_L12N_T1_MRCC_10	F14	IO_L12N_T1_MRCC_35	AD22	GND
AG17	IO_L13P_T2_MRCC_10	E16	IO_L13P_T2_MRCC_35	AD3	GND
AG16	IO_L13N_T2_MRCC_10	E15	IO_L13N_T2_MRCC_35	AD7	GND
AF15	IO_L14P_T2_SRCC_10	D15	IO_L14P_T2_AD4P_SRCC_35	AE1	GND
AG15	IO_L14N_T2_SRCC_10	D14	IO_L14N_T2_AD4N_SRCC_35	AE11	GND
AF18	IO_L15P_T2_DQS_10	F17	IO_L15P_T2_DQS_AD12P_35	AE19	GND
AF17	IO_L15N_T2_DQS_10	E17	IO_L15N_T2_DQS_AD12N_35	AE29	GND
AE16	IO_L16P_T2_10	D16	IO_L16P_T2_35	AE5	GND
AE15	IO_L16N_T2_10	C16	IO_L16N_T2_35	AE9	GND
AE18	IO_L17P_T2_10	C17	IO_L17P_T2_AD5P_35	AF11	GND
AE17	IO_L17N_T2_10	B16	IO_L17N_T2_AD5N_35	AF16	GND
AD16	IO_L18P_T2_10	B17	IO_L18P_T2_AD13P_35	AF26	GND
AD15	IO_L18N_T2_10	A17	IO_L18N_T2_AD13N_35	AF3	GND
AC14	IO_L19P_T3_10	C14	IO_L19P_T3_35	AF7	GND
AC13	IO_L19N_T3_VREF_10	C13	IO_L19N_T3_VREF_35	AG1	GND
AA15	IO_L20P_T3_10	C12	IO_L20P_T3_AD6P_35	AG11	GND
AA14	IO_L20N_T3_10	B12	IO_L20N_T3_AD6N_35	AG13	GND
AB12	IO_L21P_T3_DQS_10	B15	IO_L21P_T3_DQS_AD14P_35	AG23	GND
AC12	IO_L21N_T3_DQS_10	A15	IO_L21N_T3_DQS_AD14N_35	AG5	GND
AB15	IO_L22P_T3_10	C11	IO_L22P_T3_AD7P_35	AG9	GND
AB14	IO_L22N_T3_10	B11	IO_L22N_T3_AD7N_35	AH11	GND
AC17	IO_L23P_T3_10	B14	IO_L23P_T3_35	AH20	GND
AC16	IO_L23N_T3_10	A14	IO_L23N_T3_35	AH3	GND
AB17	IO_L24P_T3_10	A13	IO_L24P_T3_AD15P_35	AH30	GND
AB16	IO_L24N_T3_10	A12	IO_L24N_T3_AD15N_35	AH7	GND
AA17	IO_25_10	M16	IO_25_VRP_35	AJ1	GND
W23	IO_0_11	AK2	MGTXTXP3_109	AJ11	GND
AJ25	IO_L1P_T0_11	AE8	MGTXRXP3_109	AJ17	GND
AK25	IO_L1N_T0_11	AK1	MGTXTXN3_109	AJ27	GND
AK22	IO_L2P_T0_11	AE7	MGTXRXN3_109	AJ5	GND
AK23	IO_L2N_T0_11	AJ4	MGTXTXP2_109	AJ9	GND
AJ21	IO_L3P_T0_DQS_11	AG8	MGTXRXP2_109	AK11	GND
AK21	IO_L3N_T0_DQS_11	AJ3	MGTXTXN2_109	AK14	GND
AJ23	IO_L4P_T0_11	AD10	MGTREFCLK0P_109	AK24	GND

CSD7Z045技术手册

管脚	管脚名	管脚	管脚名	管脚	管脚名
AJ24	IO_L4N_T0_11	AG7	MGTXRXN2_109	AK3	GND
AH23	IO_L5P_T0_11	AD9	MGTREFCLK0N_109	AK7	GND
AH24	IO_L5N_T0_11	AF9	MGTREFCLK1N_109	B18	GND
AG22	IO_L6P_T0_11	AF10	MGTREFCLK1P_109	B28	GND
AH22	IO_L6N_T0_VREF_11	AK6	MGTXTXP1_109	B8	GND
AC24	IO_L7P_T1_11	AJ8	MGTXRXP1_109	C15	GND
AD24	IO_L7N_T1_11	AK5	MGTXTXN1_109	C25	GND
AG24	IO_L8P_T1_11	AJ7	MGTXRXN1_109	C5	GND
AG25	IO_L8N_T1_11	AK10	MGTXTXP0_109	D12	GND
AF23	IO_L9P_T1_DQS_11	AH10	MGTXRXP0_109	D2	GND
AF24	IO_L9N_T1_DQS_11	AK9	MGTXTXN0_109	D22	GND
AD21	IO_L10P_T1_11	AH9	MGTXRXN0_109	E19	GND
AE21	IO_L10N_T1_11	AD2	MGTXTXP3_110	E29	GND
AD23	IO_L11P_T1_SRCC_11	AD6	MGTXRXP3_110	E9	GND
AE23	IO_L11N_T1_SRCC_11	AD1	MGTXTXN3_110	F16	GND
AE22	IO_L12P_T1_MRCC_11	AD5	MGTXRXN3_110	F26	GND
AF22	IO_L12N_T1_MRCC_11	AE4	MGTXTXP2_110	F6	GND
AG21	IO_L13P_T2_MRCC_11	AF6	MGTXRXP2_110	G13	GND
AH21	IO_L13N_T2_MRCC_11	AE3	MGTXTXN2_110	G23	GND
AF20	IO_L14P_T2_SRCC_11	AA8	MGTREFCLK0P_110	G3	GND
AG20	IO_L14N_T2_SRCC_11	AF5	MGTXRXN2_110	H10	GND
AJ20	IO_L15P_T2_DQS_11	AA7	MGTREFCLK0N_110	H20	GND
AK20	IO_L15N_T2_DQS_11	AC7	MGTREFCLK1N_110	H30	GND
AK17	IO_L16P_T2_11	AC8	MGTREFCLK1P_110	J17	GND
AK18	IO_L16N_T2_11	AF2	MGTXTXP1_110	J27	GND
AH19	IO_L17P_T2_11	AG4	MGTXRXP1_110	J7	GND
AJ19	IO_L17N_T2_11	AF1	MGTXTXN1_110	K14	GND
AF19	IO_L18P_T2_11	AG3	MGTXRXN1_110	K24	GND
AG19	IO_L18N_T2_11	AH2	MGTXTXP0_110	K4	GND
AB21	IO_L19P_T3_11	AH6	MGTXRXP0_110	L11	GND
AB22	IO_L19N_T3_VREF_11	AH1	MGTXTXN0_110	L21	GND
W21	IO_L20P_T3_11	AH5	MGTXRXN0_110	M1	GND
Y21	IO_L20N_T3_11	V2	MGTXTXP3_111	M14	GND
Y22	IO_L21P_T3_DQS_11	AA4	MGTXRXP3_111	M18	GND
Y23	IO_L21N_T3_DQS_11	V1	MGTXTXN3_111	M2	GND
AA24	IO_L22P_T3_11	AA3	MGTXRXN3_111	M28	GND
AB24	IO_L22N_T3_11	W4	MGTXTXP2_111	M3	GND
AA22	IO_L23P_T3_11	Y6	MGTXRXP2_111	M4	GND
AA23	IO_L23N_T3_11	W3	MGTXTXN2_111	M5	GND
AC22	IO_L24P_T3_11	U8	MGTREFCLK0P_111	M6	GND
AC23	IO_L24N_T3_11	Y5	MGTXRXN2_111	M7	GND
AC21	IO_25_11	U7	MGTREFCLK0N_111	M8	GND
Y25	IO_0_12	W7	MGTREFCLK1N_111	M9	GND
Y30	IO_L1P_T0_12	W8	MGTREFCLK1P_111	N1	GND
AA30	IO_L1N_T0_12	Y2	MGTXTXP1_111	N11	GND
AB29	IO_L2P_T0_12	AB6	MGTXRXP1_111	N13	GND
AB30	IO_L2N_T0_12	Y1	MGTXTXN1_111	N15	GND

CSD7Z045技术手册

管脚	管脚名	管脚	管脚名	管脚	管脚名
Y26	IO_L3P_T0_DQS_12	AB5	MGTXRXN1_111	N17	GND
Y27	IO_L3N_T0_DQS_12	AB2	MGTXTXP0_111	N19	GND
Y28	IO_L4P_T0_12	AC4	MGTXRXP0_111	N25	GND
AA29	IO_L4N_T0_12	AB1	MGTXTXN0_111	N5	GND
AA27	IO_L5P_T0_12	AC3	MGTXRXN0_111	N9	GND
AA28	IO_L5N_T0_12	N4	MGTXTXP3_112	P12	GND
AB25	IO_L6P_T0_12	P6	MGTXRXP3_112	P16	GND
AB26	IO_L6N_T0_VREF_12	N3	MGTXTXN3_112	P18	GND
AC26	IO_L7P_T1_12	P5	MGTXRXN3_112	P20	GND
AD26	IO_L7N_T1_12	P2	MGTXTXP2_112	P22	GND
AD30	IO_L8P_T1_12	T6	MGTXRXP2_112	P3	GND
AE30	IO_L8N_T1_12	P1	MGTXTXN2_112	P7	GND
AC29	IO_L9P_T1_DQS_12	N8	MGTREFCLK0P_112	R1	GND
AD29	IO_L9N_T1_DQS_12	T5	MGTXRXN2_112	R11	GND
AD25	IO_L10P_T1_12	AB10	MGTAVTTRCAL_112	R13	GND
AE26	IO_L10N_T1_12	N7	MGTREFCLK0N_112	R17	GND
AB27	IO_L11P_T1_SRCC_12	AB9	MGTRREF_112	R19	GND
AC27	IO_L11N_T1_SRCC_12	R7	MGTREFCLK1N_112	R29	GND
AC28	IO_L12P_T1_MRCC_12	R8	MGTREFCLK1P_112	R5	GND
AD28	IO_L12N_T1_MRCC_12	R4	MGTXTXP1_112	T10	GND
AE28	IO_L13P_T2_MRCC_12	U4	MGTXRXP1_112	T12	GND
AF28	IO_L13N_T2_MRCC_12	R3	MGTXTXN1_112	T16	GND
AE27	IO_L14P_T2_SRCC_12	U3	MGTXRXN1_112	T18	GND
AF27	IO_L14N_T2_SRCC_12	T2	MGTXTXP0_112	T20	GND
AF29	IO_L15P_T2_DQS_12	V6	MGTXRXP0_112	T26	GND
AG29	IO_L15N_T2_DQS_12	T1	MGTXTXN0_112	T3	GND
AF30	IO_L16P_T2_12	V5	MGTXRXN0_112	T8	GND
AG30	IO_L16N_T2_12	D21	PS_POR_B_500	U1	GND
AG26	IO_L17P_T2_12	A22	PS_CLK_500	U11	GND
AG27	IO_L17N_T2_12	F24	PS_MIO0_500	U13	GND
AE25	IO_L18P_T2_12	D23	PS_MIO1_500	U17	GND
AF25	IO_L18N_T2_12	F23	PS_MIO2_500	U19	GND
AH28	IO_L19P_T3_12	C23	PS_MIO3_500	U23	GND
AH29	IO_L19N_T3_VREF_12	E23	PS_MIO4_500	U5	GND
AJ30	IO_L20P_T3_12	C24	PS_MIO5_500	V12	GND
AK30	IO_L20N_T3_12	D24	PS_MIO6_500	V14	GND
AJ28	IO_L21P_T3_DQS_12	B24	PS_MIO7_500	V16	GND
AJ29	IO_L21N_T3_DQS_12	C21	PS_MIO8_500	V18	GND
AK27	IO_L22P_T3_12	A24	PS_MIO9_500	V20	GND
AK28	IO_L22N_T3_12	E22	PS_MIO10_500	V3	GND
AH26	IO_L23P_T3_12	A23	PS_MIO11_500	V30	GND
AH27	IO_L23N_T3_12	E21	PS_MIO12_500	V8	GND
AJ26	IO_L24P_T3_12	F22	PS_MIO13_500	W1	GND
AK26	IO_L24N_T3_12	B22	PS_MIO14_500	W11	GND
AA25	IO_25_12	C22	PS_MIO15_500	W13	GND
U21	IO_0_13	C18	PS_MIO53_501	W15	GND
P30	IO_L1P_T0_13	D19	PS_MIO52_501	W17	GND

CSD7Z045技术手册

管脚	管脚名	管脚	管脚名	管脚	管脚名
R30	IO_L1N_T0_13	F19	PS_MIO51_501	W19	GND
T30	IO_L2P_T0_13	A19	PS_MIO50_501	W27	GND
U30	IO_L2N_T0_13	D18	PS_MIO49_501	W5	GND
N28	IO_L3P_T0_DQS_13	C19	PS_MIO48_501	Y14	GND
P28	IO_L3N_T0_DQS_13	A18	PS_MIO47_501	Y16	GND
N29	IO_L4P_T0_13	F20	PS_MIO46_501	Y18	GND
P29	IO_L4N_T0_13	H18	PS_MIO45_501	Y24	GND
T29	IO_L5P_T0_13	E20	PS_MIO44_501	Y3	GND
U29	IO_L5N_T0_13	E18	PS_MIO43_501	Y7	GND
R28	IO_L6P_T0_13	D20	PS_MIO42_501	M13	VCCINT
T28	IO_L6N_T0_VREF_13	J18	PS_MIO41_501	M15	VCCINT
V28	IO_L7P_T1_13	B20	PS_MIO40_501	N12	VCCINT
V29	IO_L7N_T1_13	F18	PS_MIO39_501	N14	VCCINT
W29	IO_L8P_T1_13	A20	PS_MIO38_501	P13	VCCINT
W30	IO_L8N_T1_13	B21	PS_MIO37_501	R12	VCCINT
V27	IO_L9P_T1_DQS_13	H17	PS_MIO36_501	R16	VCCINT
W28	IO_L9N_T1_DQS_13	G21	PS_MIO35_501	T13	VCCINT
W25	IO_L10P_T1_13	K18	PS_MIO34_501	U12	VCCINT
W26	IO_L10N_T1_13	G22	PS_MIO33_501	U16	VCCINT
U25	IO_L11P_T1_SRCC_13	K17	PS_MIO32_501	V13	VCCINT
V26	IO_L11N_T1_SRCC_13	H21	PS_MIO31_501	V15	VCCINT
U26	IO_L12P_T1_MRCC_13	L18	PS_MIO30_501	W12	VCCINT
U27	IO_L12N_T1_MRCC_13	H22	PS_MIO29_501	W14	VCCINT
R25	IO_L13P_T2_MRCC_13	L17	PS_MIO28_501	W16	VCCINT
R26	IO_L13N_T2_MRCC_13	G20	PS_MIO27_501	Y17	VCCINT
R27	IO_L14P_T2_SRCC_13	M17	PS_MIO26_501	M11	VCCAUX
T27	IO_L14N_T2_SRCC_13	G19	PS_MIO25_501	N10	VCCAUX
N26	IO_L15P_T2_DQS_13	M19	PS_MIO24_501	R10	VCCAUX
N27	IO_L15N_T2_DQS_13	J21	PS_MIO23_501	U10	VCCAUX
P25	IO_L16P_T2_13	L20	PS_MIO22_501	W10	VCCAUX
P26	IO_L16N_T2_13	J19	PS_MIO21_501	Y11	VCCAUX
T24	IO_L17P_T2_13	M20	PS_MIO20_501	P11	VCCAUX_IO_G0
T25	IO_L17N_T2_13	J20	PS_MIO19_501	T11	VCCAUX_IO_G0
P23	IO_L18P_T2_13	K20	PS_MIO18_501	V11	VCCAUX_IO_G0
P24	IO_L18N_T2_13	K21	PS_MIO17_501	Y13	VCCO_0
P21	IO_L19P_T3_13	L19	PS_MIO16_501	Y15	VCCO_0
R21	IO_L19N_T3_VREF_13	B19	PS_SRST_B_501	AA16	VCCO_10
T22	IO_L20P_T3_13	H19	PS_MIO_VREF_501	AB13	VCCO_10
T23	IO_L20N_T3_13	F25	PS_DDR_DRST_B_502	AD17	VCCO_10
R22	IO_L21P_T3_DQS_13	E25	PS_DDR_DQ1_502	AE14	VCCO_10
R23	IO_L21N_T3_DQS_13	A25	PS_DDR_DQ0_502	AG18	VCCO_10
U22	IO_L22P_T3_13	D25	PS_DDR_DQ3_502	AH15	VCCO_10
V22	IO_L22N_T3_13	B27	PS_DDR_DQ2_502	AJ12	VCCO_10
U24	IO_L23P_T3_13	C27	PS_DDR_DM0_502	AB23	VCCO_11
V24	IO_L23N_T3_13	B26	PS_DDR_DQS_N0_502	AE24	VCCO_11
V23	IO_L24P_T3_13	C26	PS_DDR_DQS_P0_502	AF21	VCCO_11
W24	IO_L24N_T3_13	E26	PS_DDR_DQ5_502	AH25	VCCO_11

CSD7Z045技术手册

管脚	管脚名	管脚	管脚名	管脚	管脚名
V21	IO_25_13	B25	PS_DDR_DQ4_502	AJ22	VCCO_11
L5	IO_0_VRN_33	E27	PS_DDR_DQ7_502	AK19	VCCO_11
J4	IO_L1P_T0_33	D26	PS_DDR_DQ6_502	W22	VCCO_11
J3	IO_L1N_T0_33	A27	PS_DDR_DQ9_502	AA26	VCCO_12
L1	IO_L2P_T0_33	A29	PS_DDR_DQ8_502	AC30	VCCO_12
K1	IO_L2N_T0_33	A28	PS_DDR_DQ11_502	AD27	VCCO_12
K3	IO_L3P_T0_DQS_33	A30	PS_DDR_DQ10_502	AG28	VCCO_12
K2	IO_L3N_T0_DQS_33	B30	PS_DDR_DM1_502	AK29	VCCO_12
L3	IO_L4P_T0_33	B29	PS_DDR_DQS_N1_502	Y29	VCCO_12
L2	IO_L4N_T0_33	C29	PS_DDR_DQS_P1_502	N30	VCCO_13
K5	IO_L5P_T0_33	D30	PS_DDR_DQ13_502	P27	VCCO_13
J5	IO_L5N_T0_33	C28	PS_DDR_DQ12_502	R24	VCCO_13
K6	IO_L6P_T0_33	D29	PS_DDR_DQ15_502	T21	VCCO_13
J6	IO_L6N_T0_VREF_33	D28	PS_DDR_DQ14_502	U28	VCCO_13
G2	IO_L7P_T1_33	H23	PS_DDR_A13_502	V25	VCCO_13
F2	IO_L7N_T1_33	J24	PS_DDR_A14_502	B3	VCCO_33
H6	IO_L8P_T1_33	H24	PS_DDR_A11_502	E4	VCCO_33
G6	IO_L8N_T1_33	K23	PS_DDR_A12_502	F1	VCCO_33
J1	IO_L9P_T1_DQS_33	J23	PS_DDR_A9_502	H5	VCCO_33
H1	IO_L9N_T1_DQS_33	G26	PS_DDR_A10_502	J2	VCCO_33
H2	IO_L10P_T1_33	K22	PS_DDR_A7_502	L6	VCCO_33
G1	IO_L10N_T1_33	F27	PS_DDR_A8_502	A6	VCCO_34
H4	IO_L11P_T1_SRCC_33	G24	PS_DDR_A5_502	C10	VCCO_34
H3	IO_L11N_T1_SRCC_33	H26	PS_DDR_A6_502	D7	VCCO_34
G5	IO_L12P_T1_MRCC_33	G25	PS_DDR_A3_502	F11	VCCO_34
G4	IO_L12N_T1_MRCC_33	J26	PS_DDR_A4_502	G8	VCCO_34
F5	IO_L13P_T2_MRCC_33	M21	PS_DDR_VRP_502	J12	VCCO_34
E5	IO_L13N_T2_MRCC_33	N21	PS_DDR_VRN_502	K9	VCCO_34
F4	IO_L14P_T2_SRCC_33	K25	PS_DDR_CKP_502	A16	VCCO_35
F3	IO_L14N_T2_SRCC_33	J25	PS_DDR_CKN_502	B13	VCCO_35
E6	IO_L15P_T2_DQS_33	L27	PS_DDR_A2_502	D17	VCCO_35
D5	IO_L15N_T2_DQS_33	K26	PS_DDR_A1_502	E14	VCCO_35
D4	IO_L16P_T2_33	L25	PS_DDR_A0_502	H15	VCCO_35
D3	IO_L16N_T2_33	M25	PS_DDR_BA2_502	L16	VCCO_35
E3	IO_L17P_T2_33	M26	PS_DDR_BA1_502	AC20	VCCO_9
E2	IO_L17N_T2_33	M27	PS_DDR_BA0_502	Y19	VCCO_9
E1	IO_L18P_T2_33	L23	PS_DDR_ODT_502	V17	VCCBRAM
D1	IO_L18N_T2_33	N22	PS_DDR_CS_B_502	V19	VCCBRAM
C4	IO_L19P_T3_33	M22	PS_DDR_CKE_502	W18	VCCBRAM
C3	IO_L19N_T3_VREF_33	N23	PS_DDR_WE_B_502	W20	VCCBRAM
B5	IO_L20P_T3_33	M24	PS_DDR_CAS_B_502	A26	VCCO_DDR_502
B4	IO_L20N_T3_33	N24	PS_DDR_RAS_B_502	C30	VCCO_DDR_502
A5	IO_L21P_T3_DQS_33	H27	PS_DDR_DQ16_502	D27	VCCO_DDR_502
A4	IO_L21N_T3_DQS_33	G27	PS_DDR_DQ17_502	G28	VCCO_DDR_502
C2	IO_L22P_T3_33	H28	PS_DDR_DQ18_502	H25	VCCO_DDR_502
C1	IO_L22N_T3_33	E28	PS_DDR_DQ19_502	K29	VCCO_DDR_502
B2	IO_L23P_T3_33	H29	PS_DDR_DM2_502	L26	VCCO_DDR_502

CSD7Z045技术手册

管脚	管脚名	管脚	管脚名	管脚	管脚名
B1	IO_L23N_T3_33	G29	PS_DDR_DQS_P2_502	M23	VCCO_DDR_502
A3	IO_L24P_T3_33	F29	PS_DDR_DQS_N2_502	N20	VCCPAUX
A2	IO_L24N_T3_33	E30	PS_DDR_DQ20_502	P19	VCCPAUX
L4	IO_25_VRP_33	F28	PS_DDR_DQ21_502	R20	VCCPAUX
M12	IO_0_VRN_34	G30	PS_DDR_DQ22_502	U20	VCCPAUX
B10	IO_L1P_T0_34	F30	PS_DDR_DQ23_502	N16	VCCPINT
A10	IO_L1N_T0_34	J29	PS_DDR_DQ24_502	P17	VCCPINT
B9	IO_L2P_T0_34	K27	PS_DDR_DQ25_502	R18	VCCPINT
A9	IO_L2N_T0_34	J30	PS_DDR_DQ26_502	T17	VCCPINT
A8	IO_L3P_T0_DQS_PUDC_B_34	J28	PS_DDR_DQ27_502	T19	VCCPINT
A7	IO_L3N_T0_DQS_34	K28	PS_DDR_DM3_502	U18	VCCPINT
C7	IO_L4P_T0_34	L28	PS_DDR_DQS_P3_502	N18	VCCPLL
B7	IO_L4N_T0_34	L29	PS_DDR_DQS_N3_502	B23	VCCO_MIO0_500
C6	IO_L5P_T0_34	K30	PS_DDR_DQ28_502	E24	VCCO_MIO0_500
B6	IO_L5N_T0_34	M29	PS_DDR_DQ29_502	F21	VCCO_MIO0_500
C9	IO_L6P_T0_34	L30	PS_DDR_DQ30_502	C20	VCCO_MIO1_501
C8	IO_L6N_T0_VREF_34	M30	PS_DDR_DQ31_502	G18	VCCO_MIO1_501
J11	IO_L7P_T1_34	AA6	MGTAVCC	J22	VCCO_MIO1_501
H11	IO_L7N_T1_34	AB8	MGTAVCC	K19	VCCO_MIO1_501
E11	IO_L8P_T1_34	AC10	MGTAVCC	L22	PS_DDR_VREF0_50
D11	IO_L8N_T1_34	AC6	MGTAVCC	L24	PS_DDR_VREF1_50

4.2 引出端功能定义

引出端接口信号功能说明如下表4所示。

表 4 引出端功能说明

子系统	引脚类型	引脚名	属性	方向	描述
PS侧端口	功能引脚	PS_CLK	专用引脚	输入	系统参考时钟。PS_CLK 必须介于 30 MHz 和 60 MHz 之间。
		PS_POR_B	专用引脚	输入	上电复位。在上电过程中，必须将 PS_POR_B 置为 GND，直到 VCCPINT、VCCPAUX 和 VCCO_MIO0 达到最低工作电平，且 PS_CLK 参考电压在规格范围内。当 PS_POR_B 置为 GND 后，PS 开始启动 BOOT 过程。在 VCCPINT 电压达到 0.80V 之前，在掉电阶段至少需要满足以下四个条件之一： PS_POR_B 被置为 GND； PS_CLK 输入的参考时钟被禁用； VCCPAUX 低于 0.70V； VCCO_MIO0 低于 0.90V；
		PS_SRST_B	专用引脚	输入	系统异步复位逻辑。（低有效）
		PS_MIO#	复用引脚	输入/输出	可作为外设的复用 IO 使用
		PS_DDR#	专用引脚	输入/输出	作为外部 DDR memory 控制专用引脚控制

CSD7Z045技术手册

子系统	引脚类型	引脚名	属性	方向	描述
	电源/地引脚	VCCPINT	专用引脚	N/A	PS 1.0V 逻辑电源供电，独立于 PL 的 VCCINT 电源。
		VCCPAUX	专用引脚	N/A	PS 1.8V 辅助电源。独立于 PL VCCAUX 电源。
		VCCPLL	专用引脚	N/A	PS PLL 1.8V 电源。必须在 VCCPLL BGA 过孔附近放置一个 0.47μF 至 4.7μF 的 0402 封装电容。此外，当使用 VCCPAUX 供电时，VCCPLL 必须通过一个 120Ω、100MHz（0603 封装）的铁氧体磁珠和一个 10μF（0603 封装）的去耦电容进行滤波，以最大程度地减少 PLL 抖动。
		VCCO_MIO#	专用引脚	N/A	MIO bank 的 1.8V-3.3V PS I/O 电源
		VCCO_DDR	专用引脚	N/A	1.2V-1.8V DDR I/O 电源。
		PS_MIO_VREF	专用引脚	N/A	PS_MIO_VREF为RGMII输入接收器提供参考电压。如果未使用RGMII 接口，则PS_MIO_VREF引脚可以悬空。如果使用RGMII接口，则将此引脚连接到等于1/2VCCO_MIO1 的电压。例如：使用HSTL18 RGMII 接口时， VCCO_MIO1 设置为 1.8V 。PS_MIO_VREF必须设置为0.9V。
		PS_DDR_VREF#	专用引脚	N/A	DDR 参考电压输入
		PS_DDR_VRP	专用引脚	输出	DDR DCI电压基准正极。用于校准DDR I/O驱动强度。连接至一个电阻器并接地。该电阻的阻值应为 DDR 终端阻抗和走线阻抗的两倍。
		PS_DDR_VRN	专用引脚	输出	DDR DCI电压基准正极。用于校准DDR I/O驱动强度。连接至一个电阻器并接VCCO_DDR。该电阻的阻值应为 DDR 终端阻抗和走线阻抗的两倍。
	用户IO	IO_LXXY_# IO_XX_#	用户引脚	输入/输出	大多数用户I/O引脚都能用作差分信号，并配对。每个BANK顶部和底部的I/O一直是单端。用户I/O引脚被命名为“IO_LXXY_#”格式，其中： “IO”表示这是一个用户IO引脚； “LXXY”表示组（Bank）上唯一的编号为XX的差分对，“Y”取P或者N，分别表示这对差分对的正负极； “#”表示引脚所在的组号；
	配置引脚	DONE_0	专用引脚	双向	DONE信号指示配置的成功完成。（高有效）
		INIT_B_0	专用引脚	双向输出	指示配置存储器的初始化。（低有效）
		PROGRAM_B_0	专用引脚	输入	异步复位配置逻辑。（低有效）
		TCK_0	专用引脚	输入	JTAG时钟
		TDI_0	专用引脚	输入	JTAG数据输入
		TDO_0	专用引脚	输出	JTAG数据输出
		TMS_0	专用引脚	输入	JTAG模式选择

CSD7Z045技术手册

子系统	引脚类型	引脚名	属性	方向	描述
PL侧端口		CFGBVS_0	专用引脚	输入	该引脚为专用和复用配置Bank0，14，15选择预配置I/O标准类型。如果Bank0，14，15的VCCO是2.5V或者3.3V，那么该引脚必须连接到VCCO_0。如果Bank0，14，15的VCCO小于或者等于1.8V，那么该引脚必须连接到地。 注意：为了避免设备损毁，该引脚必须正确连接。
		PUDC_B	复用引脚	输入	配置期间上拉 上电后和配置期间，PUDC_B 输入在用户 IO 引脚上使能内部上拉电阻。（低有效） 当 PUDC_B 为低，在每一个用户 IO 引脚上使能内部上拉电阻。当 PUDC_B 为高，每一个用户 IO 引脚上的内部上拉电阻被取消。PUDC_B 必须连接到地或者直接连接到 VCCO_34（通过 1KΩ或更低电阻）。
	电源/地引脚	GND	专用引脚	N/A	地。
		VCCAUX	专用引脚	N/A	辅助电路的1.8V电源支持引脚。
		VCCAUX_IO_G#	专用引脚	N/A	辅助I/O的1.8V/2.0V电源支持引脚。
		VCCINT	专用引脚	N/A	内部核逻辑的0.9V/1.0V电源支持引脚。
		VCCO_#	专用引脚	N/A	输出驱动的电源支持引脚（每个Bank）
		VCCBRAM	专用引脚	N/A	PL逻辑块RAM的1.0V电源支持引脚。
		VCCBATT_0	专用引脚	N/A	解密秘钥存储器备份电源支持，当不使用时，该引脚应该接到合适的VCC或地。
		VREF	复用引脚	N/A	电压输入门限引脚，当不需要外部电压门限时，这些引脚变为用户I/O。（每个Bank）
		RSVD			
		RSVDGND	保留引脚	输入	保留引脚，悬空
		RSVDVCC3	保留引脚	输入	保留引脚，必须接 VCCO_0
		RSVDVCC2	保留引脚	输入	保留引脚，必须接 VCCO_0
		RSVDVCC1	保留引脚	输入	保留引脚，必须接 VCCO_0
	模数转换器引脚	VCCADC_0	专用引脚	N/A	XADC模拟电源
		GNDADC_0	专用引脚	N/A	XADC模拟地
		VP_0	专用引脚	输入	XADC专用差分模拟输入（正极）
		VN_0	专用引脚	输入	XADC专用差分模拟输入（负极）
		VREFP_0	专用引脚	N/A	1.25V参考输入
		VREFN_ 0	专用引脚	N/A	1.25V参考地
		AD0P ~ AD15P AD0N ~ AD15N	复用引脚	输入	XADC 差分辅助模拟输入 0-15

CSD7Z045技术手册

子系统	引脚类型	引脚名	属性	方向	描述
	G bit（Multi-gigabit）串行收发器pin（SERDES）	MSERDESRXP[0:3]	专用引脚	输入	SERDES Quad 的差分接收端口正极
		MSERDESRXN[0:3]	专用引脚	输入	SERDES Quad 的差分接收端口负极
		MSERDESTXP[0:3]	专用引脚	输出	SERDES Quad 的差分发送端口正极
		MSERDESTXN[0:3]	专用引脚	输出	SERDES Quad 的差分发送端口负极
		MGTAVCC_G#	专用引脚	输入	发送、接收内部电路的 1.0V 模拟电源
		MGTAVTT_G#	专用引脚	输入	发送驱动电路的 1.2V 模拟电源
		MGTVCCAUX_G#	专用引脚	输入	发送端 1.8V 辅助模拟 Quad PLL (QPLL) 电源
		MGTREFCLK0/1P	专用引脚	输入	发送端差分参考时钟正极
		MGTREFCLK0/1N	专用引脚	输入	发送端差分参考时钟负极
		MGTAVTTRCAL	专用引脚	N/A	为终端电阻校验电路提供偏置电流
		MGTRREF	专用引脚	输入	为终端电阻调节电路提供的参考电阻
	其它	MRCC	复用引脚	输入	用于驱动 BUFRs、BUFIOs、BUFGs、MMCMs/PLLs 的时钟 I/O。此外还可以驱动 BUFMRs 提供多区域 BUFIO 和 BUFR 支持。当不需要作为时钟时为普通用户 I/O。当一个单端时钟连到差分 CC 对时必须接入差分对的 P 端。当用于单个时钟域时，MRCC 可以驱动单个 Bank 的 4 个 BUFIO 和 4 个 BUFR。
		SRCC	复用引脚	输入	用于驱动 BUFRs、BUFIOs、BUFGs、MMCMs/PLLs 的时钟 I/O。当不需要作为时钟时为普通用户 I/O。当一个单端时钟连到差分 CC 对时必须接入差分对的 P 端。当用于单个时钟域时，SRCC 可以驱动单个 Bank 的 4 个 BUFIO 和 4 个 BUFR。
		VRN	专用引脚	N/A	参考电阻的 N 端的 DCI 电压（每个 Bank，由参考电阻上拉）
		VRP	专用引脚	N/A	参考电阻的 P 端的 DCI 电压（每个 Bank，由参考电阻下拉）
		DXP_0, DXN_0	专用引脚	输入	温敏二极管管脚（正极 DXP，负极 DXN）。使用位于 Bank0 的 DXP、DXN 访问二极管。不使用时接 0。为使用此二极管，必须添加适当的外部热监测 IC 电路。推荐使用 XADC 内部的温度传感器来监测温度。
		T0, T1, T2, T3	复用引脚	输入	属于存储字节组的 0~3。
		T0_DQS,T1_DQS,T2_DQS,T3_DQS	复用引脚	输入	DDR DQS 选通管脚，属于存储字节组的 T0~T3。

CSD7Z045技术手册

4.3 焊盘开窗推荐

备注：焊盘开窗尺寸是指 PCB 端用于此器件焊接的未被阻焊覆盖区域的尺寸，非焊盘本身尺寸，用户需根据实际应用场景进行调整。

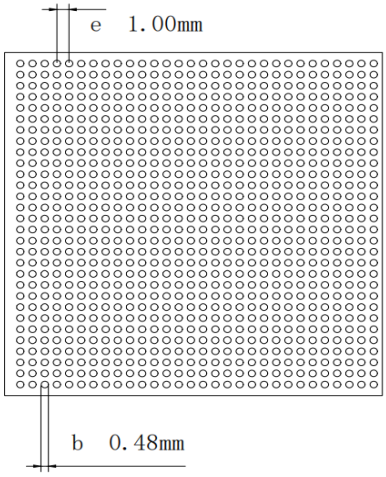


图 4 CSD7Z045FFG900 推荐焊盘开窗图

4.4 焊接推荐

CSD7Z045FFG900焊球材料为Sn96.5/Ag3.0/Cu0.5无铅焊球，推荐回流焊曲线如下。

回流加热方式	热风对流，红外/热风对流
加热速度	最大 3℃/s
预热温度 150℃～200℃	60s～120s
熔点以上温度保持时间（回流时间）	60s～120s
低于峰值温度 5℃以内的保持时间	最大 30s
引脚或焊球峰值温度	最低 235℃，典型温度 245℃，不超过 260℃
降温速度	最大 6℃/s
室温到峰值温度时间	最小 3.5 分钟，典型值 5 分钟，不超过 8 分钟
建议焊膏	ALPHA OM338 SAC305
备注	请根据选用的焊膏特性作相应的调整

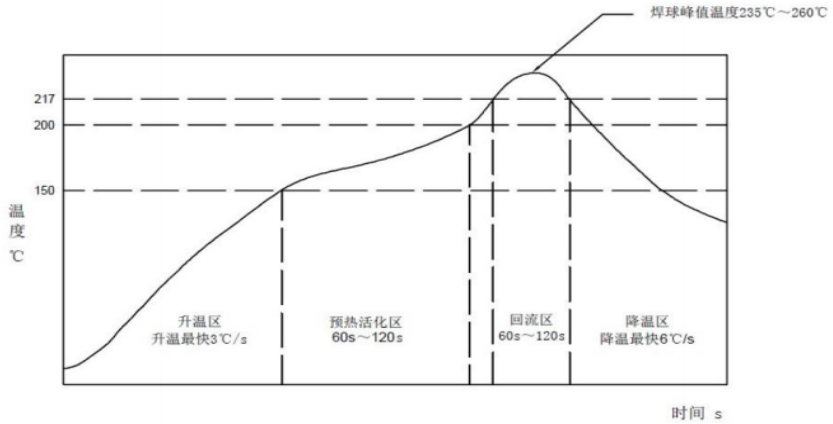


图 5 CSD7Z045FFG900 推荐焊接温度曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

表 5 绝对最大额定值 [1,2]

序号	标志符号	特性描述	最小	最大	单位
处理器系统 PS					
1	V_{CCPINT}	内核电源	-0.5	1.1	V
2	V_{CCPAUX}	辅助电源	-0.5	2.0	V
3	V_{CCPLL}	锁相环电源	-0.5	2.0	V
4	V_{CCO_DDR}	DDR 电源	-0.5	2.0	V
5	V_{CCO_MIO}	MIO 电源	-0.5	3.6	V
6	V_{PIN}	MIO IO 输入电压	-0.55	VCCO_MIO+0.55	V
		DDR IO 输入电压	-0.4	VCCO_MIO+0.55	V
7	V_{PREF}	输入参考电压	-0.5	2.0	V
可编程逻辑 PL					
8	V_{CCINT}	内核电源	-0.5	1.1	V
9	V_{CCAUX}	辅助电源	-0.5	2.0	V
10	V_{BRAM}	辅助用户 IO 电源，当设置为 1.8V 时	-0.5	2.06	V
10	V_{CCO}	内部块 RAM 电源	-0.5	1.1	V
11	V_{CCAUX_IO}	HRIO 电源	-0.5	3.6	V
12		HPIO 电源	-0.5	2.0	V
13	V_{REF}	输入参考电压	-0.5	2.0	V
14	V_{IN}[(2)]	高性能用户 IO 输入电压	-0.55	VCCO+0.55	V
		宽范围用户 IO 输入电压	-0.4	VCCO+0.55	V
15	V_{CCBATT}	密钥存储备用电池电压	-0.5	2.0	V
SERDES 高速收发器					
16	$V_{MGTAVCC}$	高速收发器模拟电路电源	-0.5	1.1	V
17	$V_{MGTAVTT}$	高速收发器端接电路电源	-0.5	1.32	V
18	$V_{MGTVCCAUX}$	高速收发器 QPLL 辅助电源	-0.5	1.935	V
19	$V_{MGTREFCLK}$	高速收发器参考时钟绝对输入电压	-0.5	1.32	V
20	$V_{MGTAVTTRCAL}$	高速收发器电阻校准电路模拟电源	-0.5	1.32	V
21	V_{MGTIN}	高速收发器绝对输入电压	-0.5	1.26	V
22	$I_{DCIN-FLOAT}$	RX 端浮空 RX 输入引脚直流耦合输入电流	--	14	mA

CSD7Z045技术手册

序号	标志符号	特性描述	最小	最大	单位
23	$I_{DCIN-MGTAVTT}$	RX 端为 VMGTAVTT 时 RX 输入引脚直流耦合输入电流	--	12	mA
24	$I_{DCIN-GND}$	RX 端为 GND 时 RX 输入引脚直流耦合输入电流	--	12	mA
25	$I_{DCOUT-FLOAT}$	RX 端浮空时 TX 输出引脚直流耦合输出电流	--	14	mA
26	$I_{DCOUT-MGTAVTT}$	RX 端为 VMGTAVTT 时 TX 输出引脚直流耦合输出电流	--	12	mA
片上 ADC 模块					
27	V_{CCADC}	ADC 相对 GNDADC 的电源电压	-0.5	2.0	V
28	V_{REFP}	相对 GNDADC 外部提供的参考电压	-0.5	2.0	V
温度范围					
29	T_{STG}	储存环境温度	-65	150	℃
30	T_{SOL}	封装引脚无铅焊球最大焊接温度	--	260	℃
31	T_J	器件最大结温（工业级）	-40	100	℃

注 1：超过绝对最大额定值的应力可能会对器件造成永久性的损坏。上表内容只是用于压力评级，不包含器件在这些或任何超出上述条件下的功能操作。长时间暴露在绝对最大额定值条件下可能会影响器件的可靠性。

注 2：最大极限适用于输入直流信号。输入交流信号最大过冲和过冲规格见下表 6 和表 7。

表 6　用户 I/O 最大允许的交流过冲输入电压和下冲输入电压（HPIO）[1,2]

序号	交流过冲电压（V）	% of UI	交流下冲电压（V）	% of UI
1	V_{CCO} + 0.55	100	- 0.55	100
2	V_{CCO} + 0.60	50.0[3]	- 0.60	50.0[3]
3	V_{CCO} + 0.65	50.0[3]	- 0.65	50.0[3]
4	V_{CCO} + 0.70	47.0	- 0.70	50.0[3]
5	V_{CCO} + 0.75	21.2	- 0.75	50.0[3]
6	V_{CCO} + 0.80	9.71	- 0.80	50.0[3]
7	V_{CCO} + 0.85	4.51	- 0.85	28.4
8	V_{CCO} + 0.90	2.12	- 0.90	12.7
9	V_{CCO} + 0.97	1.01	- 0.97	5.79

注 1：每个 IO Bank 合计不能超过 200 mA。

注 2：过冲或下冲的峰值电压、在 V_{CCO} + 0.20V 以上或 GND - 0.20V 以下的持续时间不得超过上表中的值。

注 3：UI 持续时间小于 20μs。

CSD7Z045技术手册

表 7　用户 I/O 最大允许的交流过冲输入电压和下冲输入电压（HRIO）[1,2]

序号	交流过冲电压（V）	% of UI	交流下冲电压（V）	% of UI
1	V_{CCO} + 0.55	100	- 0.40	100
			- 0.45	61.7
			- 0.50	25.8
			- 0.55	11.0
2	V_{CCO} + 0.60	46.6	- 0.60	4.77
3	V_{CCO} + 0.65	21.2	- 0.65	2.10
4	V_{CCO} + 0.70	9.75	- 0.70	0.94
5	V_{CCO} + 0.75	4.55	- 0.75	0.43
6	V_{CCO} + 0.80	2.15	- 0.80	0.20
7	V_{CCO} + 0.85	1.02	- 0.85	0.09
8	V_{CCO} + 0.90	0.49	- 0.90	0.04
9	V_{CCO} + 0.97	0.24	- 0.97	0.02
注 1：每个 IO Bank 合计不能超过 200 mA。 注 2：过冲或下冲的峰值电压、在 V_{CCO} + 0.20V 以上或 GND - 0.20V 以下的持续时间不得超过上表中的值。				

表 8　配置专用引脚最大允许的交流过冲输入电压和下冲输入电压 [1,2]

序号	交流过冲电压（V）	% of UI	交流下冲电压（V）	% of UI
1	V_{CCO} + 0.55	100	-0.40	100
			-0.45	61.7
			-0.50	25.8
			- 0.55	11.0
2	V_{CCO} + 0.60	46.6	- 0.60	4.77
3	V_{CCO} + 0.65	21.2	- 0.65	2.10
4	V_{CCO} + 0.70	9.75	- 0.70	0.94
5	V_{CCO} + 0.75	4.55	- 0.75	0.43
6	V_{CCO} + 0.80	2.15	- 0.80	0.20
7	V_{CCO} + 0.85	1.02	- 0.85	0.09
8	V_{CCO} + 0.90	0.49	- 0.90	0.04
9	V_{CCO} + 0.97	0.24	- 0.97	0.02
注 1：配置专用引脚 Bank 合计不能超过 200 mA。 注 2：过冲或下冲的峰值电压、在 V_{CCO} + 0.20V 以上或 GND - 0.20V 以下的持续时间不得超过上表中的值。				

CSD7Z045技术手册

5.2 推荐工作范围

表 9 推荐工作条件 [1,2,3,4,5,6,7]

序号	标志符号	特性描述	最小	典型	最大	单位
处理器系统 PS						
1	V_{CCPINT}	内核电源	0.97	1.00	1.03	V
2	V_{CCPAUX}	辅助电源	1.71	1.80	1.89	V
3	V_{CCPLL}	锁相环电源	1.71	1.80	1.89	V
4	V_{CCO_DDR}	DDR 电源	1.14	-	1.89	V
5	V_{CCO_MIO}	MIO 电源	1.71	-	3.465	V
6	V_{PIN}	MIO IO 输入电压	-0.2	—	V_{CCO}+0.2	V
		DDR IO 输入电压	-0.2	—	V_{CCO}+0.2	V
可编程逻辑 PL						
7	V_{CCINT}	内核电源	0.97	1.00	1.03	V
8	V_{CCAUX}	辅助电源	1.71	1.80	1.89	V
9	V_{CCBRAM}	内部块 RAM 电源	0.97	1.00	1.03	V
10	V_{CCO}	HRIO 电源	1.14	-	3.465	V
		高性能用户 HPIO 电源	1.14	—	1.89	V
11	V_{IN}	IO 输入电压	-0.2	—	VCCO+0.2	V
		当 V_{CCO} 为 3.3V 时，对于 V_{REF} 和差分电平标准（TMDS33 除外）的 IO 输入电压	-0.2	—	2.625	V
12	V_{CCAUX_IO}	IO 辅助电源，当设置为 1.8V 时	1.71	1.80	1.89	V
		IO 辅助电源，当设置为 2.0V 时	1.94	2.00	2.06	V
13	V_{CCBATT}	密钥存储备用电池电压	1.0	-	1.89	V
高速串行收发器						
14	$V_{MGTAVCC}$	高速收发器 QPLL 模拟电源电压 QPLL 频率范围≤10.3125GHz	0.97	1.00	1.08	V
		高速收发器 QPLL 模拟电源电压 QPLL 频率范围＞10.3125GHz	1.02	1.03	1.08	V
15	$V_{MGTAVTT}$	高速收发器端接电路电源	1.17	1.20	1.23	V
16	$V_{MGTVCCAUX}$	高速收发器 QPLL 辅助电源	1.75	1.80	1.85	V
17	$V_{MGTAVTTRCAL}$	高速收发器电阻校准电路模拟电源	1.17	1.20	1.23	V
片上 ADC 模块						
18	V_{CCADC}	ADC 相对 GNDADC 的电源电压	1.71	1.80	1.89	V
19	V_{REFP}	外部提供的参考电压	1.20	1.25	1.30	V
工作温度范围						
20	T_j	器件工作结温(工业级)	-40	—	100	℃

CSD7Z045技术手册

序号	标志符号	特性描述	最小	典型	最大	单位
注 1 *PS 电源*和 *PL* 电源独立。 注 2 V_{CCINT} 和 V_{CCBRAM} 应该连接到相同的供电电源。 注 3 即使 V_{CCO} 下降到 0V，配置数据仍然会被保留。V_{CCO} 包含 1.2V、1.35V、1.5V、1.8V、2.5V、3.3V 范围±5%的。 注 4 每个 IO Bank 总和不能超过 200 mA。 注 5 只有在使用位流加密时才需要 V_{CCBATT}；如果没有使用电池，V_{CCBATT} 连接到大地或 V_{CCAUX}。 注 6 列出的每个电压都需要采用本器件的产品应用手册中描述的滤波电路。 注 7 $V_{MGTAVTT}$ 与 $V_{MGTAVTTRCAL}$ 短接使用。						

表 10　器件典型静态所需供电电流

特 性	符号	条　件 （除非另有规定， V_{CCINT}=0.97V~1.03V, V_{CCBRAM}=0.97V~1.03V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465V, V_{CCPINT}=0.97V~1.03V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
V_{CCPINT} 静态供电电流	$I_{CCPINTQ}$	IO 资源选择为单端工作模式； 器件为空白配置、没有输出电流负载、没有活跃的输入上拉电阻、所有 I/O 引脚为三态和悬空的条件下。	—	1000	mA
V_{CCPAUX} 静态供电电流	$I_{CCPAUXQ}$			50	mA
V_{CCPLL} 静态供电电流	I_{CCPLLQ}			50	mA
V_{CCINT} 静态供电电流	I_{CCINTQ}		—	4000	mA
V_{CCAUX} 静态供电电流	I_{CCAUXQ}		—	600	mA
V_{CCADC} 静态供电电流	I_{CCADCQ}			50	mA
V_{CCO} 静态供电电流	I_{CCOQ}		—	50	mA
V_{CCBRAM} 静态供电电流	$I_{CCBRAMQ}$		—	250	mA

表 11　器件上电需求最小电流

器件	$I_{CCPINTMIN}$	I_{CCPAUX}	$I_{CCDDRMIN}$	$I_{CCINTMIN}$	$I_{CCAUXMIN}$	I_{CCOMIN}	I_{CCAUX_IOMIN}	$I_{CCBRAMMIN}$	单位
CSD7Z045	$I_{CCPINTQ}$ + 70	I_{CCPAUX} + 40	I_{CCDDRQ} + 130 per bank	I_{CCINTQ} + 1400	I_{CCAUXQ} + 60	I_{CCOQ} + 90 mA /IO Bank	$I_{CCOAUXIOQ}$ + 40 mA /IO Bank	$I_{CCBRAMQ}$ + 90	mA

CSD7Z045技术手册

表 12　器件上电上升时间 [1,2,3]

序号	标志符号	特性描述	条件	最小	最大	单位
1	t_{VCCINT}(1)	从 GND 到 90% V_{CCPINT} 的爬升时间		0.2	50	ms
2	$t_{VCCPAUX}$	从 GND 到 90% V_{CCPAUX} 的爬升时间		0.2	50	ms
3	t_{VCCO_DDR}	从 GND 到 90% V_{VCCO_DDR} 的爬升时间		0.2	50	ms
4	t_{VCCO_MIO}	从 GND 到 90% V_{VCCO_MIO} 的爬升时间		0.2	50	ms
5	t_{VCCINT}	从 GND 到 90% V_{CCINT} 的爬升时间	--	0.2	50	ms
6	t_{VCCO}	从 GND 到 90% V_{CCO} 的爬升时间	--	0.2	50	ms
7	t_{VCCAUX}	从 GND 到 90% V_{CCAUX} 的爬升时间	--	0.2	50	ms
8	t_{VCCAUX_IO}	从 GND 到 90% V_{CCAUX_IO} 的爬升时间	--	0.2	50	ms
9	$t_{VCCBRAM}$	从 GND 到 90% V_{CCBRAM} 的爬升时间	--	0.2	50	ms
10	$t_{MGTAVCC}$(2)	从 GND 到 90% $V_{MGTAVCC}$ 的爬升时间	--	0.2	50	ms
11	$t_{MGTAVTT}$	从 GND 到 90% $V_{MGTAVTT}$ 的爬升时间	--	0.2	50	ms
12	$t_{MGTVCCAUX}$	从 GND 到 90% $V_{MGTVCCAUX}$ 的爬升时间	--	0.2	50	ms

注 1：PS 和 PL 的供电是完全独立的，故两边电源之间没有上电顺序要求。

注 2：PS 推荐上电顺序是按 VCCPINT、VCCPAUX、VCCAUX _IO、VCCPLL 和 PS VCCO（VCCO_MIO0、VCCO_MIO1、VCCO_DDR）以在上电过程中消耗最小的电流和确保 IO 为三态；推荐掉电顺序与推荐上电顺序相反。PS_POR_B 端口需要保持为 GND 直到上电完成。

注 3：PL 推荐的上电电源顺序为 V_{CCINT}、V_{CCBRAM}、V_{CCAUX} 和 V_{CCO}，以实现最小的上电电流并确保 I/Os 在上电过程中状态为三态。推荐的掉电电源顺序与上电电源顺序相反。如果 V_{CCINT}、VCCAUX_IO 和 V_{CCBRAM} 为相同的电压值它们可以被同一个电源驱动和同时上电。

6　电特性参数

6.1　直流电特性参数

表 13　直流电特性参数

特 性	符号	条　　件 （除非另有规定， V_{CCINT}=0.97V~1.03V, V_{CCBRAM}=0.97V~1.03V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465V， V_{CCPINT}=0.97V~1.03V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
数据保持 V_{CCINT} 电压	V_{DRINT}	-	0.75	—	V
数据保持 V_{CCAUX} 电压	V_{DRI}	-	1.5	—	V
V_{REF} 引脚漏电流	I_{REF}	V_{CCINT}=1.03V，V_{CCBRAM}=1.03V，V_{CCAUX}=1.89V， V_{CCO}=1.89V，V_{REF}=0.9V，V_{CCPINT}=1.03V， V_{CCPAUX}=1.89V，V_{CCAUX_IO}=1.89V， V_{CCO_DDR}=1.89V，　V_{CCO_MIO}=1.89V	—	15	μA

CSD7Z045技术手册

引脚输入或输出漏电流	I_L	V_{CCINT}=1.03V,V_{CCBRAM}=1.03V,V_{CCAUX}=1.89V, V_{CCO}=1.89V， V_{CCAUX_IO}=1.89V	—	15	μA
引脚上拉电流	I_{RPU}	管脚上拉使能时，V_{IN}=0V，V_{CCO}=3.3V，V_{CCINT}=1.00V，V_{CCBRAM}=1.00V， V_{CCAUX}=1.80V， V_{CCAUX_IO}=1.80V	80	330	μA
		管脚上拉使能时， V_{IN}=0V, V_{CCO}=1.8V， V_{CCAUX_IO}=1.80V，VCCINT=1.00V，V_{CCBRAM}=1.00V， V_{CCAUX}=1.80V	34	220	μA
		管脚上拉使能时，V_{IN}=0V，V_{CCO}=1.2V，V_{CCINT}=1.00V， VCCBRAM=1.00V， VCCAUX=1.80V， VCCAUX_IO=1.80V	12	120	μA
引脚下拉电流	I_{RPD}	管脚下拉使能时， V_{IN}=3.3V,V_{CCO}=3.3V， V_{CCAUX_IO}=1.80V V_{CCINT}=1.00V， V_{CCBRAM}=1.00V， V_{CCAUX}=1.80V	68	330	μA
ADC 模拟电源电流，模拟电路处于通电状态	I_{CCADC}	V_{CCINT}=1.00V， V_{CCBRAM}=1.00V， V_{CCAUX}=1.80V， V_{CCAUX_IO}=1.80V， V_{CCO}=1.80V， V_{CCADC}=1.89V， V_{REFP}=1.25V	—	25	mA

表 14　PS 单端输入低电平电压

特 性	符号	条　件（除非另有规定，V_{CCPINT}=0.97V~1.03V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值 最小	极限值 最大	单位
MIO 输入低电平电压	V_{IL}	HSTL_I_18，V_{CCO_MIO} =1.8×（1±5%）V V_{PREF}=V_{CCO_MIO} /2	-0.3	V_{PREF}-0.100	V
		LVCMOS33，V_{CCO_MIO}=3.3×（1±5%）V	-0.3	0.8	V
		LVCMOS25，V_{CCO_MIO}=2.5×（1±5%）V	-0.3	0.7	V
		LVCMOS18，V_{CCO_MIO}=1.8×（1±5%）V	-0.3	35%×V_{CCO_MIO}	V

表 15　PL 单端输入低电平电压

特 性	符号	条　件（除非另有规定，V_{CCINT}=0.97V~1.03V,V_{CCBRAM}=0.97V~1.03V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465V）		极限值 最小	极限值 最大	单位
输入低电平电压	V_{IL}	LVTTL，V_{CCO}=3.3×（1±5%）V		-0.3	0.8	V
		LVCMOS33，V_{CCO}=3.3×（1±5%）V		-0.3	0.8	V
		LVCMOS25，V_{CCO}=2.5×（1±5%）V		-0.3	0.7	V
		LVCMOS18，V_{CCO}=1.8×（1±5%）V		-0.3	35%V_{CCO}	V
		LVCMOS15，V_{CCO}=1.5×（1±5%）V		-0.3	35%V_{CCO}	V
		LVCMOS12，V_{CCO}=1.2×（1±5%）V		-0.3	35%V_{CCO}	V
		HSTL_II，V_{CCO}=1.5×（1±5%）V	V_{REF}=V_{CCO}/2	-0.3	V_{REF}-0.1	V
		SSTL15，V_{CCO}=1.5×（1±5%）V		-0.3	V_{REF}-0.1	V

CSD7Z045技术手册

特 性	符号	条 件 （除非另有规定， V_{CCINT}=0.97V~1.03V,V_{CCBRAM}=0.97V~1.03V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465V）		极限值		单位
				最小	最大	
		HSTL_I_18,V_{CCO}=1.8×（1±5%）V	V_{REF}=V_{CCO}/2	-0.3	V_{REF}-0.1	V
		SSTL18_I，V_{CCO}=1.8×（1±5%）V		-0.3	V_{REF}-0.125	V
		SSTL18_II，V_{CCO}=1.8×（1±5%）V		-0.3	V_{REF}-0.125	V
		SSTL135，V_{CCO}=1.35×（1±5%）V	V_{REF}=V_{CCO}/2	-0.3	V_{REF}-0.09	V

表 16　PS 单端输入高电平电压

特 性	符号	条 件 （除非另有规定， V_{CCPINT}=0.97V~1.03V,V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V,V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
MIO 输入高电平电压	V_{IH}	HSTL_I_18，V_{CCO_MIO} =1.8×（1±5%）V V_{PREF}=V_{CCO_MIO} /2	V_{PREF}+0.100	V_{CCO_MIO}+0.3	V
		LVCMOS33，V_{CCO_MIO}=3.3×（1±5%）V	2.0	3.450	V
		LVCMOS25，V_{CCO_MIO}=2.5×（1±5%）V	1.7	V_{CCO_MIO}+0.3	V
		LVCMOS18，V_{CCO_MIO}=1.8×（1±5%）V	65%V_{CCO_MIO}	V_{CCO_MIO}+0.3	V

表 17　PL 单端输入高电平电压

特 性	符号	条 件 （除非另有规定， V_{CCINT}=0.97V~1.03V,V_{CCBRAM}=0.97V~1.03V, V_{CCAUX}=1.71V~1.89V,V_{CCO}=1.14V~3.465V）		极限值		单位
				最小	最大	
输入高电平电压	V_{IH}	LVCMOS18，V_{CCO} =1.8×（1±5%）V		65% V_{CCO}	V_{CCO} +0.3	V
		LVCMOS25，V_{CCO} =2.5×（1±5%）V		1.7	V_{CCO} +0.3	V
		LVCMOS33/LVTTL，V_{CCO} =3.3×（1±5%）V		2.0	3.450	V
		LVCMOS15，V_{CCO} =1.5×（1±5%）V		65% V_{CCO}	V_{CCO} +0.3	V
		LVCMOS12，V_{CCO} =1.2×（1±5%）V		65% V_{CCO}	V_{CCO} +0.3	V
		HSTL_II，V_{CCO} =1.5×（1±5%）V	V_{REF}=V_{CCO}/2	V_{REF} +0.1	V_{CCO} +0.3	V
		SSTL15，V_{CCO} =1.5×（1±5%）V		V_{REF} +0.1	V_{CCO} +0.3	V
		HSTL_I_18, V_{CCO} =1.8×（1±5%）V	V_{REF}=V_{CCO}/2	V_{REF} +0.1	V_{CCO} +0.3	V
		SSTL18_I，V_{CCO} =1.8×（1±5%）V		V_{REF} +0.125	V_{CCO} +0.3	V
		SSTL18_II，V_{CCO} =1.8×（1±5%）V		V_{REF} +0.125	V_{CCO} +0.3	V
		SSTL135，V_{CCO} =1.35×（1±5%）V	V_{REF}=V_{CCO}/2	V_{REF} +0.09	V_{CCO} +0.3	V

CSD7Z045技术手册

表 18　PS 单端输出低电平电压

特 性	符号	条　　件 （除非另有规定， V_{CCPINT}=0.97V~1.03V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
MIO 输出低电平电压	V_{OL}	HSTL_I_18，V_{CCO_MIO} =1.8×（1±5%）V，V_{PREF}=V_{CCO_MIO} /2	—	0.400	V
		LVCMOS33，V_{CCO_MIO}=3.3×（1±5%）V	—	0.400	V
		LVCMOS25，V_{CCO_MIO}=2.5×（1±5%）V	—	0.400	V
		LVCMOS18，V_{CCO_MIO}=1.8×（1±5%）V	—	0.450	V

表 19　PL 单端输出低电平电压

特 性	符号	条　　件 （除非另有规定， V_{CCINT}=0.97V~1.03V,V_{CCBRAM}=0.97V~1.03V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465V）	极限值		单位
			最小	最大	
输出低电平电压	V_{OL}	LVCMOS18，V_{CCO} =1.8×（1±5%）V，I_{OL} =16mA	—	0.45	V
		LVCMOS25，V_{CCO} =2.5×（1±5%）V，I_{OL} =16mA	—	0.4	V
		LVCMOS33，V_{CCO} =3.3×（1±5%）V，I_{OL} =16mA	—	0.4	V
		LVTTL，V_{CCO} =3.3×（1±5%）V，I_{OL} =24mA	—	0.4	V
		LVCMOS15，V_{CCO} =1.5×（1±5%）V，I_{OL} =16mA	—	25% V_{CCO}	V
		LVCMOS12，V_{CCO} =1.2×（1±5%）V，I_{OL} =8mA	—	0.4	V
		HSTL_II，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OL} =16mA	—	0.4	V
		SSTL15，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OL} =13mA	—	V_{CCO}/2-0.175	V
		HSTL_I_18，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OL} =8mA	—	0.4	V
		SSTL18_I，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =8mA	—	V_{CCO}/2-0.47	V
		SSTL18_II，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =13.4mA	—	V_{CCO}/2-0.6	V
		SSTL135，V_{CCO} =1.35×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =13mA	—	V_{CCO}/2-0.15	V

表 20　PS 单端输出高电平电压

特 性	符号	条　　件 （除非另有规定， V_{CCPINT}=0.97V~1.03V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
MIO 输出高电平电压	V_{OH}	HSTL_I_18，V_{CCO_MIO} =1.8×（1±5%）V，V_{PREF}=V_{CCO_MIO} /2	V_{CCO_MIO}-0.400	—	V
		LVCMOS33，V_{CCO_MIO}=3.3×（1±5%）V	V_{CCO_MIO}-0.400	—	V
		LVCMOS25，V_{CCO_MIO}=2.5×（1±5%）V	V_{CCO_MIO}-0.400	—	V
		LVCMOS18，V_{CCO_MIO}=1.8×（1±5%）V	V_{CCO_MIO}-0.450	—	V

表 21　PL 单端输出高电平电压

特 性	符号	条　　件 （除非另有规定， V_{CCINT}=0.97V~1.03V, V_{CCBRAM}=0.97V~1.03V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465V）	极限值		单位
			最小	最大	
输出高电平电压	V_{OH}	LVCMOS18，V_{CCO} =1.8×（1±5%）V，I_{OH} =-16mA	V_{CCO} -0.45	—	V
		LVCMOS25，V_{CCO} =2.5×（1±5%）V，I_{OH} =-16mA	V_{CCO} -0.4	—	V
		LVTTL，V_{CCO} =3.3×（1±5%）V，I_{OH} =-24mA	2.4	—	V
		LVCMOS33，V_{CCO} =3.3×（1±5%）V，I_{OH} =-16mA	V_{CCO} -0.4	—	V
		LVCMOS15，V_{CCO} =1.5×（1±5%）V，I_{OH} =-16mA	75% V_{CCO}	—	V
		LVCMOS12，V_{CCO} =1.2×（1±5%）V，I_{OH} =-8mA	V_{CCO} -0.4	—	V
		HSTL_II，V_{CCO} =1.5×（1±5%）V， V_{REF} = V_{CCO} /2，I_{OH} =-16mA	V_{CCO} -0.4	—	V
		SSTL15，V_{CCO} =1.5×（1±5%）V， V_{REF} = V_{CCO} /2，I_{OH} =-13mA	V_{CCO} /2+0.175	—	V
		HSTL_I_18，V_{CCO} =1.8×（1±5%）V， V_{REF} = V_{CCO} /2，I_{OH} =-8mA	V_{CCO} -0.4	—	V
		SSTL18_I，V_{CCO} =1.8×（1±5%）V， V_{REF} = V_{CCO} /2，I_{OH} =-8mA	V_{CCO}/2+0.47	—	V
		SSTL18_II，V_{CCO} =1.8×（1±5%）V， V_{REF} = V_{CCO} /2，I_{OH} =-13.4mA	V_{CCO} /2+0.6	—	V
		SSTL135，V_{CCO} =1.35×（1±5%）V， V_{REF} = V_{CCO} /2，I_{OH} =-13mA	V_{CCO}/2+0.15	—	V

表 22　IOB 差分接口标准输出性能指标（LVDS）

特 性	符号	条　　件 （除非另有规定， V_{CCINT}=0.97V~1.03V, V_{CCBRAM}=0.97V~1.03V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=2.375V~2.625V）	极限值		单位
			最小	最大	
LVDS					
输出高电平电压	V_{OH}	RT=100Ω，跨接于 Q 和 QB 端口	–	1.675	V
输出低电平电压	V_{OL}	RT=100Ω，跨接于 Q 和 QB 端口	0.825	–	V
输出差模电压	V_{ODIFF}	RT=100Ω，跨接于 Q 和 QB 端口	247	600	mV
输出共模电压	V_{OCM}	RT=100Ω，跨接于 Q 和 QB 端口	1.000	1.425	V
输入差模电压	V_{IDIFF}	输入共模电压= 1.25V	100	600	mV
输入共模电压	V_{ICM}	输入差模电压= ±350 mV	0.300	1.425	V

CSD7Z045技术手册

表 23　IOB 差分接口标准输出性能指标（LVDS_25）

特 性	符号	条　　件 （除非另有规定， V_{CCINT}=0.97V~1.03V, V_{CCBRAM}=0.97V~1.03V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=2.375V~2.625V）	极限值		单位
			最小	最大	
LVDS_25					
输出高电平电压	V_{OH}	R_T=100Ω，跨接于 Q 和 QB 端口	–	1.675	V
输出低电平电压	V_{OL}	R_T=100Ω，跨接于 Q 和 QB 端口	0.700	–	V
输出差模电压	V_{ODIFF}	R_T=100Ω，跨接于 Q 和 QB 端口	247	600	mV
输出共模电压	V_{OCM}	R_T=100Ω，跨接于 Q 和 QB 端口	1.000	1.425	V
输入差模电压	V_{IDIFF}	—	100	600	mV
输入共模电压	V_{ICM}	—	0.300	1.5	V

表 24　SERDES 直流特性

特 性	符号	条　　件 （除非另有规定， V_{CCINT}=0.97V~1.03V, V_{CCAUX}=1.71V~1.89V, $V_{CCMGTAVCC}$=0.97V~1.03V, $V_{CCMGTAVTT}$=1.17V~1.23V, V_{CCO}=2.375V~2.625V）	极限值			单位
			最小	典型值	最大	
差分峰峰 输出电压	DV_{PPOUT}	TX 输出摆幅最大	1000	—	—	mV
共模输出电压 DC	$V_{CMOUTDC}$	公式	$V_{MGTAVTT}-D_{VPPOUT}$ /4			mV
差分输出电阻	R_{OUT}	—	—	100	—	Ω
输出端 TXP 和 TXN 偏斜	T_{OSKEW}	—	—	—	12	ps
差分峰峰 输入电压	DV_{PPIN}	＞10.3125 Gb/s	150	—	1250	mV
		6.6 Gb/s ～ 10.3125 Gb/s	150	—	1250	mV
		≤6.6 Gb/s	150	—	2000	mV
差分输入电阻	R_{IN}	—	—	100	—	Ω
推荐 AC 耦合电容	C_{EXT}		—	100	—	nf

CSD7Z045技术手册

表 25　SERDES 时钟直流特性

特 性	符号	条　　件 （除非另有规定， V_{CCINT}=0.97V~1.03V, V_{CCAUX}=1.71V~1.89V, $V_{CCMGTAVCC}$=0.97V~1.03V, $V_{CCMGTAVTT}$=1.17V~1.23V, V_{CCO}=2.375V~2.625V）	极限值			单位
			最小	典型值	最大	
差分峰峰电压输入	V_{IDIFF}	—	250	—	2000	mV
差分输入电阻	R_{IN}	—	—	100	—	Ω
推荐 AC 耦合电容	C_{EXT}		—	100	—	nf

6.2　开关特性参数

表 26　网络应用接口性能 1

特性描述	标志符号	条　　件	极限值	单位
SDR LVDS 发送端速率	$DR_{SDR_LVDS_TX}$	使用 OSERDES， 数据位宽 4 到 8	625	Mb/s
DDR LVDS 发送端速率	$DR_{DDR_LVDS_TX}$	使用 OSERDES， 数据位宽 4 到 14	1250（HPIO） 950（HRIO）	Mb/s
SDR LVDS 接收端速率	$DR_{SDR_LVDS_RX}$	SPI-4.1(1)	625	Mb/s
DDR LVDS 接收端速率	$DR_{DDR_LVDS_RX}$	SPI-4.1(1)	1250（HPIO） 950（HRIO）	Mb/s
注 1：LVDS 接收端所实现性能必须依靠于特定的动态相位对准（DPA：dynamic phase-alignment）算法				

表 27　存储器接口生成器可用的存储器接口 IP 的最大物理接口（PHY）速率 1,2

特性	符号	条　　件	极限值	单位
4:1 存储器控制				
DDR3	$PHYR_{DDR3_4}$	V_{CCAUX_IO}=2.0V	1600（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	1066（HPIO）	Mb/s
		-	800（HRIO）	Mb/s
DDR3L	$PHYR_{DDR3L_4}$	V_{CCAUX_IO}=2.0V	1333（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	800（HPIO）	Mb/s
		-	667（HRIO）	Mb/s
DDR2	$PHYR_{DDR2_4}$	V_{CCAUX_IO}=2.0V	800（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	800（HPIO）	Mb/s

特性	符号	条　　件	极限值	单位
		-	800（HRIO）	Mb/s
RLDRAM III	$PHYR_{RLDRAMIII_4}$	V_{CCAUX_IO}=2.0V	667（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	450（HPIO）	Mb/s
2:1 存储器控制				
DDR3	$PHYR_{DDR3_2}$	V_{CCAUX_IO}=2.0V	800（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	800（HPIO）	Mb/s
		-	800（HRIO）	Mb/s
DDR3L	$PHYR_{DDR3L_2}$	V_{CCAUX_IO}=2.0V	800（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	800（HPIO）	Mb/s
		-	667（HRIO）	Mb/s
DDR2	$PHYR_{DDR2_2}$	V_{CCAUX_IO}=2.0V	800（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	800（HPIO）	Mb/s
		-	800（HRIO）	Mb/s
QDR II+(2)	$PHYR_{QDRIIP_2}$	V_{CCAUX_IO}=2.0V	450（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	450（HPIO）	Mb/s
		-	400（HRIO）	Mb/s
RLDRAM II	$PHYR_{RLDRAMII_2}$	V_{CCAUX_IO}=2.0V	450（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	450（HPIO）	Mb/s
		-	450（HRIO）	Mb/s
LPDDR2	$PHYR_{LPDDR2_2}$	V_{CCAUX_IO}=2.0V	667（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	667（HPIO）	Mb/s
		-	667（HRIO）	Mb/s
注 1：当使用内部 V_{REF} 时，最大数据率为 800Mb/s（400MHz） 注 2：QDR II+最大性能规范适用于突发长度为 4（BL＝4）的应用实现				

表 28　时钟缓冲器和网络频率特性

特 性	符号	条　　件 （除非另有规定， V_{CCINT}=0.97V~1.03V, V_{CCBRAM}=0.97V~1.03V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465V）	极限值		单位
			最小	最大	
全局时钟树最大频率	f_{MAX_BUFG}	-	—	464.00	MHz
I/O 时钟树最大频率	f_{MAX_BUFIO}		—	600.00	MHz
区域时钟树最大频率	f_{MAX_BUFR}		—	315.00	MHz
水平时钟缓冲器最大频率	f_{MAX_BUFH}		—	464.00	MHz

表 29　MMCM 模块开关特性

特 性	符号	条　件 （除非另有规定， V_{CCINT}=0.97V~1.03V, V_{CCBRAM}=0.97V~1.03V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465V）	极限值		单位
			最小	最大	
最小时钟输入频率	*MMCM_*f_{INMIN}	-	10	—	MHz
最大时钟输入频率	*MMCM_*f_{INMAX}		—	800	MHz
最小 MMCM VCO 频率	*MMCM_*f_{VCOMIN}		600	—	MHz
最大 MMCM VCO 频率	*MMCM_*f_{VCOMAX}		—	1200	MHz
最小输出频率	*MMCM_*f_{OUTMIN}		4.69	—	MHz
最大输出频率	*MMCM_*f_{OUTMAX}		—	800	MHz
鉴相器的最小频率	*MMCM_*f_{PFDMIN}		10	—	MHz
鉴相器的最大频率	*MMCM_*f_{PFDMAX}		—	450	MHz

表 30　PLL 模块开关特性

特 性	符号	条　件 （除非另有规定， V_{CCINT}=0.97V~1.03V, V_{CCBRAM}=0.97V~1.03V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465V）	极限值		单位
			最小	最大	
最小时钟输入频率	*PLL_*f_{INMIN}	-	19	—	MHz
最大时钟输入频率	*PLL_*f_{INMAX}		—	800	MHz
最小 PLL VCO 频率	*PLL_*f_{VCOMIN}		800	—	MHz
最大 PLL VCO 频率	*PLL_*f_{VCOMAX}		—	1600	MHz
最小输出频率	*PLL_*f_{OUTMIN}		6.25	—	MHz
最大输出频率	*PLL_*f_{OUTMAX}		—	800	MHz
鉴相器的最小频率	*PLL_*f_{PFDMIN}		19	—	MHz
鉴相器的最大频率	*PLL_*f_{PFDMAX}		—	450	MHz

CSD7Z045技术手册

表 31　引脚到引脚输入及输出参数

特 性	符号	条　　件 （除非另有规定， V_{CCINT}=0.97V~1.03V, V_{CCBRAM}=0.97V~1.03V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.425V~1.575V）	极限值		单位
			最小	最大	
时钟输入引脚到输出触发器输出引脚（最靠近 BUFGs）的延迟	t_{ICKOF}	SSTL15，Fast Slew Rate，不使用 MMCM 和 PLL	—	7.08	ns
时钟输入引脚到输出触发器输出引脚（距离 BUFGs 最远）的延迟	$t_{ICKOFFAR}$	SSTL15，Fast Slew Rate，不使用 MMCM 和 PL	—	7.40	ns
时钟输入引脚到输出触发器输出引脚的延迟（使用 MMCM）	$t_{ICKOFMMCMCC}$	SSTL15，Fast Slew Rate，使用 MMCM	—	1.03	ns
时钟输入引脚到输出触发器输出引脚的延迟（使用 PLL）	$t_{ICKOFPLLCC}$	SSTL15，Fast Slew Rate 使用 PLL	—	0.82	ns

表 32　eFUSE 编程特性 [1]

特性描述	标志符号	条　　件	极限值		单位
			最小值	最大值	
编程温度范围	T_J		15	125	℃
V_{CCAUX} 编程电流	I_{FS}		—	115	mA
注：（1）PL 器件在 eFUSE 编程过程中必须禁止配置。					

表 33　GTX 收发器频率特性

特性描述	标志符号	条　　件（除非另有规定， V_{CCINT}=0.97V~1.03V, V_{CCBRAM}=0.97V~1.03V, V_{CCAUX}=1.71V~1.89V, V_{CCAUX_IO}=1.71V~1.89V, $V_{MGTAVCC}$=0.97V~1.08V， $V_{MGTAVTT}$=1.17~1.23V， $V_{MGTVCCAUX}$=1.75~1.85V， V_{CCO}=1.14V~3.465V（HRIO）或 V_{CCO}=1.14V~1.89V（HPIO））	极限值		单位
			最小值	最大值	
GTX 收发器最大数据速率	f_{GTXMAX}		12.5	—	Gb/s
GTX 收发器最小数据速率	f_{GTXMIN}		—	0.500	Gb/s

CSD7Z045技术手册

表 34　CPU 时钟开关特性

特 性	符号	条　件 （除非另有规定， V_{CCPINT}=0.97V~1.03V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
最大 CPU 时钟频率	$f_{CPU_6X4X_621_MAX}$	时钟比例设置为 6:2:1	—	766	MHz
最大 CPU_3X 时钟频率	$f_{CPU_3X2X_621_MAX}$		—	383	MHz
最大 CPU_2X 时钟频率	$f_{CPU_2X_621_MAX}$		—	255	MHz
最大 CPU_1X 时钟频率	$f_{CPU_1X_621_MAX}$		—	127	MHz
最大 CPU 时钟频率	$f_{CPU_6X4X_421_MAX}$	时钟比例设置为 4:2:1	—	600	MHz
最大 CPU_3X 时钟频率	$f_{CPU_3X2X_421_MAX}$		—	300	MHz
最大 CPU_2X 时钟频率	$f_{CPU_2X_421_MAX}$		—	300	MHz
最大 CPU_1X 时钟频率	$f_{CPU_1X_421_MAX}$		—	150	MHz

表 35　DDR 时钟开关特性

特 性	符号	条　件 （除非另有规定， V_{CCPINT}=0.97V~1.03V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
最高 DDR3 接口性能	f_{DDR3_MAX}	—	—	1066	Mb/s

表 36　PS-PL 接口开关特性

特 性	符号	条　件 （除非另有规定， V_{CCINT}=0.97V~1.03V,V_{CCBRAM}=0.97V~1.03V, V_{CCAUX}=1.71V~1.89V,V_{CCO}=1.425V~1.575V， V_{CCPINT}=0.97V~1.03V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
最大 AXI 接口性能	f_{AXI_MAX}	—	—	250	MHz

表 37　PS-PLL 接口开关特性

特 性	符号	条　件 （除非另有规定， V_{CCPINT}=0.97V~1.03V,V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V,V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
PLL 最大输出频率	f_{PSPLL_MAX}	—	—	1600	MHz

表 38　处理器配置访问端口开关特性

特 性	符号	条　件 （除非另有规定， V_{CCPINT}=0.97V~1.03V,V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V,V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
处理器配置访问端口最大频率	f_{PCAPCK}	—	—	100	MHz

表 39　SPI 主模式接口开关特性

特 性	符号	条　件 （除非另有规定， V_{CCPINT}=0.97V~1.03V,V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V,V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
SPI 主模式时钟频率	$f_{MSPICLK}$	—	—	50	MHz
SPI 参考时钟频率	$f_{SPI_REF_CLK}$		—	200	MHz

表 40　SPI 从模式接口开关特性

特 性	符号	条　件 （除非另有规定， V_{CCPINT}=0.97V~1.03V,V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V,V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
SPI 从模式时钟频率	$f_{SSPICLK}$	—	—	25	MHz
SPI 参考时钟频率	$f_{SPI_REF_CLK}$		—	200	MHz

表 41　UART 接口开关特性

特 性	符号	条　件 （除非另有规定， V_{CCPINT}=0.97V~1.03V,V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V,V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
最大传输波特率	$B_{AUDTXMAX}$	—	—	1	Mb/s
最大接收波特率	$B_{AUDRXMAX}$		—	1	Mb/s
UART 参考时钟频率	$f_{UART_REF_CLK}$		—	100	MHz

表 42　看门狗计时器开关特性

特 性	符号	条　件 （除非另有规定， V_{CCPINT}=0.97V~1.03V,V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V,V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
看门狗计时器输入时钟频率	f_{WDTCLK}	—	—	10	MHz

7 功能描述

7.1 概述

CSD7Z045 的处理器系统包括双核硬核处理器、每个处理器包含单精度/双精度浮点单元、每个处理器都有各自的 32KB 指令高速缓存和 32KB 数据高速缓存（L1 高速缓存）、512KB 的 L2 高速缓存、256KB 的片上存储器、支持 DDR3 外部存储器、支持 QSPI、NAND、NOR 等外部静态存储器、8 个 DMA 通道、2 个 UART、2 个 CAN、2 个 I2C、2 个 SPI、4 个 32 位 GPIO、2 个 USB2.0、2 个三速以太网、2 个 SD/SDIO、以及支持 AXI 接口等。与此同时，CSD7Z045 系列电路的可编程逻辑具有丰富的资源，包括 350K 个可编程逻辑单元、900 个 DSP、19.2Mb 的可编程 Block RAM 等。

7.2 功能描述

7.2.1 处理器系统功能描述

7.2.1.1 应用处理单元 APU

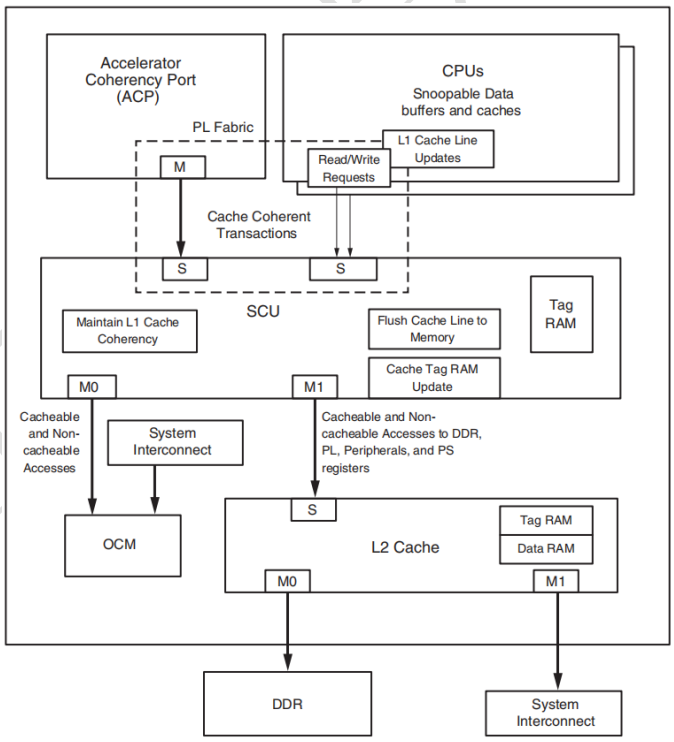


图 6　APU 结构框图

APU 的框架图如上图 6 所示，主要是由两个处理器组成，每一个核都包括一个内存管理单元（MMU）、一个一级 cache 存储器（分为指令 L1（I）和数据 L1（D）两个部分）。APU 里有一个二级 cache 存储器，一个片上存储器（OCM）。APU 里还有一个加速器一致性端口（ACP），有助于 PL 和 APU 之间的通信，PL 可以通过 64 位的 AXI 接口访问二级 cache/OCM 存储器，同时保持 CPU L1 缓存的内存一致性。最后，由

一个一致性控制单元（SCU）在核和二级 cache/OCM 存储器之间形成桥连接，这个单元还负责与 PL 对接。其各个模块的功能介绍如下：

MMU：MMU 的主要任务是实现虚拟地址和物理地址的转换；

cache：一级 cache 和二级 cache 用来存放指令和数据；

SCU：SCU 执行两个处理器与一二级 cache 存储器之间相关的接口任务；

FPU：这个单元实现了与 IEEE 754 标准兼容的浮点运算硬件加速，支持单精度和双精度格式，另外还部分支持半精度和整数转换。

7.2.1.2 DMA

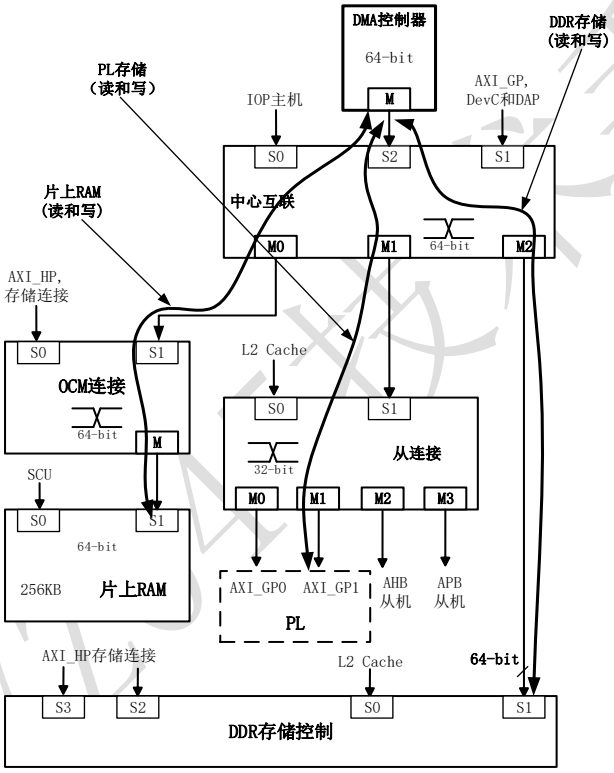


图 7　DMA 结构框图

DMA 控制器(DMAC)使用以 2 倍 CPU 时钟速率运行的 64 位 AXI 主接口来执行与系统存储器和 PL 外设之间的 DMA 数据传输。DMAC 主要包括 3 个子模块，分别为到存储/外设的接口模块、DMA 指令执行引擎和 MFIFO 数据缓冲器模块。DMAC 还包括两组用于以上三个主要功能模块的控制/状态寄存器，分别可在安全模式或非安全模式下访问。

7.2.1.3 外部存储器接口 DDR

DDR 内存控制器支持 DDR2、DDR3、DDR3L 设备，其由三个主要模块组成：AXI 内存端口接口（DDRI）、带有事务调度器的核心控制器（DDRC）以及带有数字 PHY（DDRP）的控制器。

DDRI 模块与四个 64 位同步 AXI 接口连接，同时为多个 AXI 主设备提供服务。每个 AXI 接口都有自己的专用事务 FIFO。

DDRC 包含两个 32 入口内容可寻址存储器（CAM）用于执行 DDR 数据传输调度，以最大限度地提高 DDR 存储器效率。其还包含用于低延迟通道的 fly-by 通道，可以在不通过 CAM 的情况下访问 DDR 内存。

PHY 处理来自控制器的读/写请求，并将它们转换为目标 DDR 存储器时序约束内的特定信号。来自控制器的信号被 PHY 用来产生内部信号，这些信号通过数字 PHY 连接到引脚。DDR 引脚通过 PCB 信号走线直接连接到 DDR 器件。

系统通过 DDRI 的四个 64 位同步 AXI 内存端口来访问 DDR。其中一个 AXI 端口专用于 CPU 和 ACP 的 L2-cache，另外两个端口专用于 AXI_HP 接口，第四个端口由 AXI 互连上的所有其他主机共享。

DDR 接口（DDRI）仲裁来自 8 个端口（4 个读取 4 个写入）的请求。仲裁器选择请求并将其传递给 DDR 控制器和事务调度器（DDRC）。仲裁是基于请求等待的时间长短、请求的紧迫性以及请求是否与前一个请求在同一页面内这些条件的组合进行的。

DDRC 通过一个单独的接口接收来自 DDRI 的请求。读和写都通过此接口进行。读取请求包括一个标记字段，该字段与来自 DDR 的数据一起返回。DDR 控制器 PHY（DDRP）驱动 DDR 事务。

7.2.1.4 MIO/EMIO

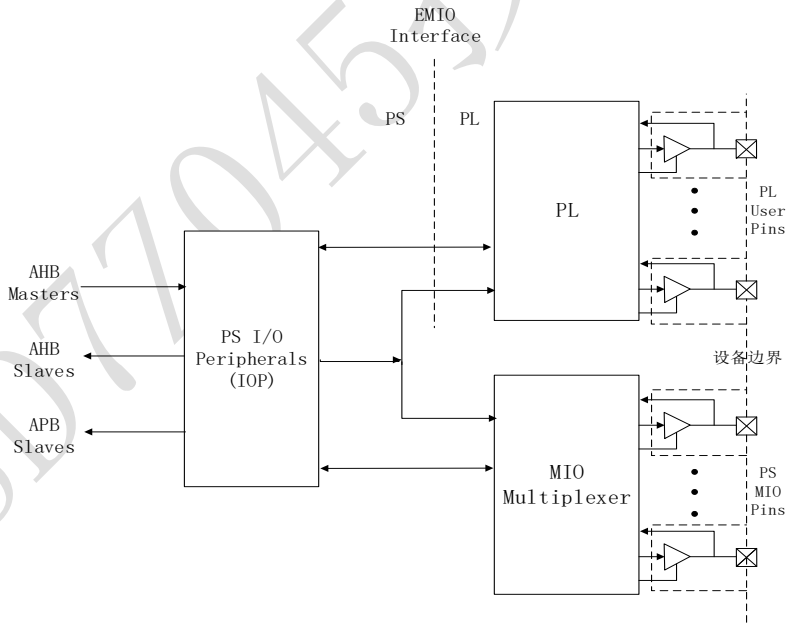


图 8　MIO 结构框图

因为 MIO 引脚的数量是有限的，MIO 多路复用对于 I/O 外设的连接是必要的。I/O 信号到 MIO 引脚的路由被软件编程。I/O 外设信号也可以通过 EMIO 接口路由到 PL 设备中，必要时路由到 PL 设备引脚。I/O 信号路由到 EMIO，有效地利用 PL 引脚，来获取更多的设备引脚；同时，可以允许 I/O 外设控制器连接到 PL 中的用户逻辑。

CSD7Z045技术手册

7.2.1.5 SD

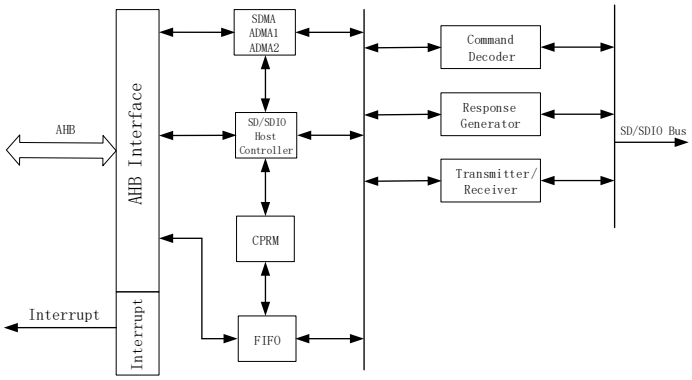


图 9　SD 结构框图

SD/SDIO 控制器通过多达 4 条数据线与 SDIO 设备、SD 存储卡进行通信。在 SD 接口上，一根数据线或者四根数据线可以被用来传输数据。SDIO 接口可以通过 MIO 多路复用器路由到 MIO 引脚或通过 EMIO 路由到 PL 中的 SelectIO 引脚。

7.2.1.6 XADC

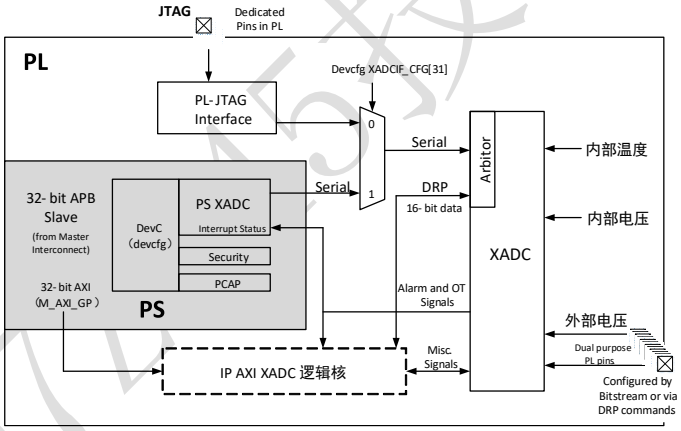


图 10　XADC 结构框图

XADC 具有两个 12 位每秒 1 兆样本(MSPS)ADC，带有单独的跟踪和保持放大器、一个模拟多路复用器（最多 17 个外部模拟输入通道）以及片上热传感器和片上电压传感器。这两个 ADC 可以配置为同时对两个外部输入模拟通道进行采样。采样保持放大器支持一系列模拟输入信号类型，包括单极、双极和差分。模拟输入可以在 1MSPS 的采样率下支持 500KHz 的信号带宽。外部模拟多路复用器可用于增加支持的外部通道数量，而无需额外封装引脚。

XADC 可选择使用片上参考电路，从而无需外部有源元件即可对温度和电源轨进行基本片上监控。为实现 ADC 的全部 12 位性能，建议使用外部 1.25V 基准 IC。

最近的测量结果（连同最大和最小读数）存储在专用寄存器中。用户定义的警报阈值可以自动指示过热事件和不可接受的电源变化。用户指定的限制（例如，100℃）可用于启动软件控制的系统断电。

7.2.1.7 三速以太网

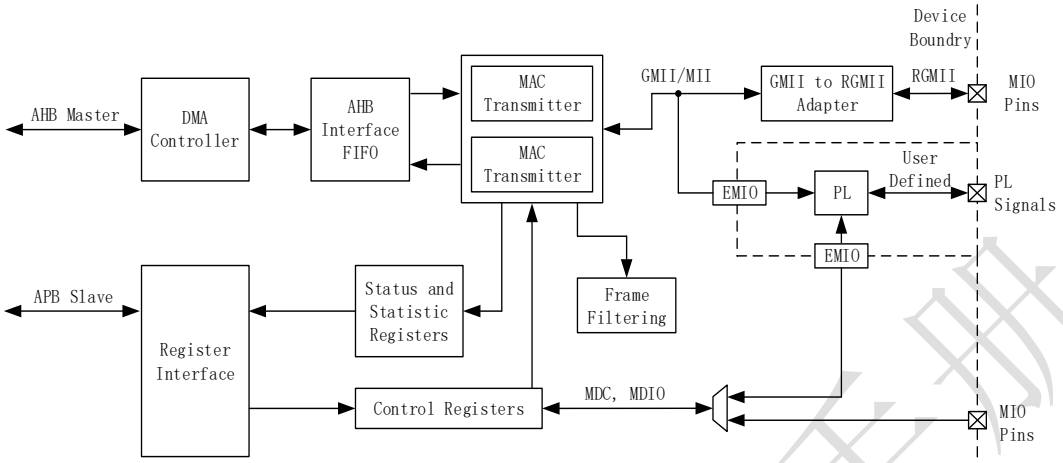


图 11 三速以太网结构框图

千兆以太网控制器实现了 10/100/1000Mb/s 的以太网 MAC，兼容 IEEE802.3-2008 标准，在三种速度下都能够工作在半双工或全双工模式下。PS 配有两个千兆以太网控制器。每个控制器可以单独配置。通过 MIO 访问引脚，为了节省引脚可以使用 RGMII 接口通过 EMIO 访问 PL，EMIO 提供 GMII 接口。

可以使用 EMIO 接口中可用的 GMII 接口，在 PL 中创建其他以太网通信接口。

寄存器用于配置 MAC 的功能，选择不同的工作模式，以及启用和监控网络管理统计信息。DMA 控制器通过 AHB 总线接口连接到存储器。DMA 控制器连接到 MAC 控制器的 FIFO 接口，为嵌入式处理系统数据包的存储，提供分散-收集类型的能力。

7.2.1.8 UART

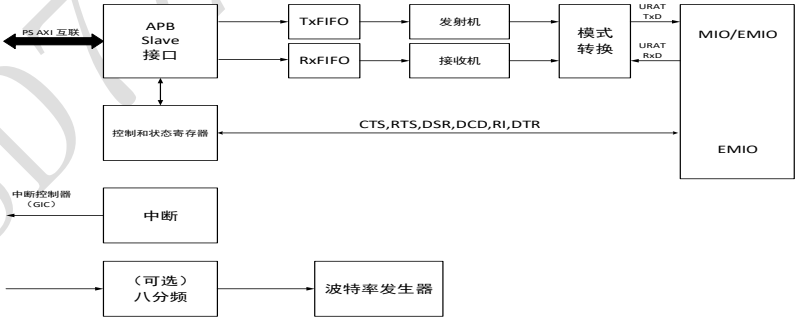


图 12 UART 结构框图

UART 控制器是一个全双工异步接收器和发送器，支持广泛的可编程波特率和 I/O 信号格式。该控制器可以适应自动奇偶校验生成和多主机检测模式。

UART 操作由配置寄存器和模式寄存器控制。使用状态、中断状态和调制解调器状态寄存器读取 FIFO、调制解调器信号和其他控制器功能的状态。

控制器由单独的 Rx 和 Tx 数据路径构成。每个路径包括一个 64 字节的 FIFO。该控制器对 Tx 和 RxFIFO

中的数据进行序列化和反序列化，并包括一个模式开关，以支持 RxD 和 TxD 信号的各种环回配置。FIFO 中断状态位支持轮询或中断驱动的处理程序。软件使用 Rx 和 Tx 数据端口寄存器读取和写入数据字节。

当 UART 用于调制解调器应用时，调制解调器控制模块检测并生成调制解调器握手信号，并根据握手协议控制接收器和发送器路径。

7.2.1.9 I2C

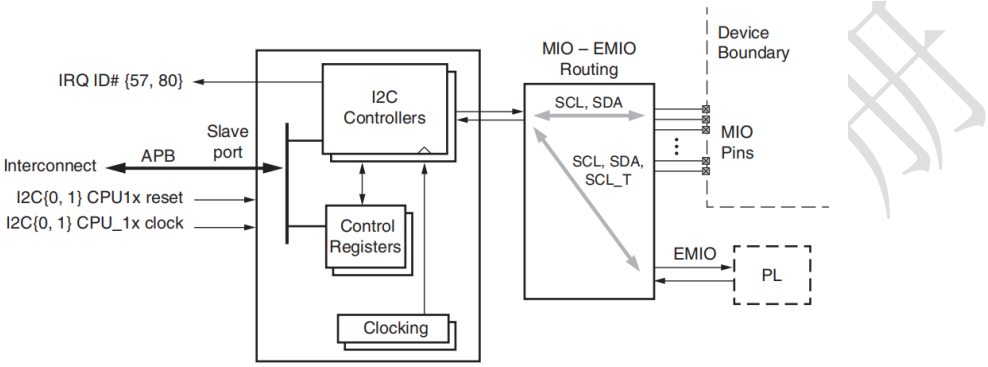


图 13 I2C 结构框图

此 I2C 模块是一个总线控制器，可在多主机设计中用做主机或从机，支持从 DC 到 400kb/s 的极宽时钟频率范围。

在主机模式下，只能通过处理器将从机地址写入 I2C 地址寄存器来启动传输，通过数据中断或传输完成中断通知处理器任何可用的接收数据。如果设置 HOLD 位。I2C 接口在完成数据传输后将 SCL 线保持为低电平，支持低速处理器服务，防止从机溢出情况。主模式下支持 7 位地址（普通）模式以及 10 位地址（扩展）模式。

在从机监控模式下，I2C 接口被设置为主机同时尝试传输数据到特定从机，直到从机以 ACK 响应。同时也可以设置 HOLD 位来防止主机继续传输，防止从机出现溢出情况。

主模式和从模式之间的一个共同特点是（T0）中断标志。如果在任何时候 SCL 线被主机或被访问的从机保持低电平超过超时寄存器规定的时间，会生成 TO 中断以避免停顿。

7.2.1.10 SPI

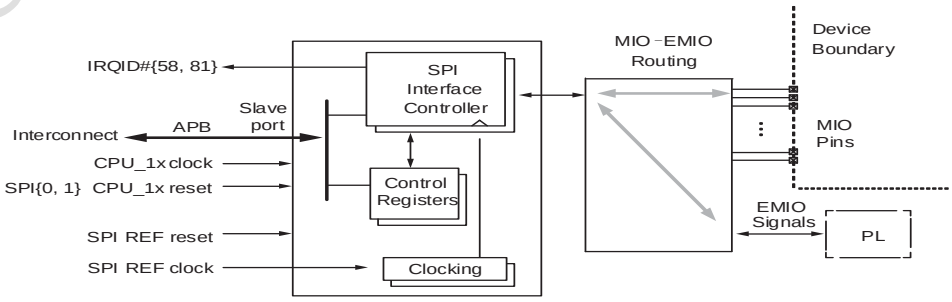


图 14 SPI 结构框图

SPI 总线控制器支持与各种外设进行通信，例如存储器、温度传感器、模拟转换器、实时时钟、显示器和任何支持串行模式的 SD 卡。SPI 控制器可以在主机模式、从机模式或多主机模式下工作。包括两个基于 Cadence SPI 内核的 SPI 控制器。

在主机模式下，控制器驱动串行时钟并且从机选择支持 SPI 的多主机模式，串行时钟源自 PS 时钟子系统。控制器使用最多 3 个单独的从机选择（SS）输出信号发起信息，这些信号可以从外部扩展，控制器通过向 32 位读写数据端口寄存器写入数据来读取和写入从设备。

在多主机模式下，控制器在非活动时会将其输出信号三态化，并且在启用时可以检测到争用错误。SPI 使能位复位时输出信号立即三态化，中断状态寄存器指示模式故障。

在从机模式下，控制器从外部设备接收串行时钟并使用 SPI_Ref_Clk 同步数据采集。从机模式包含一个可编程启动检测机制使之在启用控制器且 SS 被断言时可以正常工作。

读写 FIFO 在 SPI I/O 接口和通过 APB 从接口为控制器服务的软件之间提供缓冲。FIFO 用于从机和主机 I/O 模式。

7.2.1.11 GPIO

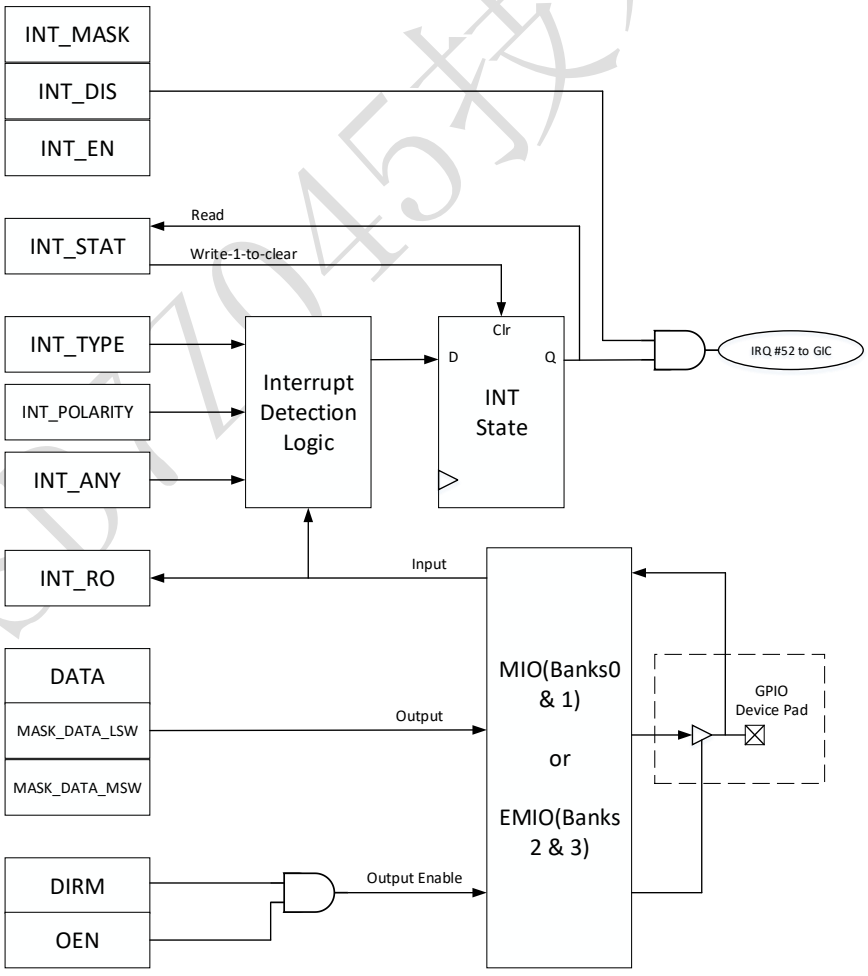


图 15 GPIO 结构框图

通用 I/O(GPIO)外设通过 MIO 模块为软件提供了多达 54 个设备引脚的观察和控制。它还提供来自可编程逻辑(PL)的 64 个输入的访问以及通过 EMIO 接口对 PL 的 128 个输出的访问。GPIO 被组织成四个寄存器组，并将相关的接口信号分组。

每个 GPIO 都独立且动态地编程为输入、输出或中断感应。软件可以使用单个加载指令读取库中的所有 GPIO 值，或使用单个存储指令将数据写入一个或多个 GPIO（在 GPIO 范围内）。GPIO 控制和状态寄存器映射到基地址 0xE000_A000 的内存。

7.2.1.12 USB

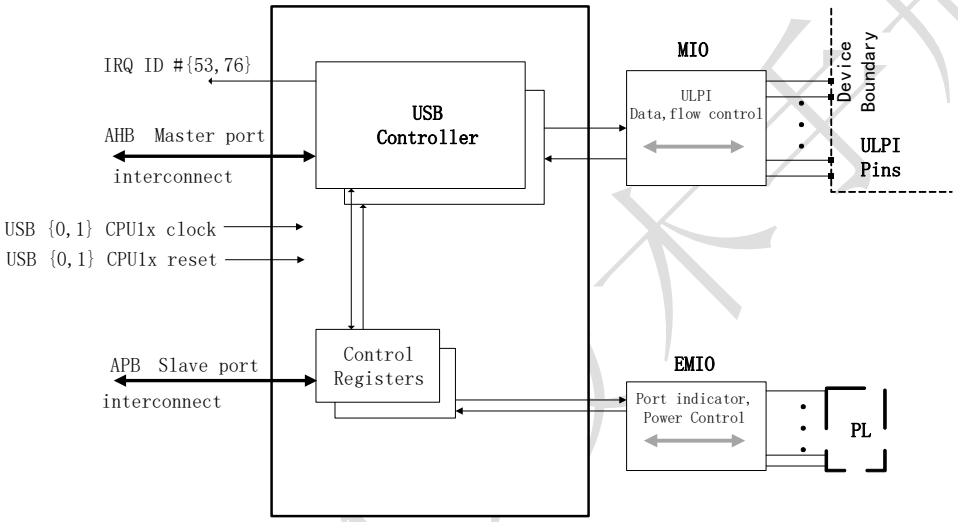


图 16 USB 结构框图

两个独立的 USB 控制器具有单独的控制和状态寄存器。每个 ULPI 接口都通过 MIO 独立启用通过 EMIO 路由的每个控制器都有单独的端口指示灯和电源信号。

7.2.2 可编程逻辑功能描述

PL 端主要由可编程逻辑模块（CLB）、输入输出模块（IOB）、36Kbit 容量存储器模块（BRAM）、数字信号处理模块（DSP）、数字时钟管理模块（CMT）以及互连布线模块等资源组成。

CLB 包含的功能：查找表；全局进位链，两条加法进位链；D 触发器 DFF 功能（同步/异步,SR 为高/低）；锁存器 LATCH 功能；CLB 内部进位链异或门 XOR，进位选择器 MUXCY；CLB 内部进位链与门 MULT_AND；多路选择器 MUXF5、MUXF6 功能；移位寄存器功能；分布式 RAM 功能。

IOB 功能：IOBUF、ILOGIC、OLOGIC，支持 LVDS 速率 1.25Gbps。

BRAM 功能：内部为 36Kbit 存储单元，支持双口（A，B 端口），或者单口 RAM 模式访问。

DSP 功能：支持多种独立的函数运算，包括乘法、乘累加（MACC）、乘加、三输入加法、比较器和宽范围的计数器等运算。

CMT：分频/倍频/混频/相移/锁定等。

7.2.2.1 高性能 IO 模块

高性能 IO 模块由 IO 输入输出模块(IOB)、IDELAYE、ODELAYE，以及相对应的 ILOGICE/ISERDESE、OLOGICE/OSERDESE 组成，其适用于高性能要求的 IO，例如高速存储接口或者高达 1.8V 电压的片间连接。

表 43 高性能 IO Bank 支持的电平特性

序号	特性	高性能 IO Bank
1	3.3V IO	NA
2	2.5V IO	NA
3	1.8V IO	支持
4	1.5V IO	支持
5	1.35V IO	支持
6	1.2V IO	支持
7	LVDS 电平	支持
8	24mA LVCMOS18、LVTTL 输出	NA
9	V_{CCAUX_IO} 电源	支持
10	数字控制阻抗（DCI）及 DCI 级联	支持
11	内部 V_{REF}	支持
12	内部差分中端（DIFF_TERM）	支持
13	IDELAY	支持
14	ODELAY	支持
15	IDELAYCTRL	支持
16	ISERDES	支持
17	OSERDES	支持
18	ZHOLD_DELAY	NA

表 44 高性能 IO 模块功能列表

序号	模块内部功能
1	三态
2	边沿触发式 D 触发器输入/输出功能
3	电平敏感型锁存器输入/输出功能
4	不同模式 IDDR 功能 （OPPOSITE_EDGE/SAME_EDGE/SAME_EDGE_PIPELINED）
5	不同模式的 ODDR 功能（SAME_EDGE，OPPOSITE_EDGE）

CSD7Z045技术手册

序号	模块内部功能
6	输入串并转换功能
7	输出并串转换功能
8	IDELAY/ODELAY 功能
9	IO_FIFO 功能（4x4,4x8/8x4，级联）

7.2.2.2 宽范围 IO 模块

宽范围 IO(HRIO)模块由 IO 输入输出模块(IOB)、IDELAY，以及相对应的 ILOGICE/ISERDESE、OLOGICE/OSERDESE 组成，其适用于宽范围要求的 IO，例如高速存储接口或者高达 3.3V 电压的片间连接。

表 45 宽范围 IO Bank 支持的电平和功能特性

特性	宽范围 IO Bank
3.3V IO	支持
2.5V IO	支持
1.8V IO	支持
1.5V IO	支持
1.35V IO	支持
1.2V IO	支持
LVDS 电平	支持
24mA LVCMOS18、LVTTL 输出	支持
V_{CCAUX_IO} 电源	NA
数字控制阻抗（DCI）及 DCI 级连	NA
内部 V_{REF}	支持
内部差分中端（DIFF_TERM）	支持
IDELAY	支持
ODELAY	NA
IDELAYCTRL	支持
ISERDES	支持
OSERDES	支持
ZHOLD_DELAY	NA

CSD7Z045技术手册

表 46　宽范围 IO 模块功能列表

编号	模块内部功能
1	三态
2	边沿触发式 D 触发器输入/输出功能
3	电平敏感型锁存器输入/输出功能
4	不同模式的 IDDR 功能（OPPOSITE_EDGE，SAME_EDGE，SAME_EDGE_PIPELINED）
5	不同模式的 ODDR 功能（SAME_EDGE，OPPOSITE_EDGE）
6	输入串并转换功能
7	输出并串转换功能
8	IDELAY 功能
9	IO_FIFO 功能（4x4,4x8/8x4，级联）

7.2.2.3　CLB 模块

可编程逻辑单元（CLB）是实现用户自定义时序逻辑、组合逻辑功能的主要模块。可编程逻辑单元可以通过互联矩阵实现互联，也可以通过互联阵列和产品内其他资源连接。可编程逻辑单元的复杂度和数量是产品可编程能力的重要参数。

CLB 模块主要特征有：

- 真 6 输入查找表（LUT）
- 双 LUT5（5 输入 LUT）操作
- 分布式存储和移位寄存器逻辑
- 为算术功能提供专用的进位逻辑
- 宽复接器用于高效使用

每个 LUT 可以配置为 6 输入 1 输出的 LUT ，或者 2 个 5 输入 2 个独立输出的 LUT，但使用共同的地址或者输入逻辑。每个 LUT 输出都可以选择寄存器输出。一个 CLB 单元中包含 4 个 6 输入 LUT 以及配套的 8 个触发器，复接器和算术进位逻辑。2 个 CLB 单元构成 1 个 CLB 模块。每个 CLB 单元的 4 个触发器（每个 LUT 一个触发器）可以配置为锁存器操作，同时剩下的 4 个触发器必须保持未使用。

大约 1/3 的 CLB 单元是 SLICEL 逻辑，剩余的是 SLICEM 逻辑，SLICEM 逻辑可以使用他们的 LUT 作为分布式 64bit RAM 或者 32bit 移位寄存器（SRL32）或者 2 个 SRL16。

7.2.2.4　BRAM 模块

BRAM 模块即 Block RAM 模块，可以存储 36K bit 的数据，也可以分成两个独立的 18K bit 的存储模块。Block RAM 模块可以配置为多种模式的 RAM 和 FIFO。

CSD7Z045技术手册

Block RAM 模块的主要特征包括：

- 每个 BRAM 可以存储多达 36Kbit 的数据
- 每个 BRAM 支持两个独立的 18Kb 或者单个 36Kb
- 每个 36Kb BRAM 可以设置为简单双端口模式，BRAM 双倍数据位宽支持 72bit。18Kb BRAM 可以设置为简单双端口模式，BRAM 双倍数据位宽支持 36bit。简单双端口模式定义为有独立时钟的一个只读、一个只写端口。
- 简单双端口模式支持一端固定位宽，另一端可变位宽。
- 相邻 BRAM 可以合成 64K ×1 的存储器而不要额外的逻辑。
- 64bit 的 ECC 支持每个 36Kb BRAM 或者 36Kb FIFO，编码解码功能分开。ECC 模式支持误码注入。
- BRAM 输出的锁存器和寄存器模式，可以同步设置/复位到初始值。
- 可以将 BRAM 配置为同步 FIFO，消除不确定的标志位。
- FULL 标志位。
- 18、36、72bit 位宽 BRAM 端口可以按 byte 独立写。此功能常用于微处理器接口。
- 每个 BRAM 包含操作地址序列和控制电路以产生一个内置双时钟的 FIFO 存储器，BRAM 可以设置为 18 Kb 或 36 Kb FIFO。
- 所有输入通过端口时钟寄存，且有时钟建立时序指标。
- 所有输出有读功能或者边写边读功能，由写使能（WE）pin 决定。在时钟-输出间距后，输出可用。边读边写输出可选三种操作模式之一：WRITE_FIRST, READ_FIRST 和 NO_CHANGE。
- 写操作要求一个时钟沿。
- 读操作要求一个时钟沿。
- 所有输出端口被锁存或者寄存操作。在被其他读写操作之前，输出端口状态不会改变。BRAM 默认是锁存模式。
- 输出数据深度可以通过内部流水线寄存器操作。强烈推荐使用寄存器模式，此时允许更高的时钟频率，同时也增加了一个延迟时钟周期。

BRAM 的使用规则包括：

- 不能在 ECC 解码器使用时(EN_ECC_READ=TRUE)同步置位和复位（RSTRAM）端口。
- BRAM 同步输出寄存器（可选）在 DO_REG=1 时，通过 RSTREG 设置或复位（SRVAL），当 RSTREG 优先级高于 REGCE 时决定 RSTREG_PRIORITY。在 DO_REG=0 或者 1 时，同步输出锁存被 RSTRAM 设置或复位（SRVAL）。
- BRAM 地址或者写使能 pin 的建立时间不能违反。违反地址建立时间会导致 BRAM 数据内容丢失。
- 如果 RSTREG_PRIORITY 设置为 REGCE，BRAM 寄存器模式 RSTREG 要求 REGCE=1 来复位输出 DO 寄存器值。BRAM 阵列数据输出锁存不能通过这种模式复位。BRAM 锁存模式 RSTRAM 要求 BRAM 使能 EN=1 时，复位输出 DO 锁存值。

CSD7Z045技术手册

- 两种 BRAM 原语，RAMB36E1 和 RAMB18E1。RAM_MODE 属性定义了 BRAM 的模式，SDP 模式与真双端口（TDP）模式之一。
- 在使用特殊的 BRAM 原语时支持选择不同的读写端口宽度。检验位只用于 x9, x18,x36 端口宽度。检验位不能用于 x1,x2,x4 读宽度。如果读宽度为 x1,x2,x4，有效地写宽度为 x1,x2,x4,x8,x16,x32。同样的，写宽度为 x1,x2,x4，实际有效地读宽度为 x1,x2,x4,x8,x16,x32，哪怕通过原语属性分别设置为 1,2,4,9,18,36。

表 47　BRAM 模块主要功能列表

编号	模块内部功能
1	不同模式的 BRAM 读写功能（WRITE_FIRST，READ_FIRST，NO_CHANGE）
2	不同宽度深度的 BRAM 读写功能（SDP，TDP）： 36Kbit RAM：64Kx1，32Kx1，16Kx2，8Kx4，4Kx9，2Kx18，1Kx36，512x72 18Kbit RAM：16Kx1，8Kx2，4Kx4，2Kx9，1Kx18，512x36
3	RAM 输出寄存器（RSTREG，DO_REG）
4	独立读写位宽功能
5	BRAM 级联功能
6	不同模式的 FIFO 功能及状态标志位测试（同步或者异步，standard 或 first-word fall-through，FWFT）
7	FIFO 输出寄存器测试
8	不同深度宽度的 FIFO 功能：18Kb：4K x 4，2K x 9，1K x 18，512 x 36 36Kb：8K x 4，4K x 9，2K x 18，1K x 36，512 x 72
9	FIFO36 级联和并联功能、BRAM 和 FIFO 的组合连接功能
10	不同模式的 64 bit ECC 功能（Standard，encode only，decode only）
11	RAM ECC，FIFO ECC 功能
12	ECC 输出寄存器功能

表 48　BRAM 模块应用场景

原语	设置读宽度	设置写宽度	有效读宽度	有效写宽度
RAMB18E1	1, 2, 4	9,18	与设置相同	8,16
RAMB18E1	9,18	1, 2, 4	8,16	与设置相同
RAMB18E1	1, 2, 4	1, 2, 4	与设置相同	与设置相同
RAMB18E1	9,18	9,18	与设置相同	与设置相同
RAMB36E1	1, 2, 4	9,18,36	与设置相同	8,16,32
RAMB36E1	9,18,36	1, 2, 4	8,16,32	与设置相同
RAMB36E1	1, 2, 4	1, 2, 4	与设置相同	与设置相同
RAMB36E1	9,18,36	9,18,36	与设置相同	与设置相同

7.2.2.5 DSP 模块

DSP 支持多种功能，包括乘法、乘累加（MACC）、乘加、三输入加法、桶形移位、宽总线选择、数值比较、按位逻辑运算、样本检测与宽计数功能。还支持多个 DSP 级联，构建更大的数学函数、DSP 滤波器和复杂的运算。

DSP 模块主要特性包括：

- 25×18 二补数乘法器
- 48bit 累加器
- 低功耗预加器
- 单指令多数据操作算数单元
- 任意功能逻辑单元
- 码型检测器
- 可选的流水线和专用总线级联

表 49 DSP 模块应用场景

编号	模块内部功能
1	25 位预加器（带或不带 D 触发器）
2	25 x 18 乘法器
3	A、B、C、D 数据端口
4	三输入加法器/减法器/48 位逻辑运算单元
5	PATTERN 检测器
6	流水线功能
7	DSP 级联功能

7.2.2.6 时钟布线模块

PL 时钟资源具有专门的全局时钟、区域 IO 和时钟资源。时钟管理单元（CMT）提供时钟频率合成、去偏斜和抖动过滤功能。在设计时钟功能时，不建议使用非时钟资源（如本地布线）。

- 全局时钟树允许同步逻辑的时钟穿越该模块。
- IO 和区域时钟树允许驱动多达 3 个邻近的垂直时钟区域。
- 每个 CMT 包含 1 个混合模式时钟管理器（MMCM）和 1 个锁相环（PLL），其位置紧靠 IO 模块列。
- 对于时钟而言，PL 可以分成多个时钟域。
- 时钟域的数量与 PL 器件型号有关，CSD7Z045 有 3 个时钟区域。
- 时钟域包括所有的同步模块（如 CLB、IO、串行收发器、DSP、BRAM、CMT）在一个区域跨越 50 个 CLB 和 1 个 IO bank，在时钟域的中间是水平时钟通道（HROW）。
- 每个时钟域分为 HROW 的上 25 个 CLB、下 25 个 CLB，相对于 HROW 对称分布。

CSD7Z045技术手册

每个 IO Bank 都包含时钟功能输入引脚（CC），以将用户时钟引入 PL 时钟布线资源。结合专用时钟缓冲器，时钟功能输入引脚将用户时钟带到：

- 位于器件相同的上半部分/下半部分的全局时钟线
- 同一 IO Bank 和竖直相邻的 IO Bank 内的 IO 时钟线
- 同一时钟区域和竖直相邻时钟区域内的区域时钟线
- 同一时钟区域内，和有限制、竖直相邻时钟区域内的 CMTs

器件都具有 32 条全局时钟线，可以提供时钟和控制信号到整个器件中的所有时序资源。全局时钟缓冲器（BUFGCTRL，简称为 BUFG）驱动全局时钟线，并且必须是用于访问全局时钟线。每个时钟区域可以最多支持 12 个全局时钟线使用时钟区域中的 12 条水平时钟线。

全局时钟缓冲器：

- 可用作时钟使能电路来启用或禁用多个时钟时钟区域
- 可用作无干扰多路复用器，以：
  - 在两个时钟源之间选择
  - 与不使用的时钟源隔离
- 通常由 CMT 驱动以：
  - 消除时钟分配延迟
  - 调整相对于另一个时钟的时钟延迟

在单个时钟区域内，水平时钟缓冲器（BUFH/BUFHCE）允许通过水平时钟行访问全局时钟线。它也可以用作时钟使能电路（BUFHCE）独立启用或禁用跨越单个时钟区域的时钟。每个时钟区域可以使用 12 个水平时钟线支持最多 12 个时钟。

在一个时钟区域内，每个 PL 都有可以为所有时序资源提供时钟的区域和 IO 时钟树。每个器件还拥有多时钟区域缓冲器（BUFMR），允许区域时钟和 IO 时钟跨越三个竖直相邻的时钟区域的。

- IO 时钟缓冲器（BUFIO）驱动 IO 时钟树，在同一 IO bank 内给所有 IO 资源序列提供时钟。
- 区域时钟缓冲器（BUFR）驱动区域时钟树，其能够驱动相同时钟域中的所有时钟节点，并且可以通过编程对输入时钟频率进行分频。
- 协调 IOB 中的可编程串行器/解串器（请参考 PL IO 资源用户指南），BUFIO 和 BUFR 时钟缓冲器允许源同步系统跨越时钟域而不使用额外的逻辑资源
- 相邻时钟区域和 IO Bank 的区域时钟树和 IO 时钟树可以通过使用多时钟区域缓冲器（BUFMR）被驱动，当使用有相关的 BUFR 或 BUFIO。
- 一个时钟区域最多支持四个独立的区域时钟，一个 IO Bank 中最多支持四个独立的 IO 时钟。
- 高性能时钟路径（HPC）将 CMT 的某些特定输出连接到 IO 上，其为低抖动、最小占空比扭曲的直连路径。

CSD7Z045技术手册

表 50　时钟布线主要资源列表

编号	模块内部
1	全局时钟缓冲器 BUFG
2	IO 时钟缓冲器 BUFIO
3	时钟区域缓冲器 BUFR
4	多时钟区域缓冲器 BUFMR
5	横向时钟缓冲器 BUFH

7.2.2.7　CMT 模块

时钟管理模块 (CMT)提供非常灵活的高性能时钟控制。每个 CMT 包含一个复合模式时钟管理模块 MMCM 和一个锁相环 PLL。

该 MMCM 和 PLL 可用作各种频率的频率合成器和作为外部或内部时钟的抖动滤波器，以及去偏斜时钟。PLL 是 MMCM 功能的一个子集。PL 时钟输入连接允许多种资源为 MMCM 和 PLL 提供参考时钟。

PL MMCM 在任何方向上都具有无限精细的相移能力并用于动态相移模式。MMCM 也有一个微计数器存在于反馈路径或在一个输出路径中，实现频率合成的进一步粒度能力。

表 51　CMT 模块主要功能列表

编号	模块内部功能
1	MMCM 的小数分频（O 分频）功能
2	MMCM 分频级联（CLKOUT4 分频与 CLKOUT6 分频）
3	MMCM 参考时钟选择功能
4	CMT 内反馈
5	MMCM/PLL 动态重配置
6	MMCM 的动态相移功能
7	CMT 级联（MMCM 与 MMCM 级联、PLL 与 PLL 级联）
8	MMCM/PLL 频率综合功能（频点抽样）
9	MMCM 扩频时钟产生器（SSCG）

7.2.2.8　ADC 模块

PL 内部 ADC 模块，主要是由包含两个 12 位、可达 1MSPS 采样率的模数转换器（ADC）和相关的片上传感器组成。

表 52　ADC 模块主要功能列表

编号	模块内部功能	
	功能	模式
1	采样模式	初始模式
2		单次模式

CSD7Z045技术手册

编号	模块内部功能	
	功能	模式
3		连续模式
4		单通道模式
5		同步采样模式
6		独立 ADC 模式
7		初始模式
8	校准功能	ADC 失调校准使能
9		ADC 失调和增益校准使能
10		电源电压传感器校准使能
11		电源电压失调和增益校准使能
12	告警功能	过温告警使能
13		温度告警使能
14		VCCINT 告警
15		VCCAUX 告警
16		VCCBRAM 告警
17		综合告警
18	上电/掉电功能	ADC 上电
19		无效选择
20		ADC 掉电
21	时钟分频功能	DCLK 分频
22	均值滤波器功能	均值滤波器使能(校准)
23		无均值
24		均值 16 次
25		均值 64 次
26		均值 256 次
27	ADC 通道	片上温度
28		电源 VCCINT
29		电源 VCCAUX
30		专用模拟输入
31		基准 VREFP
32		基准 VREFN
33		电源 VCCBRAM
34		无效通道
35		XADC 校准
36		无效通道
37		辅助通道 0 至 15
38	模拟输入功能	单端输入模式
39		差分输入模式

CSD7Z045技术手册

7.2.2.9 配置模块

配置电路和 PL 产品的架构关系密切，架构直接决定了配置电路实现的系统组合。其基本功能就是对 SRAM 阵列写入不同的数据组合控制内部的逻辑电路来满足用户设计的功能，而 PL 能够“实现”何种功能是由其配置比特流文件（.bit 文件）来决定的。

PL 端仅支持 JTAG/边界扫描配置模式。

表 53 配置模块主要功能列表

编号	模块内部功能
1	JTAG/boundary-scan 配置
2	eFUSE（checkbit 测试数据编程与读取）

7.2.2.10 GTX 模块

每个高速串行接口 SERDES 模块含发送端和接收端，分为物理编码子层（PCS）和物理媒介接入子层（PMA）两部分，其中 PCS 主要实现对数据的编码、解码及各种协议控制等功能，PMA 主要实现数据的并串转换和串并转换。

表 54 SERDES 模块主要功能列表

分类	功能
PCS	2,4 字节内部数据通路，以支持不同的线速率要求
	8B/10B 编解码
	支持 64B/66B 和 64B/67B 编解码
	Comma 检测，字节和字对准
	PRBS 产生和检测
	TX 相位 FIFO
	RX 弹性 FIFO 用于时钟校准和通道绑定
	可编程逻辑接口
	支持 100Gb CAUI
	支持旁路 buffer 的本地多通道
	TX 相位内插结构支持 PPM Controller interface
PMA	每个 QUAD 共用 QPLL，提供优异的抖动性能
	每个通道配置一个 CPLL，提供便利的时钟方案
	低功耗模式（LPM）的高能效自适应线性均衡技术
	具有自适应调节的 7tap 判决反馈均衡器
	TX 预加重
	可调 TX 输出摆幅
	Beacon 信号用于 PCIE 应用
	OOB 信号用于支持 SATA 应用

高速串行收发器支持的应用模式主要有：

- PCI Express Gen1.1、2.1
- 10GBASE-R
- Interlaken
- 10 Gb XAUI, RxAUI, 100 Gb CAUI, 40 Gb XLAUI
- CPRI™/ OBSAI
- OC-48/192
- OTU-1, OTU-2, OTU-3, OTU-4
- SRIO
- SATA/ SAS
- SDI

表 55　SERDES 支持的主要协议，速率以及内部数据位宽（使用 CPLL）

协议	数据率(Gb/s)	数据位宽(16/20/32/40b)
XAUI	3.125	20b
	1.25	20b
Gigabit Ethernet	1.25	20b
RXAUI	6.25	20b
Aurora	6.25	20b
	5	20b
	3.125	20b
	2.5	20b
	1.25	20b
Serial RapidIO	3.125	20b
	2.5	20b
	1.25	20b
PCIe	5	20b
	2.5	20b
CPRI 1-10X	6.144	20b
	4.9152	20b
	3.072	20b
	2.4576	20b
	1.2288	20b
	0.6144	20b
OBSAI	6.144	20b

CSD7Z045技术手册

协议	数据率(Gb/s)	数据位宽(16/20/32/40b)
	3.072	20b
	1.536	20b
	0.768	20b
3G-SDI HD-SDI	2.97	20b
	1.485	20b
Interlaken	6.25	16b
	4.25	16b
	3.125	16b
SFI-5	3.125	16b
OC-48	2.48832	16b
OC-12	0.62208	16b
OTU-1	2.666057	16b
SATA/SAS	6	20b
	3	20b
	1.5	20b
CPRI 1-4X	2.4576	20b
	1.2288	20b
	0.6144	20b
Fibre Channel	4.25	20b
	2.125	20b
	1.0625	20b

表 56　SERDES 支持的主要协议，速率以及内部数据位宽（使用 QPLL）

协议	数据率(Gb/s)	数据位宽(16/20/32/40b)
PCIe Gen2	5	32b

- 数字算法实现自动校准终端 50 欧姆阻抗；
- 数字算法实现的 PLL 频率锁定检测功能；
- TX 支持去加重及输出差分电压幅度可配置；
- RX 支持连续时间的线性均衡器（CTLE）和判决反馈均衡（DFE）以及低功耗模式工作；
- 采用 2 阶的基于相位内插结构的数字时钟数据恢复（CDR）；
- 内建数字眼图扫描功能，包括横向和纵向扫描；
- 具有多个环回路径（PMA 和 PCS 端的远端和近端环回）、内建自测试模式（PRBS7、PRBS15、PRBS23 和 PRBS31）以及 PMA 内部信号测试。

CSD7Z045技术手册

7.2.2.11 PCIE 模块

PCIE 模块支持 PCIE Gen2，x1、x2、x4 和 x8，该模块规定的每通道数据速率为 5.0Gbps。

表 57 PCIE2_1 模块主要功能列表

编号	模块内部功能		
1	用户接口	AXI4-Stream 接口 64bit，128bit，256bit	
2	链路宽度	X1，X2，X4，X8	
3	链路速度	2.5Gb/s，5.0Gb/s	
4	DRP	可动态重配置	
5	功耗调节	电源管理	
6	传输方式	请求者、完成者双通道传输	
7	协议层	产生和处理事务层包	存储器类型包的读、写、完成（带数据，不带数据）
8			配置类型包的读、写、完成（带数据，不带数据）
9			消息类型包的读、写、完成（带数据，不带数据）
10		数据包传输	流控管理
11			中断最大 32 个 MSI 和 MSI-X 向
12			支持 INTx
13			最大传输负载 1024bytes
14			事务排序
15			链路翻转
16		链路训练状态机	链路初始化
17			链路训练
18			链路维护
19			链路协商握手
20	配置管理	0/1 类型的配置头标区	
21		配置空间访问	
22		PCIE 扩展能力空间	
23		环回控制和状态	
24		错误报告和状态	
25		设备序列号扩展	
26		设备 ID 的捕获与存储	
27		用户自定义配置能力	

CSD7Z045技术手册

8 应用建议

8.1 开发工具版本

PL 配套开发工具建议使用版本为 2018.3、SOC 开发软件建议 2018.3 或者 2019.2 版本。

8.2 PL 电源上电顺序要求

注：必须按照上下电要求进行操作，如未按照上电要求操作，有概率导致PL电路中efuse被误烧写，导致器件不可逆的损坏！！！

上电要求：

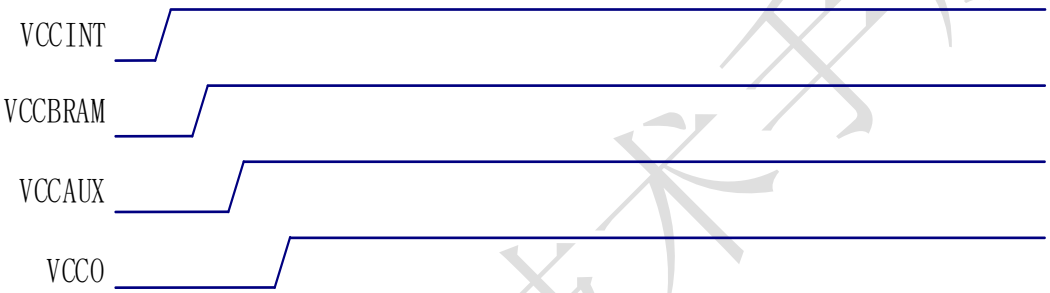


图17 PL上电要求

8.3 PS 电源上下电顺序要求

注：必须按照上下电要求进行操作，如未按照上下电要求操作，有概率导致PS电路中efuse被误烧写，导致器件不可逆的损坏！！！

上电要求：

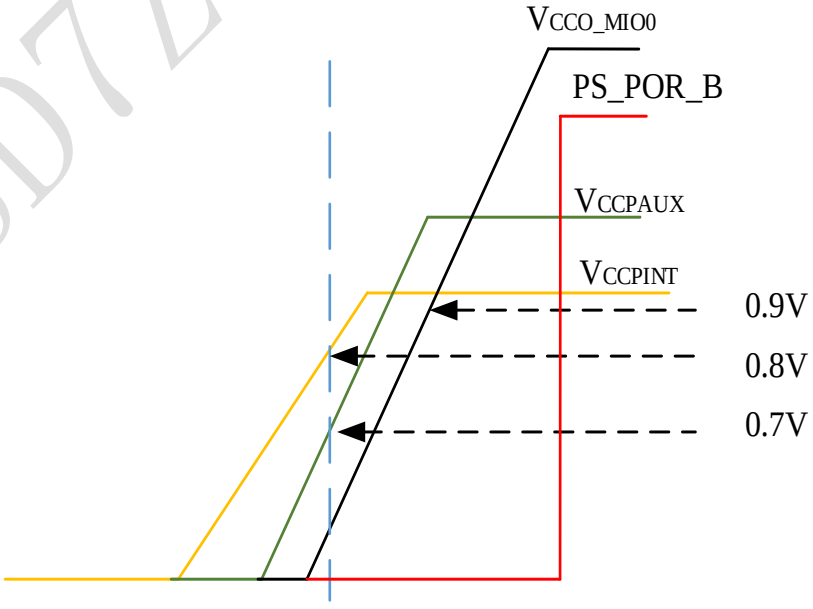


图 18 PS 上电要求

CSD7Z045技术手册

掉电要求：

掉电满足 PS 掉电要求 1 或掉电 2 其一即可。

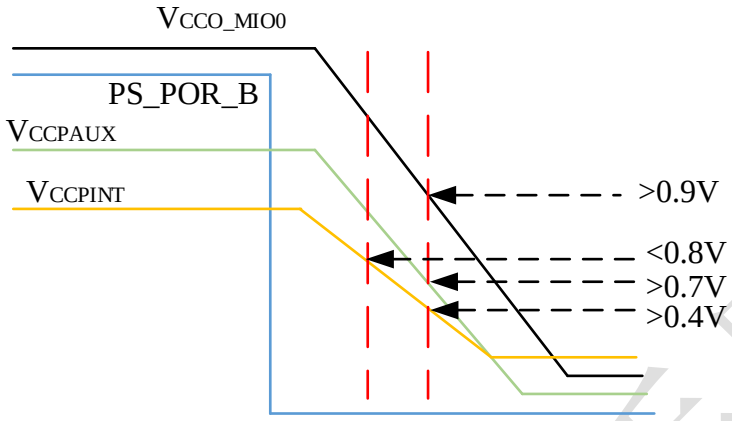


图 19　PS 掉电要求 1

或

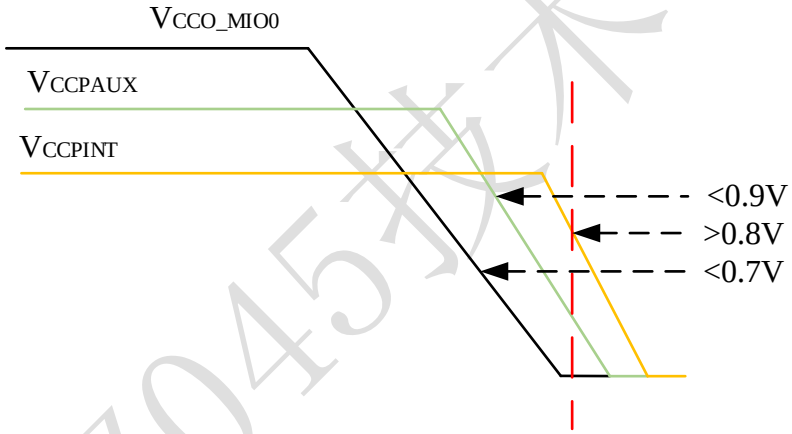


图 20　PS 掉电要求 2

8.4　开发流程

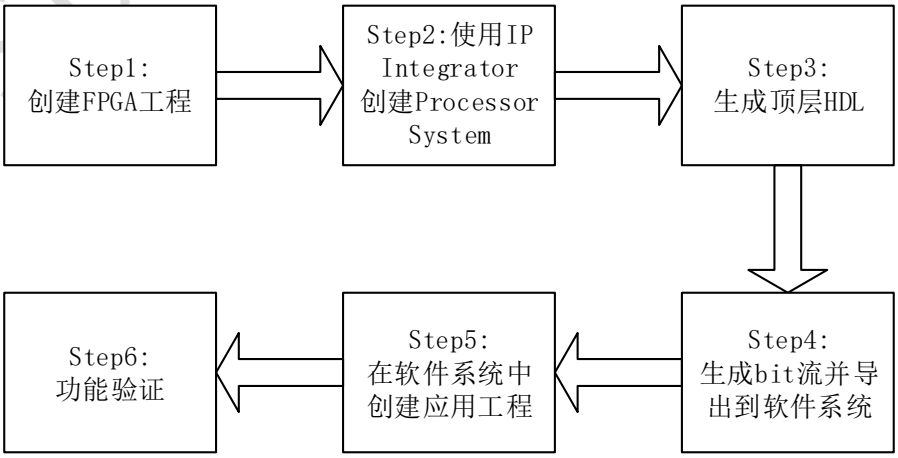


图 21　CSD7Z045 流程图

CSD7Z045技术手册

如上图所示，开发流程大体可以分为 6 步。其中 step1 至 step4 为硬件设计部分；step5 为软件设计部分；step6 为功能验证；复杂程序还涉及 Debug。

PS 端启动流程如下图 22 所示：

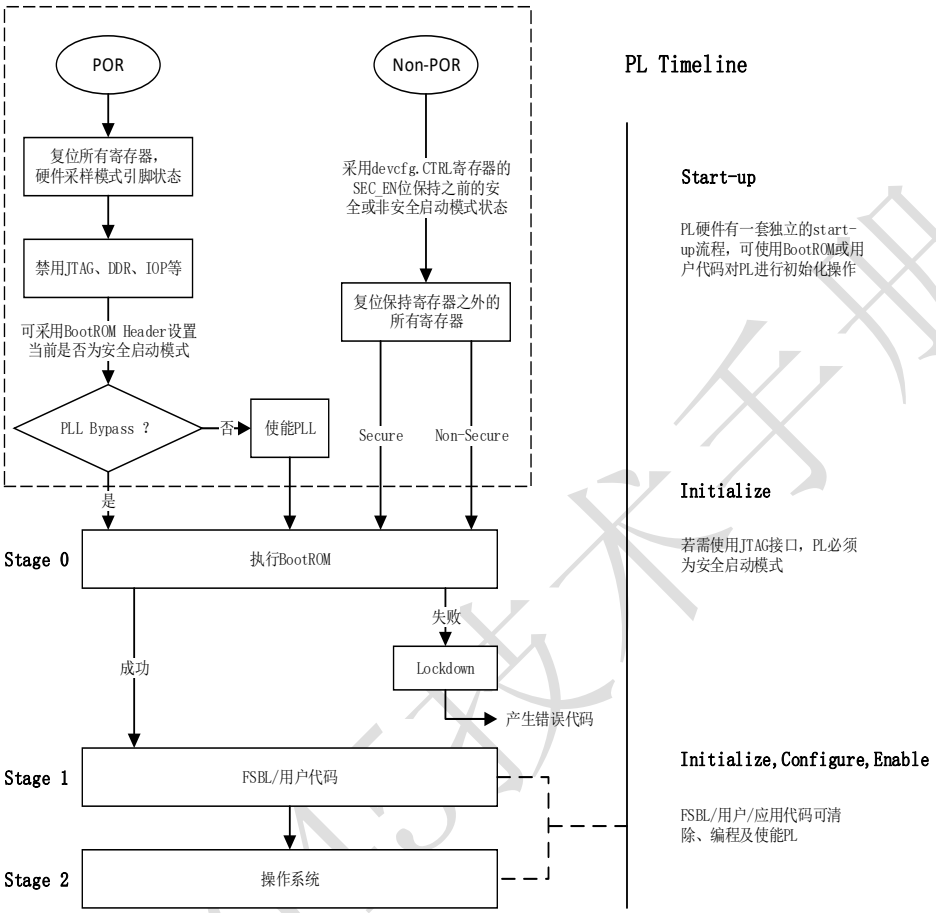


图 22　CSD7Z045 启动流程图

- 硬件启动阶段

PS 硬件启动阶段包括电源供电斜率、时钟、复位、管脚采样和 PLL 初始化。PL 可以在 PS 启动时上电。

- 外部 PS 控制管脚

在 PS_CLK 参考时钟的 45 个时钟周期内，硬件对七个启动模式管脚进行采样，并将它们的设置存储在只读寄存器中。管脚定义 MIO 输入缓冲器的初始电压灵敏度，选择 JTAG 链的路由，并选择包含启动镜像的 Flash 器件。开发板上电后会自动置低 PS_POR_B 复位管脚。板卡还包括一个 POR 复位按钮，可用于生成 POR 复位。可以使用 PS_SRST_B 复位管脚生成 non-POR 系统复位。

- PS PLL 初始化

PS PLL 由 MIO[6](BOOT_MODE[4])管脚使能。当 PLL 被使能时，BootROM 的执行会延迟直到 PLL 输出锁定。如果 PLL 未使能，则 PS_CLK 参考时钟输入管脚绕过 PLL，时钟子系统以 PS_CLK 输入的频率驱动。

- PS 软件启动阶段

PS 软件启动过程由 BootROM 和 FSBL/用户代码控制。BootROM 代码操作受启动管脚、BootROM Header 以及 BootROM 代码在系统中检测到的内容的影响。

- 阶段 0（BootROM：BootROM Header）

上电复位(POR)或 non-POR 系统复位（PS_SRST_B、调试、看门狗、软件）后，硬编码的 BootROM 在主 CPU(CPU0)上执行。BootROM 读取可编程到启动 Flash 器件中的 BootROM Header 以确定启动流程并转换到阶段 1。在硬件启动序列之后，两个 CPU 开始执行位于地址 0x0（BootROM 最初所在的位置）的相同的 BootROM 代码以确定它们自己的特性。请注意，单核器件包含一个处理器，双核器件包含两个。当存在 CPU1 时，通过执行 WFE 指令将自己暂停。CPU0 继续执行 BootROM。

- 阶段 1（FSBL/用户代码）

这通常是第一级启动引导程序，但它可以是任何用户控制的代码。

- 阶段 2（U-Boot/系统/应用程序）

这通常是系统软件，但也可能是第二级启动引导程序(SSBL)。

CSD7Z045 在上电启动配置过程中，会首先读取外部模式引脚电平确定配置模式，再通过内部 BootROM 以及启动代码完成 PS 端配置，且若不通过 JTAG 对 PL 端进行配置，则必须由 PS 端对 PL 端进行配置。CSD7Z045 配置关键引脚如下表 58 所示：

表 58　配置关键引脚

引脚名称	I/O 类型	PS 端/PL 端	描述
PS_POR_B	Input	PS 端	POR 复位引脚，是读取启动模式引脚上下拉状态的唯一复位。对于上电序列，需要将 PS_POR_B 输入设定为低，直到 VCCPINT、VCCPAUX 和 VCCO_MIO0 达到其最小运行水平，以确保 PS eFUSE 的完整性。
PS_SRST_B	Input	PS 端	Non-POR 复位引脚，用于强制系统复位，可悬空、上拉，并可在 PS 端电源上电期间为高。
MIO[2]	Inout	PS 端	PS_POR_B 拉低后系统读取该引脚上下拉状态并写入寄存其中，确定 JTAG 链连线模式。 0：级联模式； 1：独立模式。 注：安全模式下，JTAG 不会启用，该引脚状态会被忽略。
MIO[5:3]	Inout	PS 端	PS_POR_B 拉低后系统读取该引脚上下拉状态并写入寄存其中，确定配置模式。 000：JTAG； 001：NOR； 010：NAND； 100：QSPI； 110：SD 卡。

引脚名称	I/O 类型	PS 端/PL 端	描述
MIO[6]	Inout	PS 端	PS_POR_B 拉低后系统读取该引脚上下拉状态并写入寄存其中，确定是否启用 PLL。 0：启用 PLL，系统会等待 PLL 锁定，再去执行 BootROM； 1：跳过 PLL，以支持更宽的 PS_CLK 频率范围。
MIO[8:7]	Inout	PS 端	PS_POR_B 拉低后系统读取该引脚上下拉状态并写入寄存其中，确定 BANK_500 及 BANK_501 使用的端口电压标准。 00：BANK_500 及 BANK_501 端口电压为 2.5V 或 3.3V； 01：BANK_500 端口电压为 1.8V，BANK_501 端口电压为 2.5V 或 3.3V； 10：BANK_500 端口电压为 2.5V 或 3.3V，BANK_501 端口电压为 1.8V； 11：BANK_500 及 BANK_501 端口电压为 1.8V。 注：如果某个接口同时用到了两个 BANK 上的 MIO，两个 BANK 上的电压标准必须一致。
CFGBVS	Input	PL 端	配置 BANK(BANK0)电压选择当 CFGBVS 为高时，BANK0 电压为 2.5V 或 3.3V；当 CFGBVS 为低时，BANK0 电压小于等于 1.8V; CFGBVS 必须接高或者接低，不允许悬空。若其他 BANK 参与配置，端口电压需要与 BANK0 匹配。
TCK	Input	PL 端	IEEE Std 1149.1 (JTAG)Test 时钟管脚，用于连接下载器的 TCK 脚，实现程序下载、上传和在线调试，建议接弱下拉电阻（例如 1KΩ），保证在无下载器的情况下 TCK 保持为低。
TMS	Input	PL 端	IEEE Std 1149.1 (JTAG) Test 模式选择管脚，用于连接下载器的 TMS 脚，实现程序下载、上传和在线调试，建议接弱上拉电阻（例如 4.7KΩ），保证在无下载器的情况下 TMS 保持为高。
TDI	Input	PL 端	IEEE Std 1149.1 (JTAG) Test 数据输入管脚，建议接弱上拉电阻（例如 4.7KΩ）。单个器件时，用于连接下载器的 TDI 脚，多个器件配置成 JTAG 菊花链时，如果是第一个器件，则连接下载器的 TDI 管脚，否则，连接前一个器件的 TDO 脚。用于实现程序下载、上传和在线调试。
TDO	Output	PL 端	IEEE Std 1149.1 (JTAG) Test 数据输出管脚，建议接弱上拉电阻（例如 4.7KΩ）。单个器件时，用于连接下载器的 TDO 脚，多个器件配置成 JTAG 菊花链时，如果是最后一个器件，则连接下载器的 TDO 管脚，否则，连接下一个器件的 TDI 脚。用于实现程序下载、上传和在线调试。
PROGRAM_B	Input	PL 端	当 PROGRAM_B 产生低脉冲时，可清除 PL 端的配置并允许 PS 端或通过 JTAG TAP 控制器对 PL 端进行配置；PROGRAM_B 需要连接一个≤4.7KΩ 的上拉电阻到 VCCO_0 以保证获得一个稳定的高输入

CSD7Z045技术手册

引脚名称	I/O 类型	PS 端/PL 端	描述
INIT_B	Inout	PL 端	在初始化完成前或配置错误时，INIT_B 为 0 完成 PL 初始化过程后，INIT_B 释放到高 Z，此时外部电阻器将 INIT_B 拉高。 •INIT_B 为漏极开路，可做线与逻辑； •INIT_B 如保持在低位，可在初始化过程结束后暂停加电配置序列； INIT_B 需要连接一个≤4.7KΩ 的上拉电阻到 VCCO_0
DONE	Inout	PL 端	作为配置序列完成标志，为高时代表配置完成，DONE 为漏极开路，虽然内部集成了 10K 上拉电阻，但是还是建议外部接 330Ω 上拉到 VCCO_0

CSD7Z045 除了支持 JTAG 模式，还支持支持以下几种配置模式：

（1）NOR 模式

（2）NAND 模式

（3）QSPI 模式

（4）SD 卡模式

用编程模式管脚（MIO5，MIO4，MIO3）来选择编程的模式。模式选择编码如下表 59 所示。

表 59　编程模式编码表 [1,2,3,4]

管脚信号	MIO8	MIO7	MIO6	MIO5	MIO4	MIO3	MIO2
JTAG				0	0	0	JTAG 链
NOR				0	0	1	0：级联模
NAND				0	1	0	式
QSPI				1	0	0	1：独立模
SD				1	1	0	式
PLL 模式							
PLL 使能			0	硬件等待 PLL 锁相环锁定，然后执行 ROM 启动			
PLL 忽略			1	具有较宽的 PS_CLK 频率范围			
MIO Bank 电压							
电压	Bank1	Bank0	电压 Bank0 包含 MIO0 到 MIO15 电压 Bank1 包含 MIO16 到 MIO53				
2.5V,3.3V	0	0					
1.8V	1	1					

注 1：JTAG 级联模式最为常见，所有关于 JTAG 模式的相关描述中默认采用的模式。

注 2：在安全模式下，JTAG 功能未被启用，同时 MIO2 也会被忽略。

注 3：四通道 SPI 和 NOR 引导模式支持“立即执行”功能（此支持始终为非安全模式）

注 4：当接口跨越这两个电压 BANK 时，两个 BANK 必须设置为相同的电压值。

CSD7Z045技术手册

8.5 NOR 模式

NOR 模式启动需选用 8 位异步、容量最高 256Mb 的 NOR FLASH 存储设备。配置参考示意图如下图 23 所示：

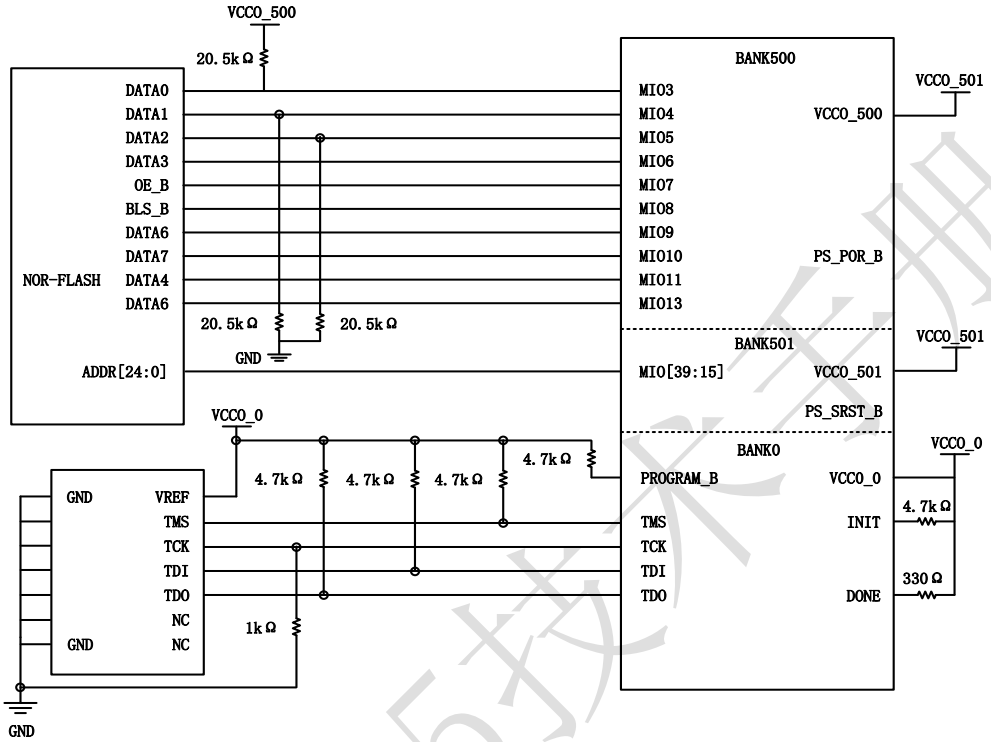


图 23　模式配置原理图

在使用 NOR 模式时，需注意以下几点：

（1）上电过程中 PS_SRST_B 由低到高时间至少要比 PS_POR_B 由低到高时间提前 2us；

（2）NOR 模式同时占用了 BANK_500 和 BANK501 上的管脚，因此两个 BANK 的端口电平需保持一致；

（3）PL VCCO_0 和编程器的 VREF 必须具有相同的电压；

（4）DONE 引脚是漏极开路输出。建议接一个 330Ω 的上拉电阻；

（5）INIT_B 引脚是双向漏极开路引脚。需要一个外部上拉电阻；

（6）PROGRAM_B 也需要一个上拉电阻；

（7）VCCBATT 是存储在 SRAM 中的 AES 密钥的电源。使用时应将其连接至电池电源。

8.6 NAND 模式

NAND 模式启动选用 8 位或 16 位的 NOR FLASH 存储设备，支持 ONFI 1.0 协议。配置参考示意图如下图 24 所示：

CSD7Z045技术手册

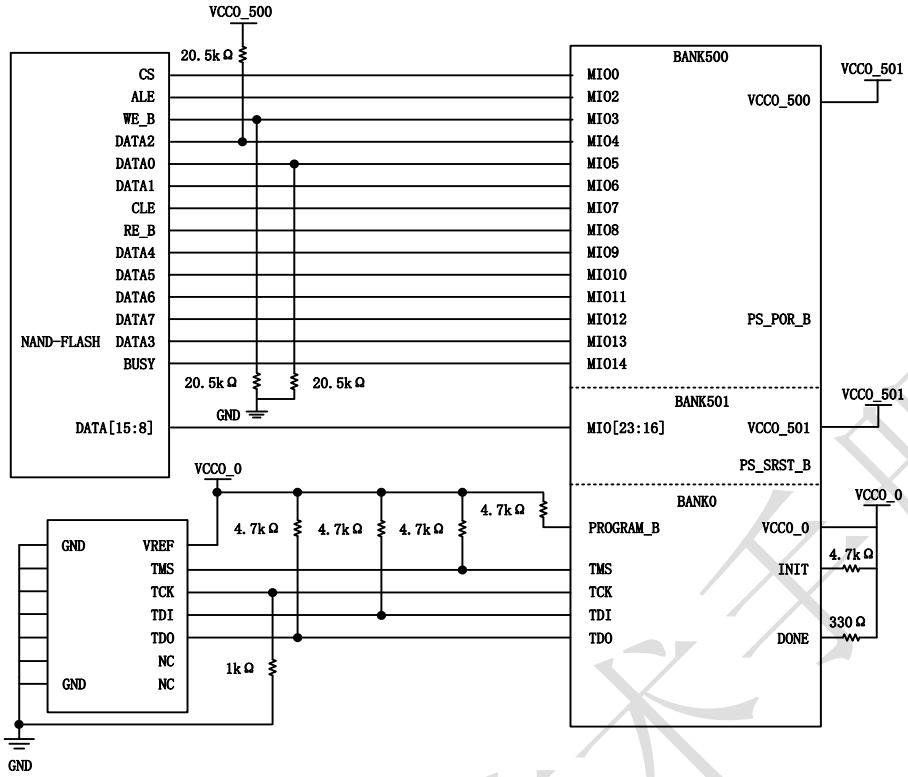


图 24　NAND 模式配置原理图

在使用 NAND 模式时，需注意以下几点：

（1）上电过程中 PS_SRST_B 由低到高时间至少要比 PS_POR_B 由低到高时间提前 2us；

（2）NAND 模式同时占用了 BANK_500 和 BANK501 上的管脚，因此两个 BANK 的端口电平需保持一致；

（3）启动镜像需置于前 128Mb 的地址空间，用于 BootROM 头搜索功能；

（4）PL VCCO_0 和编程器的 VREF 必须具有相同的电压；

（5）DONE 引脚是漏极开路输出。建议接一个 330Ω 的上拉电阻；

（6）INIT_B 引脚是双向漏极开路引脚。需要一个外部上拉电阻；

（7）PROGRAM_B 也需要一个上拉电阻；

（8）VCCBATT 是存储在 SRAM 中的 AES 密钥的电源。使用时应将其连接至电池电源。

8.7　QSPI 模式

QSPI 模式下可选用 1 位、2 位或 4 位的单个 QSPI FLASH 器件进行配置，支持 16MB 的配置存储空间，也可选择使用双 QSPI FLASH 形成 8 位 I/O 的并行配置模式，以及使用双 QSPI FLASH 形成 4 位 I/O 的堆叠式配置模式，双 QSPI FLASH 支持 32MB 的配置存储空间。配置参考示意图如下图 25 所示：

CSD7Z045技术手册

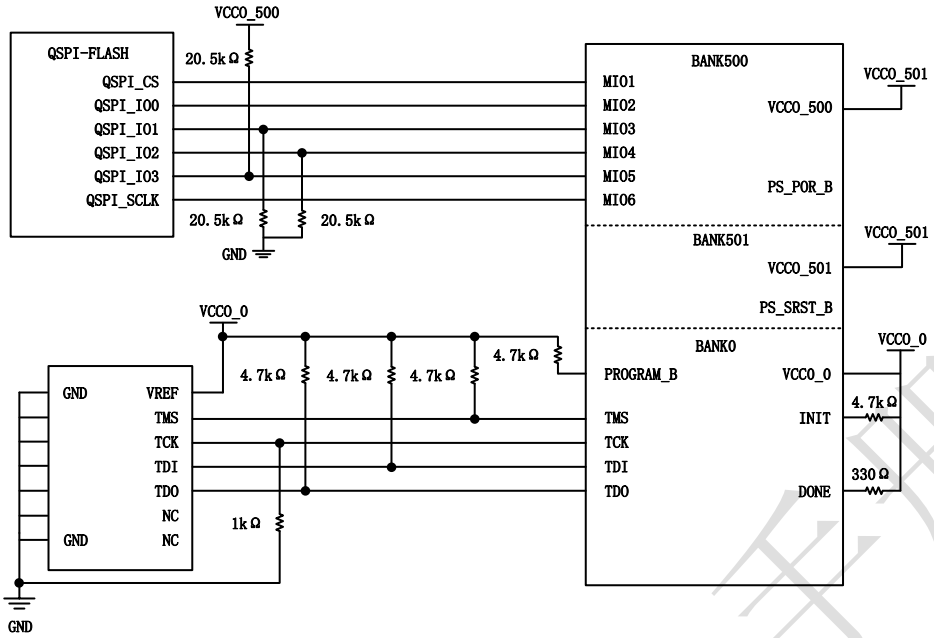


图 25　单 QSPI 模式配置原理图

双 QSPI FLASH 器件的 8 位并行式配置参考示意图，该模式可将地址空间由 16MB 提高至 32MB，即 24 位地址提升至 25 位地址空间，并使数据吞吐量提升一倍：

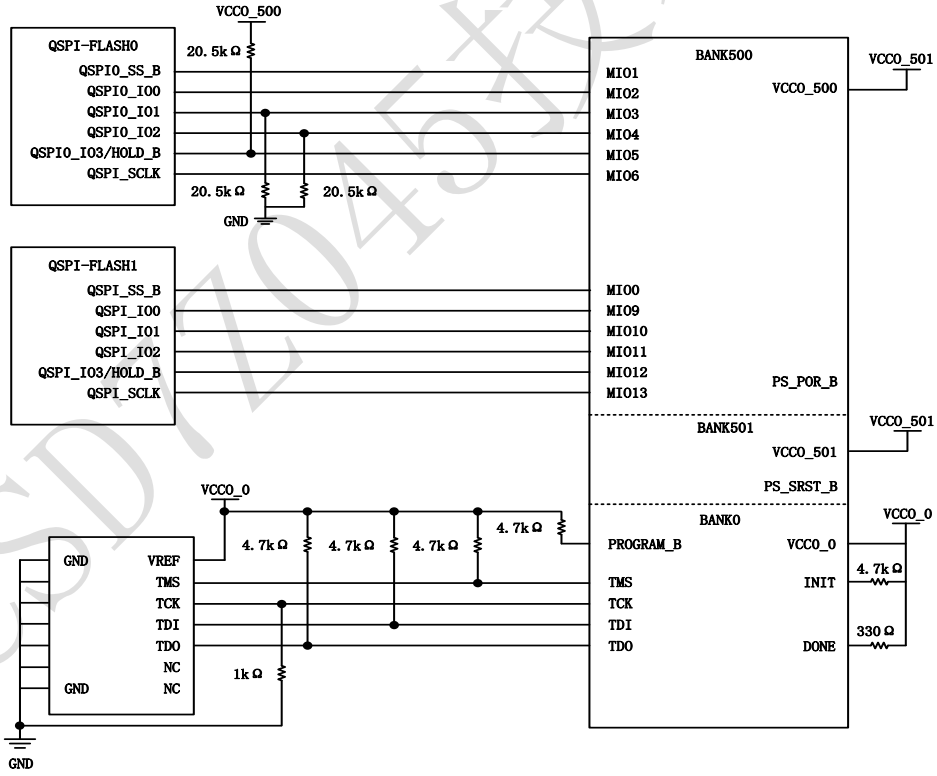


图 26　双 QSPI 模式配置原理图（8 位并行式）

双 QSPI FLASH 器件的 4 位堆叠式配置参考示意图，该模式可将地址空间由 16MB 提高至 32MB，即 24 位地址提升至 25 位地址空间，并节省一定的引脚引线空间，但吞吐量与单个 QSPI FLASH 一致，该模式不支持就地执行功能。

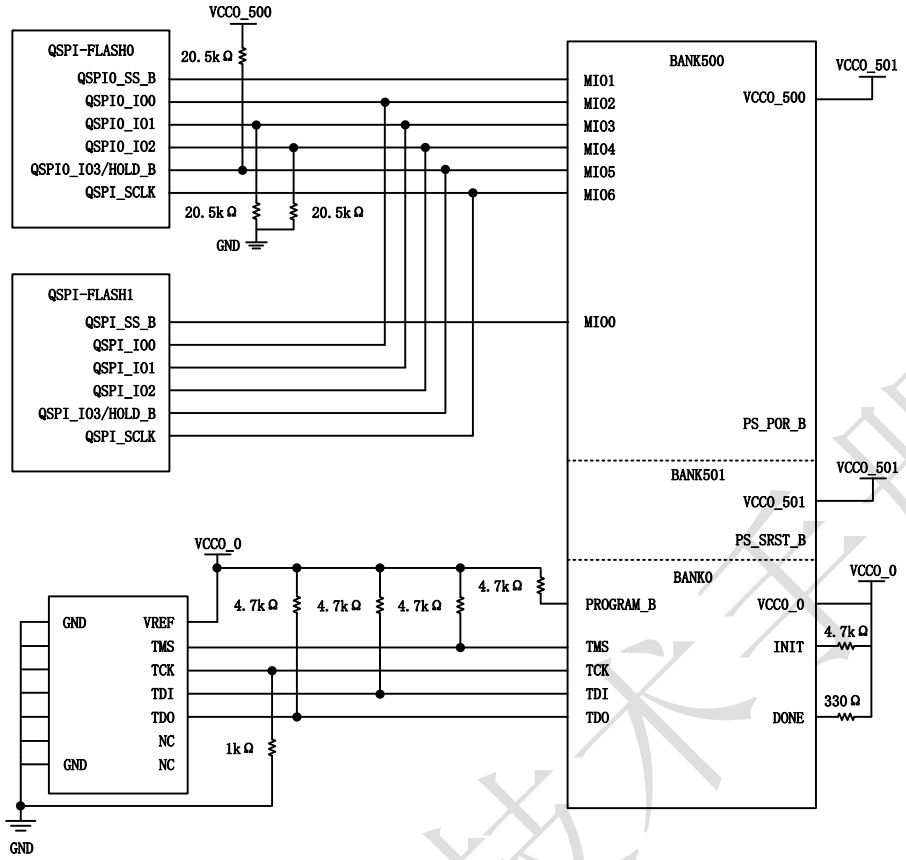


图 27　QSPI 模式配置原理图（4 位堆叠式）

在使用 QSPI 模式时，需注意以下几点：

（1）上电过程中 PS_SRST_B 由低到高时间至少要比 PS_POR_B 由低到高时间提前 2us；

（2）PL VCCO_0 和编程器的 VREF 必须具有相同的电压；

（3）DONE 引脚是漏极开路输出。建议接一个 330Ω 的上拉电阻；

（4）INIT_B 引脚是双向漏极开路引脚。需要一个外部上拉电阻；

（5）PROGRAM_B 也需要一个上拉电阻；

（6）VCCBATT 是存储在 SRAM 中的 AES 密钥的电源。使用时应将其连接至电池电源。

8.8　SD 卡模式

SD 卡模式可以让系统从 SD 卡中读取配置数据，支持 FAT16/32 文件格式，支持的 SD 卡最高容量可达 32GB。配置参考示意图如下图 28 所示：

CSD7Z045技术手册

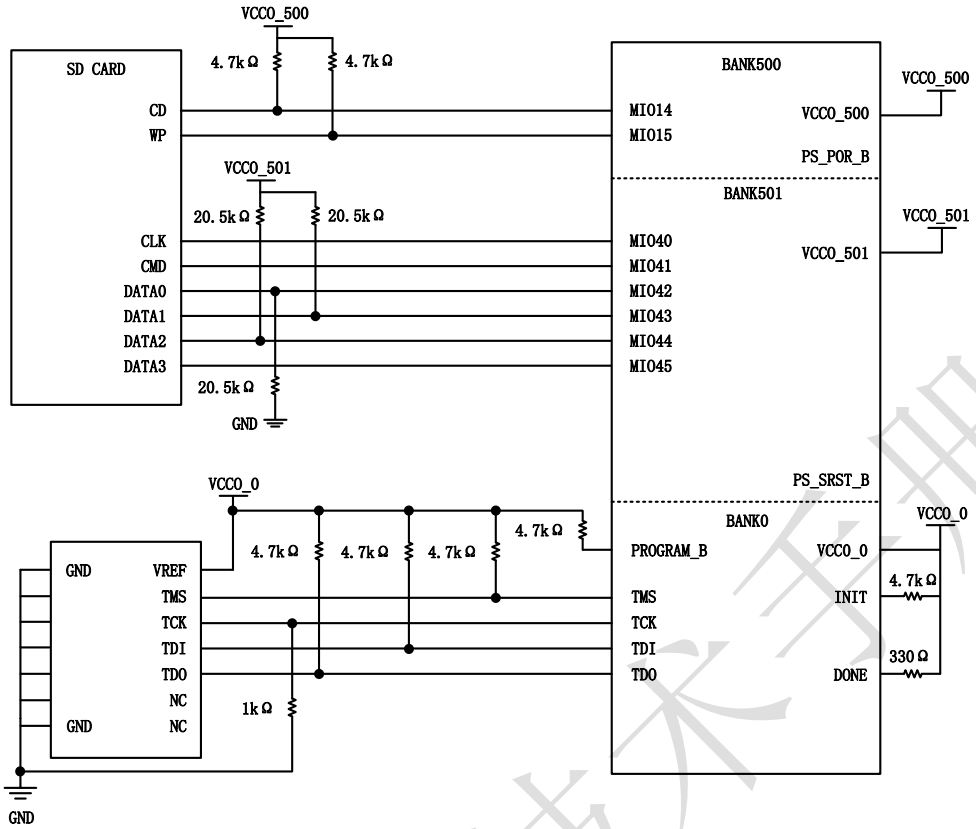


图 28　SD 卡模式配置原理图

在使用 SD 卡模式时，需注意以下几点：

（1）上电过程中 PS_SRST_B 由低到高时间至少要比 PS_POR_B 由低到高时间提前 2us

（2）如需使用 CD 引脚（Card Detect）、WP 引脚（Write Protect）等，需对引脚进行上拉；

（3）PL VCCO_0 和编程器的 VREF 必须具有相同的电压；

（4）DONE 引脚是漏极开路输出。建议接一个 330Ω 的上拉电阻；

（5）INIT_B 引脚是双向漏极开路引脚。需要一个外部上拉电阻；

（6）PROGRAM_B 也需要一个上拉电阻；

（7）VCCBATT 是存储在 SRAM 中的 AES 密钥的电源。使用时应将其连接至电池电源。

8.9　PS DDR 使用注意事项

目前 PS DDR Bus Width 设置成 16bit 时，需要在工程中的 Processing System IP 配置界面中的 DDR Configuration 中的 internal Vref 选项勾选，如下图 29 所示。

CSD7Z045 技术手册

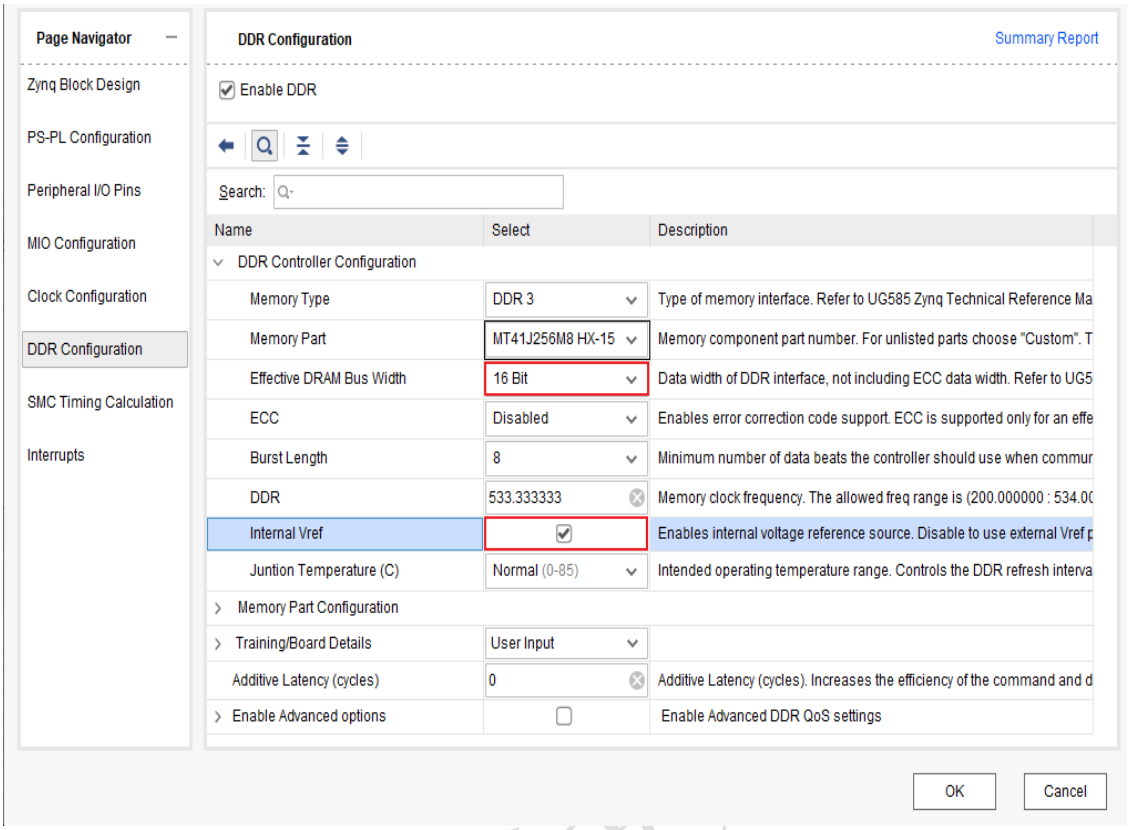


图 29　PS DDR 配置说明

8.10　SerDes 应用注意事项

CSD7Z045产品采用正向对标设计路线，所以在GTX的应用上与对标产品存在差异，具体如下所述。

8.10.1　AVCC/AVTT 电源要求

SerDes的AVCC需要单独供电，不建议与其它电源共用（尤其不能与VCCINT共用），避免其它电源的噪声影响SerDes的性能。AVCC管脚处的电源纹波需小于10mVpp，同时包括纹波在内的电压值严禁超过推荐工作条件。

SerDes的AVTT需要单独供电，不建议与其它电源共用，避免其它电源的噪声影响SerDes的性能。AVTT管脚处的电源纹波需小于10mVpp，同时包括纹波在内的电压值严禁超过推荐工作条件。

8.10.2　参考时钟要求

1）参考时钟在管脚处的差分峰峰电压输入需满足指标（350mV~2000mV)；参考时钟的随机抖动小于1ps(rms)。

2）参考时钟的AC耦合电容需在板卡设计中靠近FPGA器件端，如下图30所示：

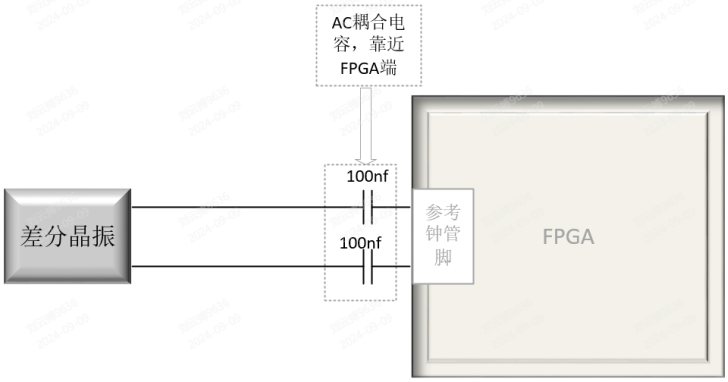


图 30　参考时钟的 AC 耦合电容位置

交流耦合主要作用：

- 隔断各器件之间的直流分量，降低功耗；
- 保持器件之间独立的共模电压；
- 交流耦合电容与器件终端形成高通滤波器，减小基准时钟漂移。

8.10.3　Lane 的耦合电容

Lane 的耦合电容在板卡的位置需根据具体协议进行相应设计，具体参考相应协议的用户指南。

8.10.4　PCB 高速信号走线规则

SerDes 参考时钟、发送端、接收端在 PCB 的走线与相邻走线的距离，需大于等于走线线宽的 3 倍，防止相邻信号的串扰。

8.10.5　端接校准电阻设计

端接校准电阻原理图设计如下：

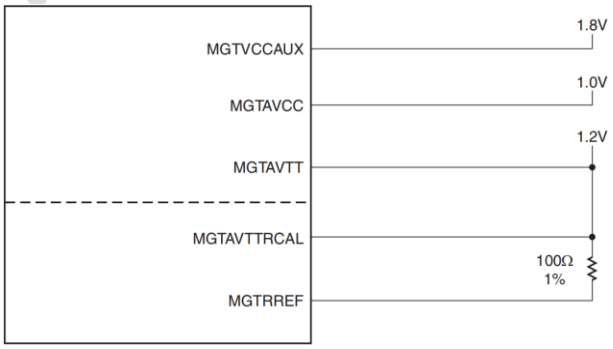


图 31　SerDes 外部电源连接关系图

MGTAVTTRCAL 为端接电阻校准模块供电电源，MGTRREF 为端接电阻校准模块电阻输入。MGTAVTTRCAL 引脚应连接到 MGTAVTT 电源和 100Ω 精密外部电阻引脚上，电阻的另一个引脚连接到 MGTRREF 引脚。

其中 MGTAVTTRCAL 和 MGTRREF 管脚到 100Ω 电阻的两端需走线等长。

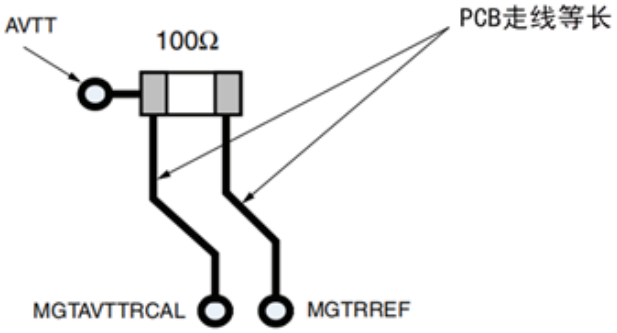


图 32　RCAL 电阻的 PCB 布线图

8.10.6　IBERT GTX IP 数字眼图兼容性

针对 IBERT IP 数字眼图观测兼容性问题，需要更改软件底层 csv 文件，文件路径为：2018.3\data\xicom\ibert_slave_k7gtx_channel.csv，如下图 33 所示：

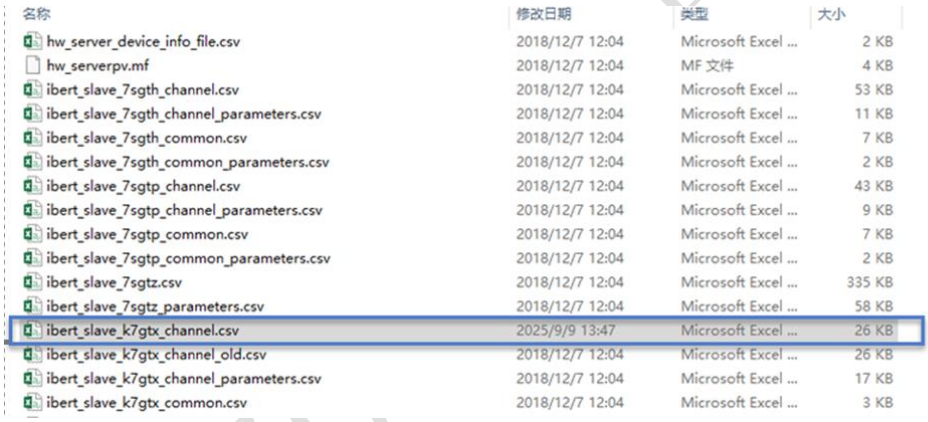


图 33　IBERT 眼图修改文件路径

修改内容是将 csv 文件中 232-244 行的数字加 2（十六进制），修改前后如下图 34 所示。

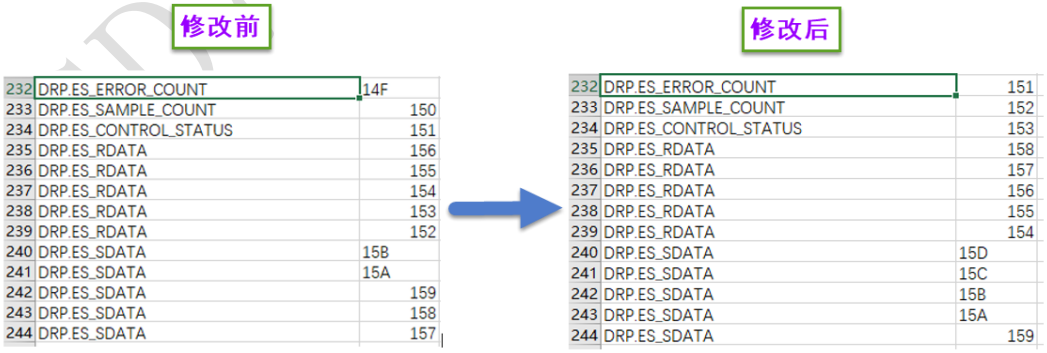


图 34　csv 文件修改内容

修改之后启动软件，下载 ibert demo 工程的 bit 文件，数字眼图功能就可以正常使用。

注意：通过本方法修改后，数字眼图功能将会异常，建议用户将源文件进行备份保留。

8.10.7 QPLL VCO 带宽兼容性

对标产品的 QPLL VCO 范围是分段的，分别为 5.93GHz～8.0 GHz 和 9.8GHz～12.5GHz，CSD7Z045 产品的 QPLL VCO 范围是连续的，为 6.8GHz～12.5GHz。所以当用户在 5.93 GHz～6.8GHz 区间(包括分频区间如 2 分频、4 分频等)使用 QPLL 模式时，CSD7Z045 产品不支持对标产品的默认配置。

综上，建议用户在 6.8GHz 频点以下时，使用 CPLL 模式。

下文将介绍 QPLL 模式下，如何通过修改实现兼容性。

QPLL 模式下 PLL 输出频率计算方式如下：

$F_{PLLClkout} = F_{PLLClkin} * N/(M*2)$ ……公式 1

QPLL 模式下 PLL 输出频率计算方式如下：

$F_{LineRate} = F_{PLLClkout}*2/D$ ……公式 2

QPLL 分频系数设置如下表所示。

表 60 QPLL 分频设置

系数	属性	有效值
M	QPLL_REFCLK_DIV	1，2，3，4
N	QPLL_FBDIV QPLL_FBDIV_RATIO	16，20，32，40，64，66，80，100
D	RXOUT_DIV /TXOUT_DIV	1，2，4，8，16

表 61 系数 N 设置

N	QPLL_FBDIV_RATIO	QPLL_FBDIV
16	1	0000100000
20	1	0000110000
32	1	0001100000
40	1	0010000000
64	1	0011100000
66	0	0101000000
80	1	0100100000
100	1	0101110000

根据上表所示，针对 QPLL 不兼容区间，可通过将 PLL 输出频率扩大一倍（N 乘以 2），再将 TX/RX 的分频系数扩大一倍（D 乘以 2）。即可解决 QPLL 兼容性问题。

注意：（1）上述更改方式仅限某个频点下的典型时钟。

（2）理论上用户可以根据上文所述公式 1 和公式 2，任意配置 QPLL 系数，但不建议用户将 M 值设置为 1 之外的值。

CSD7Z045技术手册

下表为 SerDes 支持协议 PLL 推荐使用情况，其中不兼容的协议及频点已斜体标粗。

表 62　CSD7Z045FFG900 使用 SerDes 相关协议 PLL 推荐表

协议	线速率 Gb/s	PLL 输出频率 GHz	参考时钟频率典型值 MHz	使用 PLL 模式	是否兼容对标产品	TX/RX 分频系数	CPLL 系数			QPLL 系数	
						D	M	N2	N1	M	N
Fibre Channel (Single Rate)	4.25	2.125	212.5	CPLL	兼容	1	1	2	5	-	-
	2.125	2.125	106.25	CPLL	兼容	2	1	4	5	-	-
	1.0625	2.125	106.25	CPLL	兼容	4	1	4	5	-	-
Fibre Channel (Multi-Rate)	4.25	2.125	212.5	CPLL	兼容	1	1	2	5	-	-
	2.125	2.125	212.5	CPLL	兼容	2	1	2	5	-	-
	1.0625	2.125	212.5	CPLL	兼容	4	1	2	5	-	-
XAUI	3.125	3.125	156.25	CPLL	兼容	2	1	4	5	-	-
	3.125	12	156.25	QPLL	***不兼容***	4	-	-	-	1	80
	6.25	3.125	156.25	CPLL	兼容	1	1	4	5	-	-
	6.25	12	156.25	QPLL	***不兼容***	2	-	-	-	1	80
RXAUI	6.25	3.125	156.25	CPLL	兼容	1	1	4	5	-	-
	6.25	12	156.25	QPLL	***不兼容***	2	-	-	-	1	80
GigE	1.25	2.5	125	CPLL	兼容	1	1	4	5	-	-
Aurora (Single Rate)	6.25	3.125	312.5	CPLL	兼容	1	1	2	5	-	-
	5	2.5	250	CPLL	兼容	1	1	2	5	-	-
	3.125	3.125	156.25	CPLL	兼容	2	1	4	5	-	-
	2.5	2.5	125	CPLL	兼容	2	1	4	5	-	-
	1.25	2.5	125	CPLL	兼容	4	1	4	5	-	-
Aurora (Multi-Rate)	6.25	3.125	312.5	CPLL	兼容	1	1	2	5	-	-
	5	2.5	312.5	CPLL	兼容	1	1	2	4	-	-
	3.125	3.125	312.5	CPLL	兼容	2	1	2	5	-	-
	2.5	2.5	312.5	CPLL	兼容	2	1	2	4	-	-
	1.25	2.5	312.5	CPLL	兼容	4	1	2	4	-	-
Aurora 64B/66B	3.125	3.125	156.25	CPLL	兼容	2	1	4	5	-	-
Serial RapidIO (Single Rate)	3.125	3.125	156.25	CPLL	兼容	2	1	4	5	-	-
	2.5	2.5	125	CPLL	兼容	2	1	4	5	-	-
	1.25	2.5	125	CPLL	兼容	4	1	4	5	-	-
Serial RapidIO	3.125	3.125	156.25	CPLL	兼容	2	1	4	5	-	-
	2.5	2.5	156.25	CPLL	兼容	2	1	4	4	-	-

CSD7Z045技术手册

协议	线速率 Gb/s	PLL 输出频率 GHz	参考时钟频率典型值 MHz	使用 PLL 模式	是否兼容对标产品	TX/RX 分频系数	CPLL 系数			QPLL 系数	
						D	M	N2	N1	M	N
(Multi-Rate)	1.25	2.5	156.25	CPLL	兼容	4	1	4	4	-	-
SATA	6	3	150	CPLL	兼容	1	1	4	5	-	-
	3	3	150	CPLL	兼容	2	1	4	5	-	-
	1.5	3	150	CPLL	兼容	4	1	4	5	-	-
	6	6	150	QPLL	***不兼容***	2	-	-	-	1	80
	3	6	150	QPLL	***不兼容***	4	-	-	-	1	80
	1.5	6	150	QPLL	***不兼容***	8	1	-	-	1	80
PCIE	2.5	2.5	100	CPLL	兼容	2	1	5	5	1	80
	5	2.5	100	CPLL	兼容	1	1	5	5	1	80
	8	8	100	QPLL	兼容	1	-	-	-	1	80
CPRI (Multi-Rate)	3.072	3.072	122.88	CPLL	兼容	2	1	5	5	-	-
	2.4576	2.4576	122.88	CPLL	兼容	2	1	4	5	-	-
	1.2288	1.2288	122.88	CPLL	兼容	4	1	4	5	-	-
	0.6144	0.6144	122.88	CPLL	兼容	8	1	4	5	-	-
	9.8304	9.8304	122.88	QPLL	兼容	1	-	-	-	1	80
OBSAI (Multi-Rate)	6.144	3.072	153.6	CPLL	兼容	1	1	4	5	-	-
	3.072	3.072	153.6	CPLL	兼容	2	1	4	5	-	-
	1.536	3.072	153.6	CPLL	兼容	4	1	4	5	-	-
	0.768	3.072	153.6	CPLL	兼容	8	1	4	5	-	-
3G-SDIHD-SDI (Multi-Rate)	2.97	2.97	148.5	CPLL	兼容	2	1	4	5	-	-
	1.485	2.97	148.5	CPLL	兼容	4	1	4	5	-	-
Interlaken	6.25	3.125	312.5	CPLL	兼容	1	1	2	5	-	-
	4.25	3.125	212.5	CPLL	兼容	1	1	2	5	-	-
	3.125	3.125	156.25	CPLL	兼容	2	1	4	5	-	-
	10.3125	10.3125	161.13	QPLL	兼容	1	-	-	-	1	80
SFI-5	3.125	3.125	195.3125	CPLL	兼容	2	1	4	4	-	-
OC-48	2.48832	2.48832	155.52	CPLL	兼容	2	1	4	4	-	-
OC-12	0.62208	2.48832	155.52	CPLL	兼容	8	1	4	4	-	-
OTU-1	2.666057	2.666057	166.6286	CPLL	兼容	2	1	4	4	-	-
CEI 6.25	6.25	3.125	390.625	CPLL	兼容	1	1	2	4	-	-
	6.25	12.5	390.625	QPLL	***不兼容***	2	-	-	-	1	32

CSD7Z045技术手册

协议	线速率 Gb/s	PLL 输出频率 GHz	参考时钟频率典型值 MHz	使用 PLL 模式	是否兼容对标产品	TX/RX 分频系数	CPLL 系数			QPLL 系数	
						D	M	N2	N1	M	N
	6.25	12.5	156.25	QPLL	*不兼容*	2	-	-	-	1	80
10GBASE-R (156.25 MHz)	10.3125	10.3125	156.25	QPLL	兼容	1	-	-	-	1	66
OC-192 (9.953 Gb/s, 155.516 MHz	9.953024	9.953024	155.516	QPLL	兼容	1	-	-	-	1	64
Standard: SFP+ (SFF-8431, SFI)	9.95328	9.95328	155.52	QPLL	兼容	1	-	-	-	1	64
	10.3125	10.3125	156.25	QPLL	兼容	1	-	-	-	1	66
	10.5187	10.3125	164.355	QPLL	兼容	1	-	-	-	1	64
	11.1	11.1	173.4375	QPLL	兼容	1	-	-	-	1	64

注 1：TX/RX 分频系数 D 属性为 TXOUT_DIV，RXOUT_DIV
注 2：CPLL 系数的 M 属性为 CPLL_REFCLK_DIV
注 3：CPLL 系数的 N2 属性为 CPLL_FBDIV
注 4：CPLL 系数的 N1 属性为 CPLL_FBDIV_45
注 5：QPLL 系数的 M 属性为 QPLL_REFCLK_DIV
注 6：QPLL 系数的 N 属性为 QPLL_FBDIV，QPLL_FBDIV_RATIO

针对上表的推荐值，下文将详细介绍官方提供 IP 的 QPLL 兼容性解决办法。

（1）IBERT 7 Series GTX IP

下文将介绍 GTX 3.125Gb/s 在 QPLL 模式下如何使用，用户可以参考解决其它频点 IBERT 不兼容问题。

步骤 1：设置线速率为 3.125Gbps，参考时钟为 156.25Mhz，勾选 Quad PLL，如下图 35 所示。

CSD7Z045技术手册

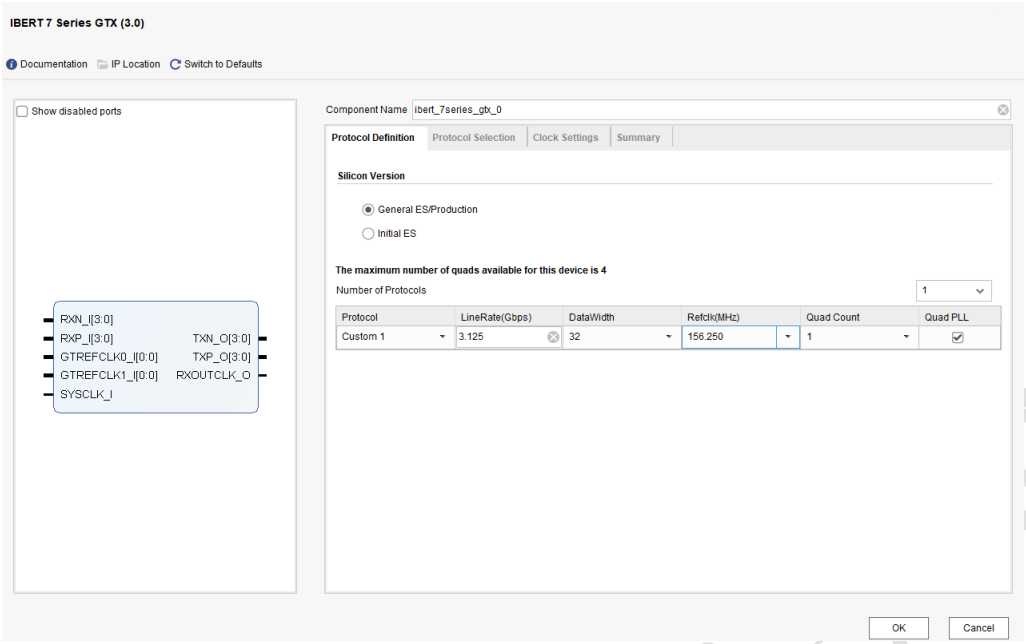


图 35　IBERT IP 设置 1

注意：CSD7Z045 的 GTX 仅支持 32bit 数据宽度。

步骤 2：设置 QUAD 位置，下述示例选择 115bank，GTX 时钟从 115bank clk0 引脚输入（用户根据板卡实际需求设置），如下图 36 所示。

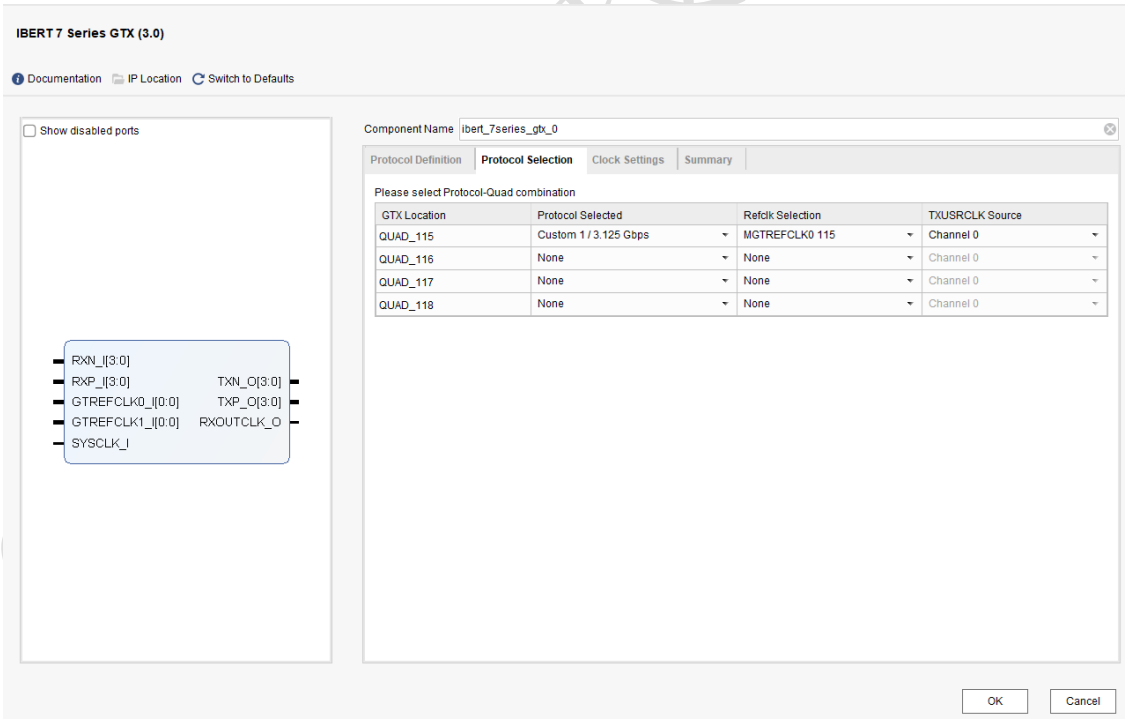


图 36　IBERT IP 设置 2

步骤 3：设置 IBERT IP CORE 时钟，下述示例推荐使用 GTX PHY 的参考时钟，这样可以减少一组差分时钟输入，如下图 37 所示。

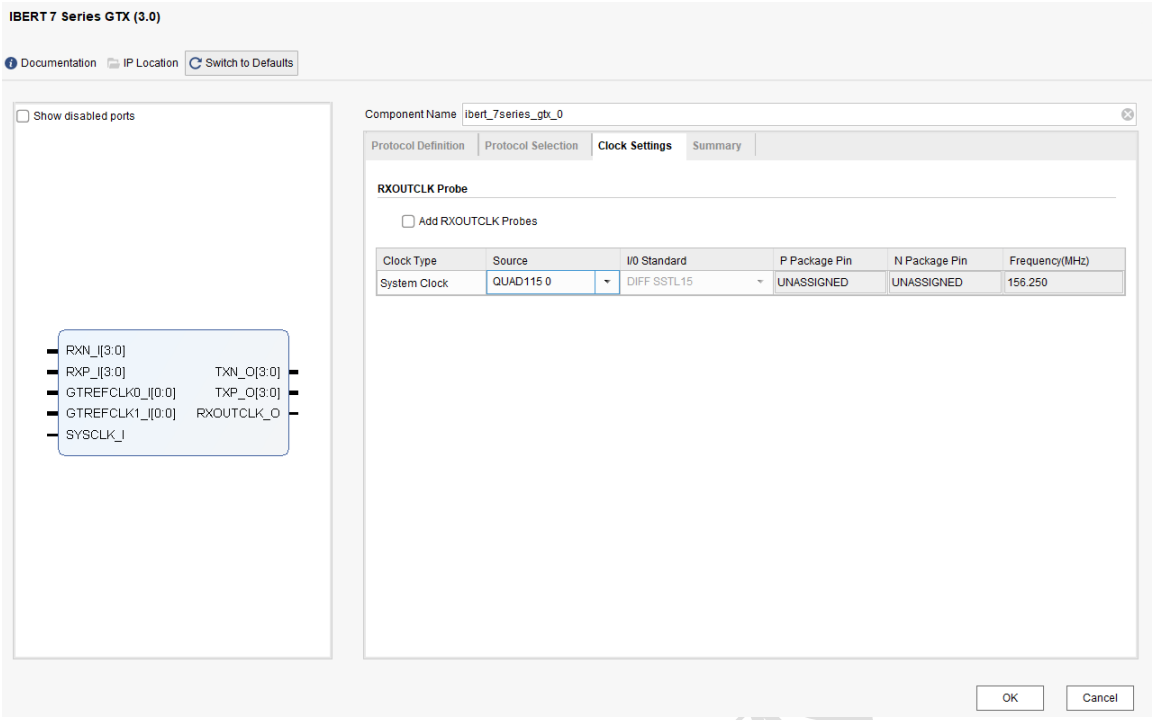


图 37　IBERT IP 设置 3

步骤 4：设置完成后点击 OK，生成 IP。然后选择 IBERT IP，右键点击 Open IP Example Design。如下图 38 所示。

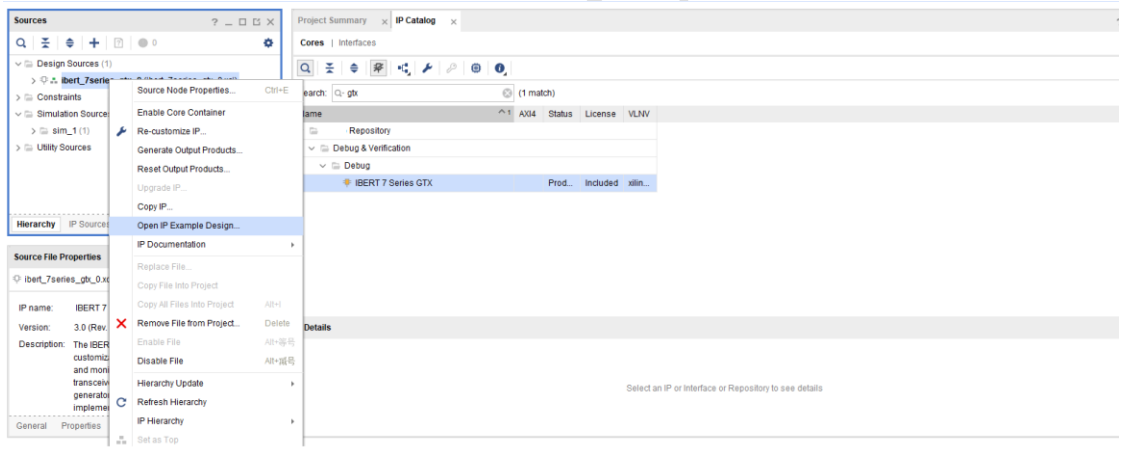


图 38　打开 IBERT DEMO 工程

步骤 5：打开 demo 工程的 xdc 文件做如下修改。

a、QPLL 增加两行约束，如下图 39 所示。

Project Summary | example_ibert_7series_gtx_0.xdc

c:/Users/Administrator/Desktop/300T_900/GTX/ibert_7series_gtx_0_ex/imports/example_ibert_7series_gtx_0.xdc

```
set_property TX_QPI_STATUS_EN 1'b0 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property TX_RXDETECT_CFG 14'h1832 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property TX_RXDETECT_REF 3'b100 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property TX_XCLK_SEL "TXOUT" [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property UCODEER_CLR 1'b0 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
##
## Attribute Values for QUAD[0] - Common
##
set_property BIAS_CFG 64'h0000040000001000 [get_cells u_ibert_core/inst/QUAD[0].u_q/u_common/u_gtxe2_common]
set_property COMMON_CFG 32'h00000000 [get_cells u_ibert_core/inst/QUAD[0].u_q/u_common/u_gtxe2_common]
set_property QPLL_CFG 27'h06801C1 [get_cells u_ibert_core/inst/QUAD[0].u_q/u_common/u_gtxe2_common]
set_property QPLL_CLKOUT_CFG 4'b0000 [get_cells u_ibert_core/inst/QUAD[0].u_q/u_common/u_gtxe2_common]
set_property QPLL_COARSE_FREQ_OVRD 6'b010000 [get_cells u_ibert_core/inst/QUAD[0].u_q/u_common/u_gtxe2_common]
set_property QPLL_COARSE_FREQ_OVRD_EN 1'b0 [get_cells u_ibert_core/inst/QUAD[0].u_q/u_common/u_gtxe2_common]
set_property QPLL_CP 10'b0000011111 [get_cells u_ibert_core/inst/QUAD[0].u_q/u_common/u_gtxe2_common]
set_property QPLL_CP_MONITOR_EN 1'b0 [get_cells u_ibert_core/inst/QUAD[0].u_q/u_common/u_gtxe2_common]
set_property QPLL_DMONITOR_SEL 1'b0 [get_cells u_ibert_core/inst/QUAD[0].u_q/u_common/u_gtxe2_common]
set_property QPLL_FBDIV_MONITOR_EN 1'b1 [get_cells u_ibert_core/inst/QUAD[0].u_q/u_common/u_gtxe2_common]
set_property QPLL_INIT_CFG 24'h000028 [get_cells u_ibert_core/inst/QUAD[0].u_q/u_common/u_gtxe2_common]
set_property QPLL_LOCK_CFG 16'h21E8 [get_cells u_ibert_core/inst/QUAD[0].u_q/u_common/u_gtxe2_common]
set_property QPLL_LPF 4'b1111 [get_cells u_ibert_core/inst/QUAD[0].u_q/u_common/u_gtxe2_common]
set_property QPLL_REFCLK_DIV 1 [get_cells u_ibert_core/inst/QUAD[0].u_q/u_common/u_gtxe2_common]

set_property QPLL_FBDIV_RATIO 1 [get_cells u_ibert_core/inst/QUAD[0].u_q/u_common/u_gtxe2_common]
set_property QPLL_FBDIV 10'b0100100000 [get_cells u_ibert_core/inst/QUAD[0].u_q/u_common/u_gtxe2_common]
```

图 39　增加 QPLL 约束

设置 QPLL_FBDIV_RATIO 为 1，QPLL_FBDIV 为 10’b010010000（即将 M 参数设置为 80）。

b、将 TXOUT_DIV/RXOUT_DIV 由 2 改为 4，如下图 40 所示。

Project Summary | example_ibert_7series_gtx_0.xdc

c:/Users/Administrator/Desktop/300T_900/GTX/ibert_7series_gtx_0_ex/imports/example_ibert_7series_gtx_0.xdc

```
set_property CLK_COR_SEQ_2_USE "FALSE" [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]

 ##----------Channel PLL----------
set_property CPLL_CFG 24'hBC07DC [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property CPLL_FBDIV 4 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property CPLL_FBDIV_45 5 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property CPLL_INIT_CFG 24'h00001E [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property CPLL_LOCK_CFG 16'h01C0 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property CPLL_REFCLK_DIV 1 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
#set_property RXOUT_DIV 2 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
#set_property TXOUT_DIV 2 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property RXOUT_DIV 4 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property TXOUT_DIV 4 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]

 ##----------Eyescan----------
set_property ES_CONTROL 6'b000000 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property ES_ERRDET_EN "FALSE" [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property ES_EYE_SCAN_EN "TRUE" [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property ES_HORZ_OFFSET 12'h000 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property ES_PMA_CFG 10'b0000000000 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property ES_PRESCALE 5'b00000 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property ES_QUALIFIER 80'h00000000000000000000 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property ES_QUAL_MASK 80'h00000000000000000000 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property ES_SDATA_MASK 80'h00000000000000000000 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property ES_VERT_OFFSET 9'b000000000 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
set_property FTS_DESKEW_SEQ_ENABLE 4'b1111 [get_cells u_ibert_core/inst/QUAD[0].u_q/CH[*].u_ch/u_gtxe2_channel]
```

图 40　更改 TX/RX 分频系数

通过上述修改步骤后生成 bit 文件，即可解决 QPLL 不兼容问题。

（2）XAUI IP

XAUI IP 默认使用 QPLL 模式，下文将描述如何兼容 XAUI IP。

步骤 1：设置 IP 数据率：XAUI IP 10Gb/s 数据率情况下，每个 lane 线速率为 3.125Gb/s，20Gb/s 数据情况下，每个 lane 线速率为 6.25Gb/s，下述示例介绍 10Gb/s 数据率更改办法。

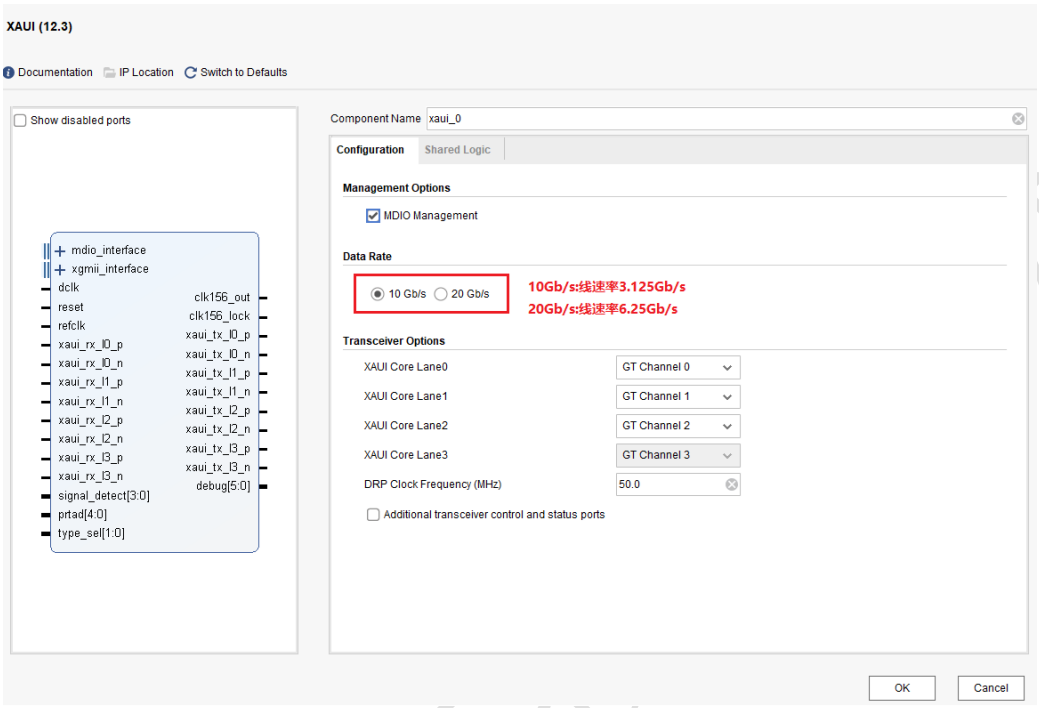


图 41　XAUI IP 设置 1

步骤 2：在 Shared logic 界面，如下图 42 所示设置，这样可将 GTX COMMON 原语包含在 IP 中。

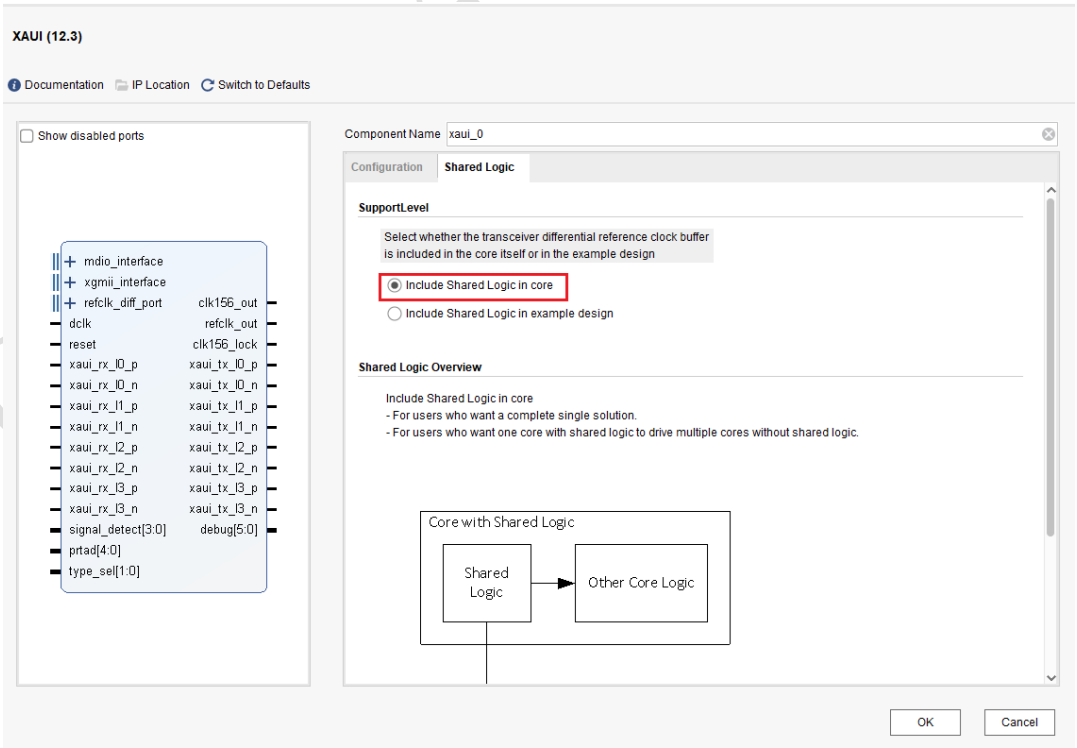


图 42　XAUI IP 设置 2

步骤 3：设置完 IP 后，点击 OK。将 IP 的编译模式设置为 Global，这样即可更改 IP 底层文件，如下图 43 所示

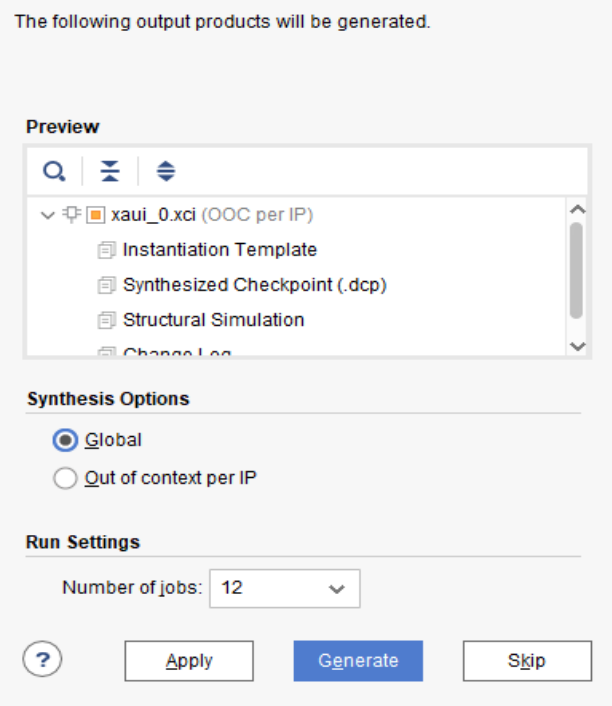


图 43　设置 XAUI IP 编译模式

步骤 4：解决办法即将系数 D 设置为 4(10Gb/s)/2(20Gb/s)，同时将系数 N 设置为 80。

如下图 44 所示，在工程路径下找到需要更改的源文件。

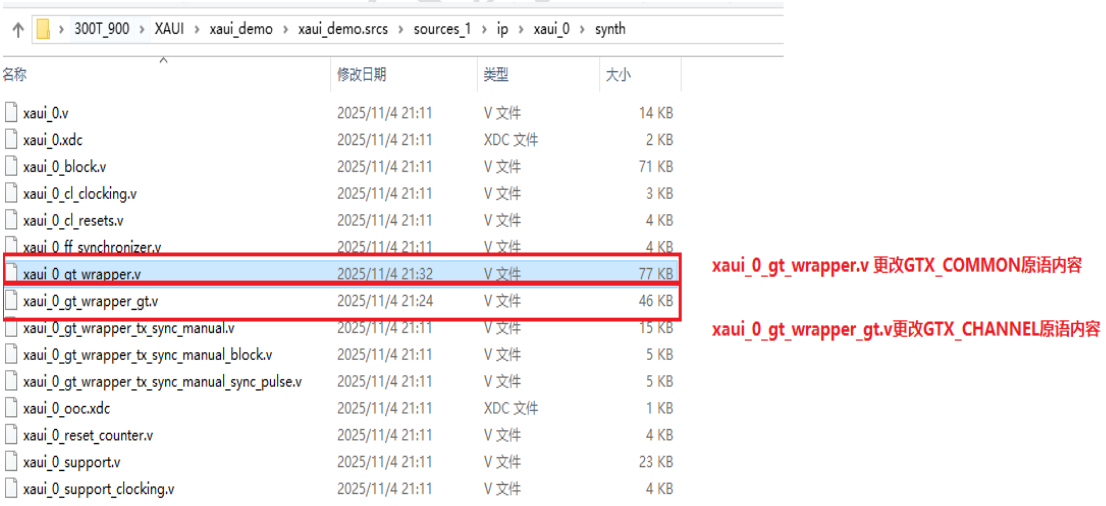


图 44　XAUI IP 源文件路径

文件更改内容如下图 45 所示，GTX_CHANNEL 原语将 RXOUT_DIV、TXOUT_DIV 设置为 4（若选择 20Gb/s 数据率时设置为 2）。

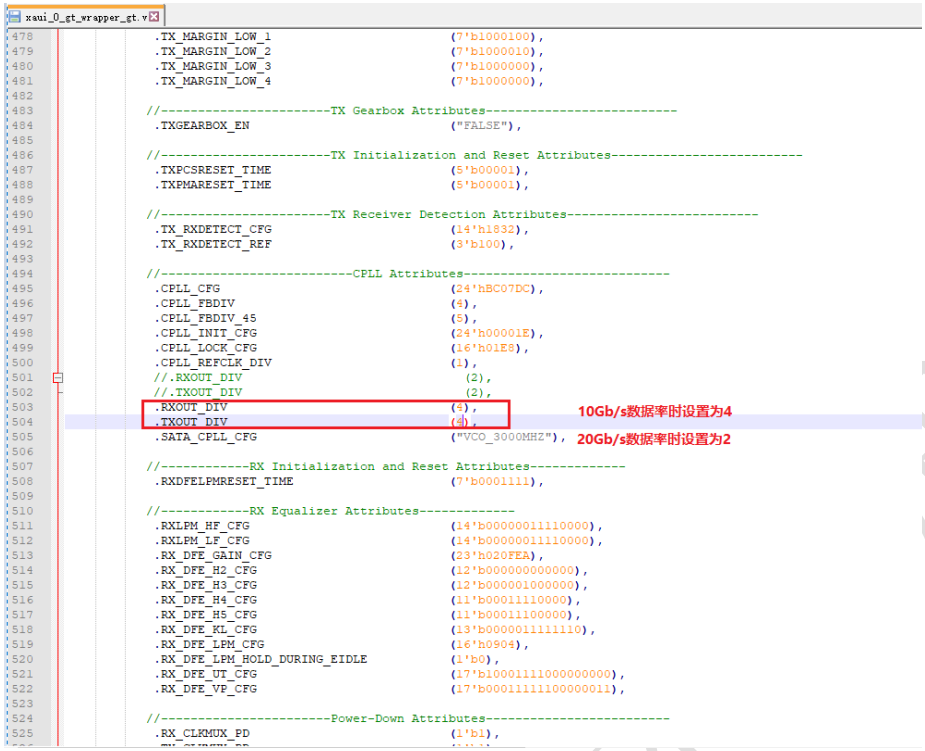


图 45　XAUI IP 源文件更改系数 D

GTX_COMMON 原语配置更改如下图 46 所示。

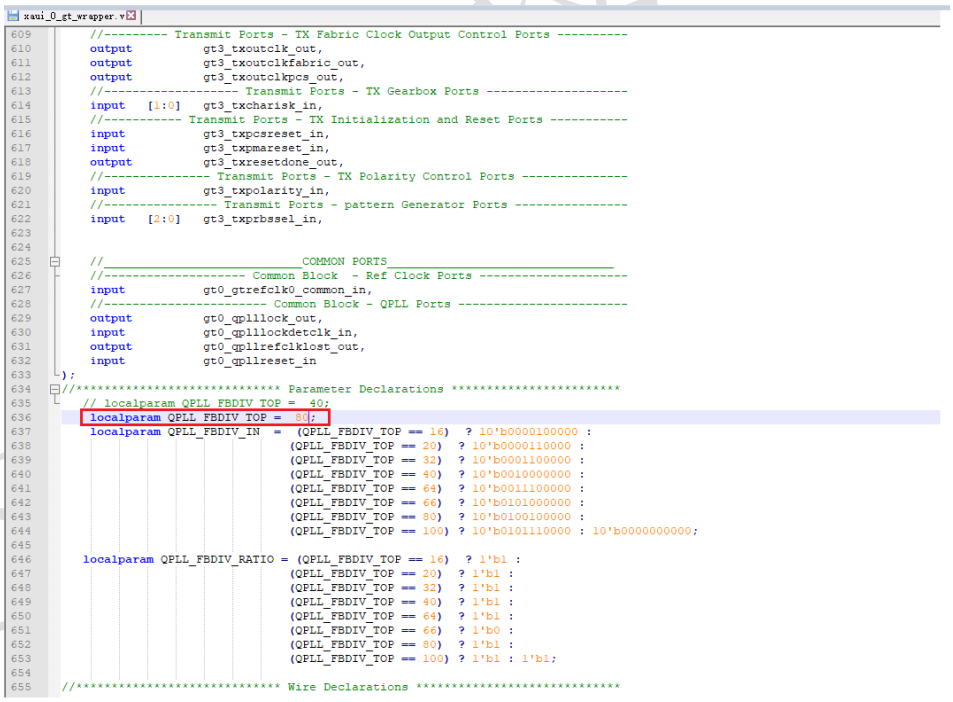


图 46　XAUI IP 源文件更改系数 N

注意：对于 10Gb/s 和 20Gb/s 数据率模式，GTX_COMMON 原语都需要按照上图更改。

通过上述修改步骤后生成 bit 文件，即可解决 XAUI IP 兼容性问题。

（3）RXAUI IP

RXAUI IP 默认使用 QPLL 模式，下文将描述如何兼容 XAUI IP（处理办法与 XAUI 方式一致）。

步骤 1：设置 IP，如下图 47 所示。

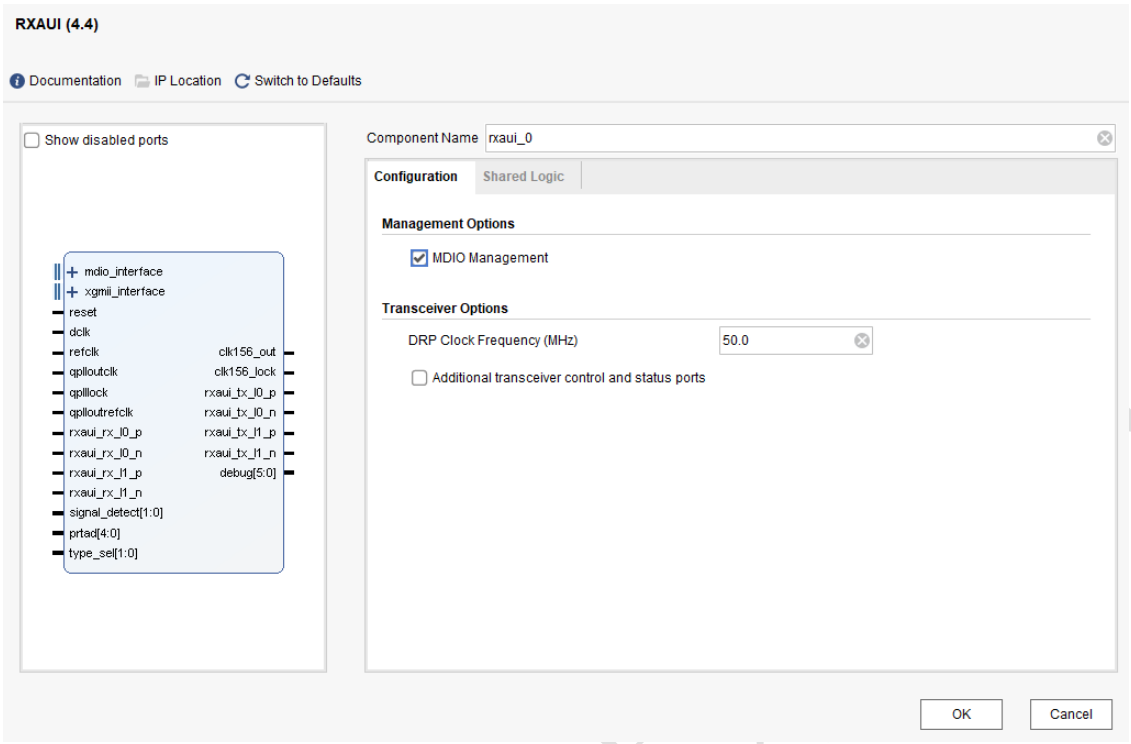


图 47　RXAUI IP 设置 1

步骤 2：在 Shared logic 界面，如下图 48 所示设置，这样可将 GTX COMMON 原语包含在 IP 中。

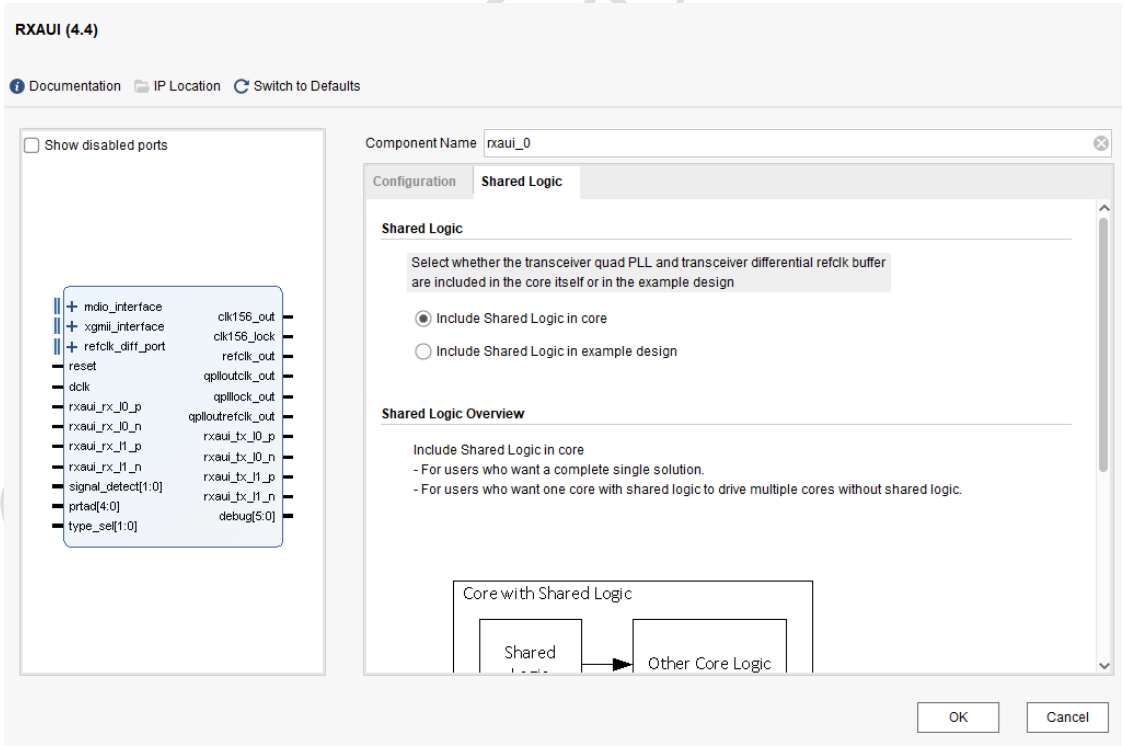


图 48　RXAUI IP 设置 2

步骤 3：将 IP 的编译模式设置为 Global，这样即可更改 IP 底层文件，如下图 49 所示。

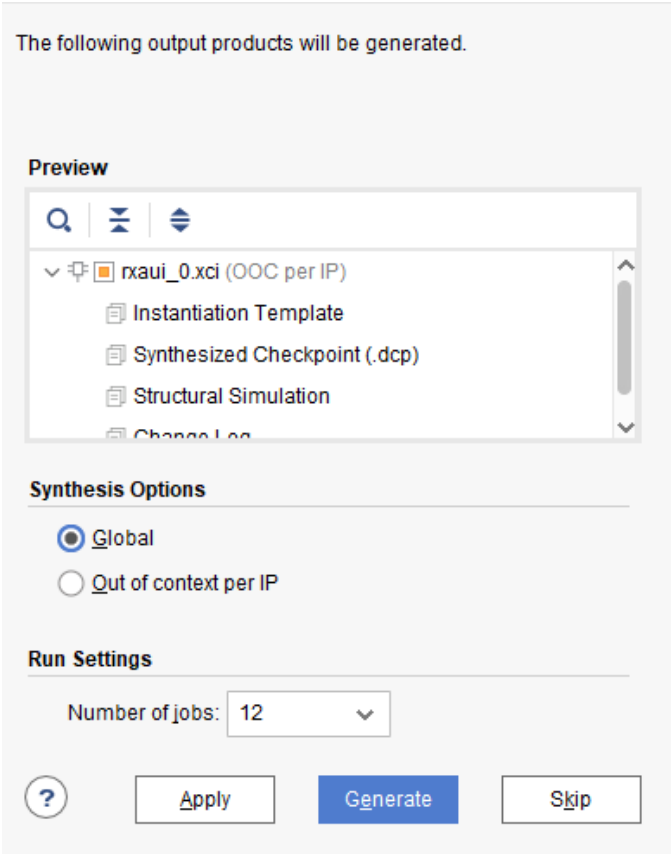


图 49　设置 XAUI IP 编译模式

步骤 4：更改 IP 源文件，解决办法即将系数 D 设置为 2，同时将系数 N 设置为 80。如下图 50 所示，在工程路径下找到需要更改的源文件。

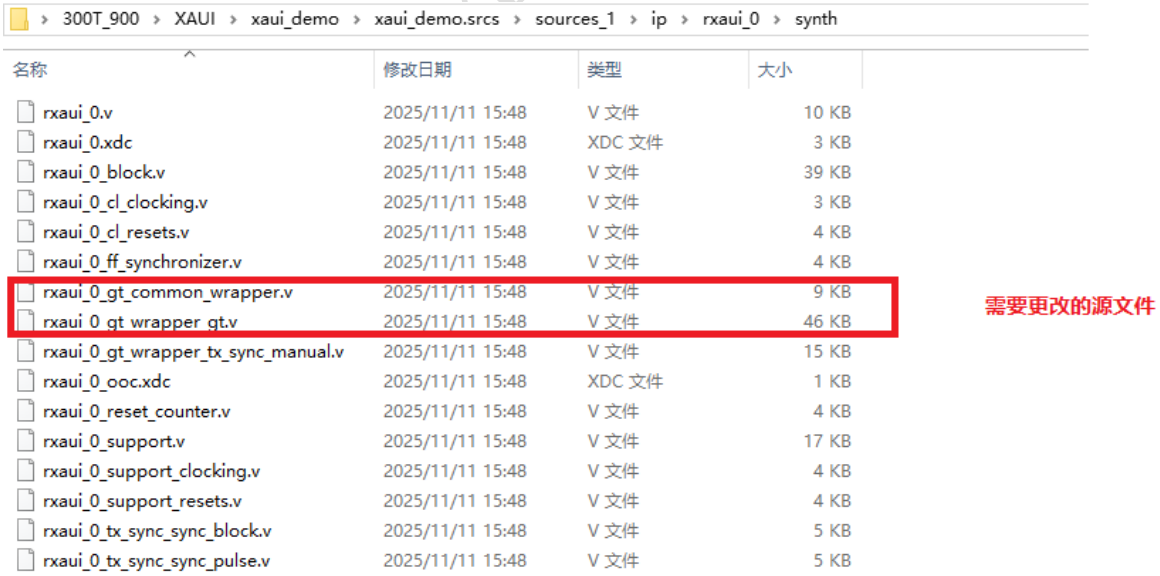


图 50　需要更改的源文件路径

步骤 5：打开 rxaui_gt_common_wrapper.v，更改内容如下图 51 所示。

```
rxaui_0_gt_common_wrapper.v
64  `default_nettype wire
65  `timescale 1ns / 1ps
66  `define DLY #1
67
68
69  //***************************** Entity Declaration ****************************
70  module rxaui_0_gt_common_wrapper #
71  (
72      // Simulation attributes
73      parameter   SIM_RESET_SPEEDUP             =   "false"     // Set to "true" to speed up sim reset
74  )
75  (
76      input           GTREFCLK0_IN,
77      output          QPLLLOCK_OUT,
78      input           QPLLLOCKDETCLK_IN,
79      output          QPLLOUTCLK_OUT,
80      output          QPLLOUTREFCLK_OUT,
81      output          QPLLREFCLKLOST_OUT,
82      input           QPLLRESET_IN
83  );
84  //***************************** Parameter Declarations ************************
85    //  localparam QPLL_FBDIV_TOP =  40;
86      localparam QPLL_FBDIV_TOP =  80;
87      localparam QPLL_FBDIV_IN  =  (QPLL_FBDIV_TOP == 16)  ? 10'b0000100000 :
88                   (QPLL_FBDIV_TOP == 20)  ? 10'b0000110000 :
89                   (QPLL_FBDIV_TOP == 32)  ? 10'b0001100000 :
90                   (QPLL_FBDIV_TOP == 40)  ? 10'b0001010000 :
91                   (QPLL_FBDIV_TOP == 64)  ? 10'b0011100000 :
92                   (QPLL_FBDIV_TOP == 66)  ? 10'b0101000000 :
93                   (QPLL_FBDIV_TOP == 80)  ? 10'b0100100000 :
94                   (QPLL_FBDIV_TOP == 100) ? 10'b0101110000 : 10'b0000000000;
95
96    localparam QPLL_FBDIV_RATIO = (QPLL_FBDIV_TOP == 16)  ? 1'b1 :
97                   (QPLL_FBDIV_TOP == 20)  ? 1'b1 :
98                   (QPLL_FBDIV_TOP == 32)  ? 1'b1 :
99                   (QPLL_FBDIV_TOP == 40)  ? 1'b1 :
100                  (QPLL_FBDIV_TOP == 64)  ? 1'b1 :
101                  (QPLL_FBDIV_TOP == 66)  ? 1'b0 :
102                  (QPLL_FBDIV_TOP == 80)  ? 1'b1 :
103                  (QPLL_FBDIV_TOP == 100) ? 1'b1 : 1'b1;
104
105
106     // ground and vcc signals
107     wire            tied_to_ground_i;
108     wire    [63:0]  tied_to_ground_vec_i;
109     wire            tied_to_vcc_i;
110     wire    [63:0]  tied_to_vcc_vec_i;
111
```

更改QPLL_FBDIV_TOP值为80

图 51　GTX_COMMON 原语更改内容

打开 rxaui_gt_wrapper.v，更改内容如下图 52 所示。

```
rxaui_0_gt_wrapper_gt.v
487             .TX_MARGIN_FULL_3                       (7'b1000010),
488             .TX_MARGIN_FULL_4                       (7'b1000000),
489             .TX_MARGIN_LOW_0                        (7'b1000110),
490             .TX_MARGIN_LOW_1                        (7'b1000100),
491             .TX_MARGIN_LOW_2                        (7'b1000010),
492             .TX_MARGIN_LOW_3                        (7'b1000000),
493             .TX_MARGIN_LOW_4                        (7'b1000000),
494
495           //-----------------------TX Gearbox Attributes--------------------------
496             .TXGEARBOX_EN                           ("FALSE"),
497
498           //-----------------------TX Initialization and Reset Attributes--------------------------
499             .TXPCSRESET_TIME                        (5'b00001),
500             .TXPMARESET_TIME                        (5'b00001),
501
502           //-----------------------TX Receiver Detection Attributes--------------------------
503             .TX_RXDETECT_CFG                        (14'h1832),
504             .TX_RXDETECT_REF                        (3'b100),
505
506           //---------------------------CPLL Attributes----------------------------
507             .CPLL_CFG                               (24'hBC07DC),
508             .CPLL_FBDIV                             (4),
509             .CPLL_FBDIV_45                          (5),
510             .CPLL_INIT_CFG                          (24'h00001E),
511             .CPLL_LOCK_CFG                          (16'h01E8),
512             .CPLL_REFCLK_DIV                        (1),
513             // .RXOUT_DIV                             (1),
514             // .TXOUT_DIV                             (1),
515             .RXOUT_DIV                              (2),
516             .TXOUT_DIV                              (2),
517             .SATA_CPLL_CFG                          ("VCO_3000MHZ"),
518
519           //------------RX Initialization and Reset Attributes-------------
520             .RXDFELPMRESET_TIME                     (7'b0001111),
521
522           //------------RX Equalizer Attributes-------------
523             .RXLPM_HF_CFG                           (14'b00000011110000),
524             .RXLPM_LF_CFG                           (14'b00000011110000),
525             .RX_DFE_GAIN_CFG                        (23'h020FEA),
526             .RX_DFE_H2_CFG                          (12'b000000000000),
527             .RX_DFE_H3_CFG                          (12'b000001000000),
528             .RX_DFE_H4_CFG                          (11'b00011110000),
529             .RX_DFE_H5_CFG                          (11'b00011100000),
530             .RX_DFE_KL_CFG                          (13'b0000011111110),
531             .RX_DFE_LPM_CFG                         (16'h0904),
532             .RX_DFE_LPM_HOLD_DURING_EIDLE           (1'b0),
533             .RX_DFE_UT_CFG                          (17'b10001111000000000),
534             .RX_DFE_VP_CFG                          (17'b00011111100000011),
535
536           //-----------------------Power-Down Attributes----------------------
537             .RX_CLKMUX_PD                           (1'b1),
538             .TX_CLKMUX_PD                           (1'b1),
539
540           //-----------------------FPGA RX Interface Attribute-------------------------
541             .RX_INT_DATAWIDTH                       (1),
```

图 52　GTX_CHANNEL 原语更改内容

通过上述修改步骤后生成 bit 文件，即可解决 RXAUI IP 不兼容问题。

（4）FPGAs Transceivers Wizard IP 介绍

如上文所描述，GTX 电路 QPLL 范围 8-12GHz，下文针对 QPLL 不兼容时，Transceiver IP 如何设置：

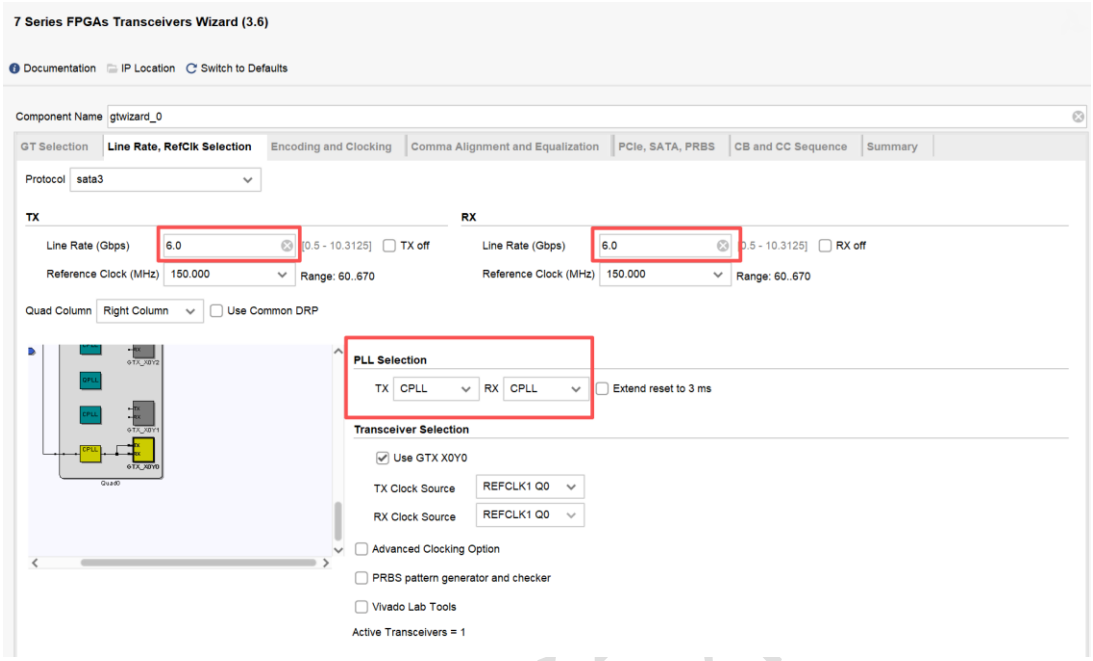


图 53　Transceivers Wizard IP 设置

对于 8Gbps 线速率以下的协议，请将 TX 和 RX 选择 CPLL 模式，这样就不存在 QPLL 兼容性问题。

（5）JESD204 PHY IP

我司 CSD9213 产品常用的 6G 采样率，需要将 jesd204 PHY IP 设置为 7.5Gbps，软件默认为 QPLL 模式，如前文所述需要在 8Gbps 线速率模式下使用 CPLL 模式，存在软件不兼容问题。解决办法如下图 54 所示：

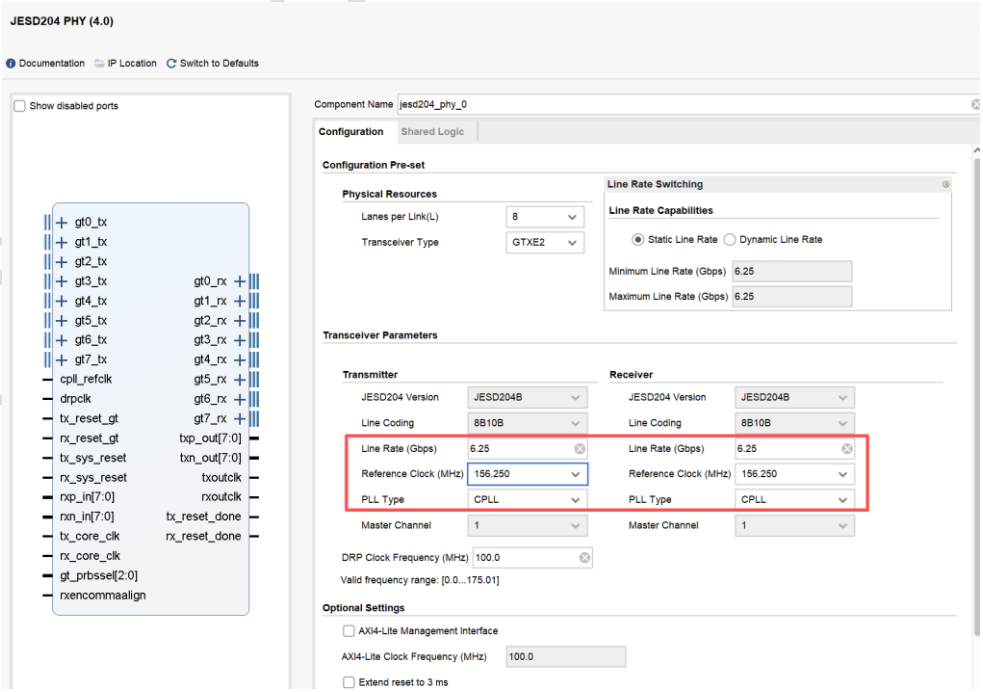


图 54　JESD204 PHY 设置

采用了等效的办法，CSD9213 6G 采样率时钟为 187.5MHz，我司 CPLL 可以支持到 7.5Gbps，故我们将 IP 设置为 6.25Gbps，时钟输入为 156.25MHz，但实际输入时钟为 187.5MHz 时，最终的线速率即 7.5Gbps，这样即可解决兼容性问题。

（6）GTX_CHANNEL/GTX_COMMON 原语修改办法

针对 QPLL 不兼容的问题，若用户在编写代码时未采用任何软件 IP，仅采用 GTX_CHANNEL 和 GTX_COMMON 原语进行编程。解决办法如下所示：

（1）QPLL 模式，仅更改分频系数，修改办法参照 XAUI IP、RXAUI IP 所示，通过将 QPLL 的分频系数扩大来解决。（不推荐使用此办法，因为分频之后影响 TX/RX 性能，RX 可能存在 CDR 不兼容问题）。

（2）将 CPLL 模式更改为 QPLL 模式，COMMON 原语需要将 QPLL_PD 端口设置为 1'b1，将 QPLL POWER DOWN。如下图 55 所示：

```
193         //------------------------ Common Block - QPLL Ports ------------------------
194         .QPLLFBCLKLOST                  (),
195         .QPLLLOCK                       (QPLLLOCK_OUT),
196         .QPLLLOCKDETCLK                 (QPLLLOCKDETCLK_IN),
197         .QPLLLOCKEN                     (tied_to_vcc_i),
198         .QPLLOUTRESET                   (tied_to_ground_i),
199         .QPLLPD                         (1'b1),
200         .QPLLREFCLKLOST                 (QPLLREFCLKLOST_OUT),
201         .QPLLREFCLKSEL                  (3'b001),
202         .QPLLRESET                      (qpll_reset_i),
203         .QPLLRSVD1                      (16'b0000000000000000),
204         .QPLLRSVD2                      (5'b11111),
```

图 55　GTX_COMMON 原语修改办法

将 GTX_CHANNEL 中的 CPLLPD 信号设置为 1'b0，如下图 56 所示：

```
531         //------------------------------ CPLL Ports ------------------------------
532         .CPLLFBCLKLOST                  (cpllfbclklost_out),
533         .CPLLLOCK                       (cplllock_out),
534         .CPLLLOCKDETCLK                 (cplllockdetclk_in),
535         .CPLLLOCKEN                     (tied_to_vcc_i),
536         .CPLLPD                         (1'b0),
537         .CPLLREFCLKLOST                 (cpllrefclklost_out),
538         .CPLLREFCLKSEL                  (3'b001),
539         .CPLLRESET                      (cpll_reset_i),
540         .GTRSVD                         (16'b0000000000000000),
541         .PCSRSVDIN                      (16'b0000000000000000),
542         .PCSRSVDIN2                     (5'b00000),
543         .PMARSVDIN                      (5'b00000),
544         .PMARSVDIN2                     (5'b00000),
545         .TSTIN                          (20'b11111111111111111111),
546         .TSTOUT                         (),
```

图 56　GTX_CHANNEL 原语修改办法 1

将 GTX_CHANNEL 中的 TXSYSCLKSEL/RXSYSCLKSEL 信号都设置为 2'b00，如下图 57 所示：

```
565        //------------------------------ Clocking Ports -----------------------------
566        .GTREFCLKMONITOR                (),
567        .QPLLCLK                        (qpllclk_in),
568        .QPLLREFCLK                     (qpllrefclk_in),
569        .RXSYSCLKSEL                    (2'b00),
570        .TXSYSCLKSEL                    (2'b00),
```

图 57　GTX_CHANNEL 原语修改办法 2

8.11　未使用的 HRIO BANK VCCO 电源建议

当 HRIO 整个 BANK 不使用时，该 BANK 的 VCCO 可以接 1.8V、2.5V、3.3V 或悬空处理，若接地建议串联 4K 以上的电阻到地，否则直接接地或导致 VCCAUX 静态电流增加。HPIO BANK 不使用时 VCCO 可以直接接地。

9　差异对比

9.1　功能对比

9.1.1　功能对比明细

表 63　CSD7Z045 与 XX7Z045 功能差异对比

模块	功能	CSD7Z045	与 XX7Z045 差异说明
CLB	6 输入查找表	支持	无差异
	双 5 输入查找表	支持	无差异
	分布式存储 RAM	32x1S/D、32x2Q、32 x6SDP	无差异
		64x1 S/D/Q、64x3DSP、	
		128x1S/D、256x1S	
	只读存储器 ROM	64x1、128x1、256x1	无差异
	移位寄存器	32bit、双 16bit、64bit、96bit、 128bit	无差异
	触发器/锁存器	支持	无差异
	多路选择器	4 个 4:1、2 个 8:1、1 个 16:1	无差异
	进位链	10 输入、8 输出	无差异
BRAM	36Kbit RAM（SDP、TDP）	64Kx1、32Kx1、16Kx2、8Kx4、4Kx9，2Kx18、1Kx36、512x72	无差异
	18Kbit RAM（SDP、TDP）	16Kx1、8Kx2、4Kx4、2Kx9、1Kx18，512x36	无差异
	不同模式的 BRAM 读写功能	WRITE_FIRST、READ_FIRST、NO_CHANGE	无差异

模块	功能	CSD7Z045	与 XX7Z045 差异说明
	RAM 输出寄存器	支持	无差异
	独立读写位宽功能	支持	无差异
	36Kbit FIFO	8K x 4、4K x 9、2K x 18、1K x 36、512 x 72	无差异
	18Kbit FIFO	4K x 4、2K x 9、1K x 18、512 x 36	无差异
	不同模式的 FIFO 功能及状态标志位	同步或者异步、standard 或 first-word fall-through、FWFT	无差异
	FIFO 输出寄存器	支持	无差异
	RAM 或 FIFO 级联	支持	无差异
	RAM 或 FIFO 64 bit ECC	Standard，encode only，decode only	无差异
	ECC 输出寄存器	支持	无差异
DSP	预加器	25bit，带或不带触发器	无差异
	乘法器	25 x 18	无差异
	ALU 逻辑运算	三输入加法器/减法器/48 位逻辑运算单元	无差异
	多数据端口	A、B、C、D	无差异
	PATTERN 检测器	支持	无差异
	流水线	支持	无差异
	级联	支持	无差异
HPIO	单端 IO 电平标准	1.8V、1.5V、1.35V、1.2V	无差异
	差分 LVDS 电平	支持	无差异
	数字控制阻抗（DCI）及 DCI 级连	支持	无差异
	内部 VREF	支持	无差异
	内部差分终端（DIFF_TERM）	支持	无差异
	IDELAY	支持	无差异
	ODELAY	支持	无差异
	IDELAYCTRL	支持	无差异
	ISERDES	专门的解串器/串行-并行转换器	无差异
		Bit 滑动子模块	
		专用于支持频闪存储器接口	
		专用于支持网络接口	
		专用于支持 DDR3 接口	
		专用于支持 QDR 接口	

CSD7Z045技术手册

模块	功能	CSD7Z045	与 XX7Z045 差异说明
		专用于支持异步接口	
	OSERDES	数据 DATA 并串转换 8:1、10:1、14:1	无差异
		三态控制并串转换最大 14:1	
		专用于支持 DDR3 接口模式	
	IO_FIFO	支持	无差异
HRIO	单端 IO 电平标准	3.3V、2.5V、1.8V、1.5V、1.35V、1.2V	无差异
	差分 LVDS 电平	支持	无差异
	数字控制阻抗（DCI）及 DCI 级连	不支持	无差异
	内部 VREF	支持	无差异
	内部差分中端（DIFF_TERM）	支持	无差异
	IDELAY	支持	无差异
	ODELAY	不支持	无差异
	IDELAYCTRL	支持	无差异
	ISERDES	专门的解串器/串行-并行转换器	无差异
		Bit 滑动子模块	
		专用于支持频闪存储器接口	
		专用于支持网络接口	
		专用于支持 DDR3 接口	
		专用于支持 QDR 接口	
		专用于支持异步接口	
	OSERDES	数据 DATA 并串转换 8:1、10:1、14:1	无差异
		三态控制并串转换最大 14:1	
		专用于支持 DDR3 接口模式	
	IO_FIFO	支持	无差异
	ZHOLD_DELAY	支持	无差异
CMT	MMCM 小数分频	支持	无差异
	MMCM 分频级联	支持	无差异
	MMCM 参考时钟选择	支持	无差异
	MMCM/PLL 静态相移	支持	无差异
	MMCM/PLL 动态重配置	支持	无差异
	MMCM 动态相移	支持	无差异
	级联（MMCM 与 MMCM	支持	无差异

CSD7Z045技术手册

模块	功能	CSD7Z045	与 XX7Z045 差异说明
	级联、PLL 与 PLL 级联）		
	MMCM/PLL 频率综合（频点抽样）	支持	无差异
	MMCM 扩频时钟产生器（SSCG）	支持	无差异
GTX	PCS	2,4 字节内部数据通路，以支持不同的线速率要求	无差异
		8B/10B 编解码	无差异
		支持 64B/66B 和 64B/67B 编解码	无差异
		Comma 检测，字节和字对准	无差异
		PRBS 产生和检测	无差异
		TX 相位 FIFO	无差异
		RX 弹性 FIFO 用于时钟校准和通道绑定	无差异
		可编程逻辑接口	无差异
		支持 100Gb CAUI	无差异
		支持旁路 buffer 的本地多通道	无差异
		TX 相位内插结构支持 PPM Controller interface	无差异
	PMA	每个 QUAD 共用 QPLL，提供优异的抖动性能	**大多数应用与 XX7Z045 一致，有部分应用的软件 IP 配置参数设置与 XX7Z045 存在差异（相关解决方案见第 8 章节“应用建议”）**
		每个通道配置一个 CPLL，提供便利的时钟方案	
		低功耗模式（LPM）的高能效自适应线性均衡技术	
		具有自适应调节的 7tap 判决反馈均衡器	
		TX 预加重	
		可调 TX 输出摆幅	
		Beacon 信号用于 PCIE 应用	
		OOB 信号用于支持 SATA 应用	
		数据速率支持达到 12.5Gbps	
PCIe	协议层	Gen1、Gen2	无差异
	用户接口	AXI4-Stream 接口 64bit，128bit，256bit	无差异
	链路宽度	X1，X2，X4，X8	无差异
	链路速度	2.5Gb/s，5.0Gb/s	无差异
	动态重配置	支持	无差异

CSD7Z045技术手册

模块	功能	CSD7Z045	与 XX7Z045 差异说明
	功耗调节	支持	无差异
ADC	采样模式	初始模式	无差异
		单次模式	无差异
		连续模式	无差异
		单通道模式	无差异
		同步采样模式	无差异
		独立 ADC 模式	无差异
		初始模式	无差异
	校准功能	ADC 失调校准使能	无差异
		ADC 失调和增益校准使能	无差异
		电源电压传感器校准使能	无差异
		电源电压失调和增益校准使能	无差异
	告警功能	过温告警使能	无差异
		温度告警使能	无差异
		VCCINT 告警	无差异
	配置管理	VCCAUX 告警	无差异
		VCCBRAM 告警	无差异
		综合告警	无差异
	上电/掉电功能	ADC 上电	无差异
		无效选择	无差异
		ADC 掉电	无差异
	时钟分频功能	DCLK 分频	无差异
	均值滤波器功能	均值滤波器使能(校准)	无差异
		无均值	无差异
		均值 16 次	无差异
		均值 64 次	无差异
		均值 256 次	无差异
	ADC 通道	片上温度	无差异
		电源 VCCINT	无差异
		电源 VCCAUX	无差异
		专用模拟输入	无差异
		基准 VREFP	无差异
		基准 VREFN	无差异

CSD7Z045技术手册

模块	功能	CSD7Z045	与 XX7Z045 差异说明
		电源 VCCBRAM	无差异
		无效通道	无差异
		ADC 校准	无差异
		无效通道	无差异
		辅助通道 0 至 15	无差异
	模拟输入功能	单端输入模式	无差异
		差分输入模式	无差异
PS	处理器核心	双核处理器	无差异
	最大频率	800 MHz	无差异
	L1 Cache	每个处理器 32KB 指令，32KB 数据	无差异
	L2 Cache	512 KB	无差异
	片上存储器	256 KB	无差异
	外部内存支持	DDR3, DDR3L, DDR2	**有差异，不支持 LPDDR2**
	外部静态存储器支持	2×Quad-SPI, NAND, NOR	无差异
	DMA 信道	8 (4 个信道到可编程逻辑)	无差异
	外设	2×UART, 2×CAN 2.0B, 2×I2C, 2×SPI, 4×32b GPIO	无差异
	DMA 建立外设	2×USB 2.0 (OTG), 2× 以太网, 2×SD/SDIO	无差异
	安全	基于 RSA 的身份验证，以及 AES 解密和 SHA-256b 身份验证，用于安全启动	无差异

9.1.2 功能对比结论

CSD7Z045 GTX 的 IBERT IP 及 QPLL 系数选择需按照第 8 章节“应用建议”修改使用。同时其 PS 不支持 LPDDR2。

9.2 性能对比

9.2.1 推荐工作电压

CSD7Z045技术手册

CSD7Z045 各供电电源与 XX7Z045 产品一致。

表 64　CSD7Z045 与对标产品推荐工作电压差异对比

参数项	CSD7Z045	XX7Z045	差异说明
PL			
V_{CCINT}	0.97V~1.03V	0.97V~1.03V	一致
V_{CCBRAM}	0.97V~1.03V	0.97V~1.03V	一致
V_{CCAUX}	1.71V~1.89V	1.71V~1.89V	一致
V_{CCO}	1.14V~3.465V(HRIO电源)	1.14V~3.465V(HRIO电源)	一致
	1.14V~3.465V(高性能用户HPIO电源)	1.14V~3.465V(高性能用户HPIO电源)	一致
V_{IN}	-0.2 V ~ VCCO+0.2（IO输入电压）	-0.2 V ~ VCCO+0.2（IO输入电压）	一致
	-0.2 V ~2.625 V （当V_{CCO}为3.3V时，对于V_{REF}和差分电平标准（TMDS33除外）的IO输入电压）	-0.2 V ~2.625 V （当V_{CCO}为3.3V时，对于V_{REF}和差分电平标准（TMDS33除外）的IO输入电压）	一致
V_{CCAUX_IO}	IO 辅助电源，当设置为 1.8V 时	IO 辅助电源，当设置为 1.8V 时	一致
	1.94 V ~2.00 V (IO辅助电源，当设置为2.0V时)	1.94 V ~2.00 V (IO辅助电源，当设置为2.0V时)	一致
V_{CCBATT}	1 V~1.89V	1 V~1.89V	一致
PS			
V_{CCPINT}	0.97 V ~1.03V	0.97 V ~1.03V	一致
V_{CCPAUX}	1.71 V ~1.89V	1.71 V ~1.89V	一致
V_{CCPLL}	1.71 V ~1.89V	1.71 V ~1.89V	一致
V_{CCO_DDR}	1.14 V ~1.89V	1.14 V ~1.89V	一致
V_{CCO_MIO}	1.71 V ~3.465V	1.71 V ~3.465V	一致
V_{PIN}	-0.2 V ~ V_{CCO}+0.2 V (MIO IO输入电压)	-0.2 V ~ V_{CCO}+0.2 V (MIO IO输入电压)	一致
	-0.2 V ~ V_{CCO}+0.2 V (DDR IO输入电压)	-0.2 V ~ V_{CCO}+0.2 V (DDR IO输入电压)	一致
片上 ADC 模块			
V_{CCADC}	1.71V~1.89V	1.71V~1.89V	一致
V_{REFP}	1.2V~1.3V	1.2V~1.3V	一致
高速串行收发器			
$V_{MGTAVCC}$	0.97 V ~1.08 V (高速收发器 QPLL 模拟电源电压 QPLL 频率范围≤10.3125GHz)	0.97 V ~1.08 V (高速收发器 QPLL 模拟电源电压 QPLL 频率范围≤10.3125GHz)	一致
	1.02 V ~1.08 V (高速收发器 QPLL 模拟电源电压 QPLL 频率范围＞10.3125GHz)	1.02 V ~1.08 V (高速收发器 QPLL 模拟电源电压 QPLL 频率范围＞10.3125GHz)	一致
$V_{MGTAVTT}$	1.17 V~1.23 V	1.17 V~1.23 V	一致
$V_{MGTVCCAUX}$	1.75 V ~1.85 V	1.75 V ~1.85 V	一致
$V_{MGTAVTTRCAL}$	1.17 V ~1.23 V	1.17 V ~1.23 V	一致

9.2.2 推荐上电要求

CSD7Z045 上电各电源供电电流需求及推荐上电顺序与 XX7Z045 产品一致。

表 65 CSD7Z045 上电需求最小电流

器件	ICCPINTMIN	ICCPAUX	ICCDDRMIN	ICCINTMIN	ICCAUXMIN	ICCOMIN	ICCAUX_IOMIN	ICCBRAMMIN	单位
CSD7Z045	$I_{CCPINTQ}$ + 70	I_{CCPAUX} + 40	I_{CCDDRQ} + 130 per bank	I_{CCINTQ} + 1400	I_{CCAUXQ} + 60	I_{CCOQ} + 90 mA /IO Bank	$I_{CCOAUXIOQ}$ + 40 mA /IO Bank	$I_{CCBRAMQ}$ + 90	mA

表 66 CSD7Z045 上电上升时间

序号	标志符号	特性描述	条件	最小	最大	单位
1	t_{VCCINT}(1)	从 GND 到 90% V_{CCPINT} 的爬升时间		0.2	50	ms
2	$t_{VCCPAUX}$	从 GND 到 90% V_{CCPAUX} 的爬升时间		0.2	50	ms
3	t_{VCCO_DDR}	从 GND 到 90% V_{VCCO_DDR} 的爬升时间		0.2	50	ms
4	t_{VCCO_MIO}	从 GND 到 90% V_{VCCO_MIO} 的爬升时间		0.2	50	ms
5	t_{VCCINT}	从 GND 到 90% V_{CCINT} 的爬升时间	--	0.2	50	ms
6	t_{VCCO}	从 GND 到 90% V_{CCO} 的爬升时间	--	0.2	50	ms
7	t_{VCCAUX}	从 GND 到 90% V_{CCAUX} 的爬升时间	--	0.2	50	ms
8	t_{VCCAUX_IO}	从 GND 到 90% V_{CCAUX_IO} 的爬升时间	--	0.2	50	ms
9	$t_{VCCBRAM}$	从 GND 到 90% V_{CCBRAM} 的爬升时间	--	0.2	50	ms
10	$t_{MGTAVCC}$(2)	从 GND 到 90% $V_{MGTAVCC}$ 的爬升时间	--	0.2	50	ms
11	$t_{MGTAVTT}$	从 GND 到 90% $V_{MGTAVTT}$ 的爬升时间	--	0.2	50	ms
12	$t_{MGTVCCAUX}$	从 GND 到 90% $V_{MGTVCCAUX}$ 的爬升时间	--	0.2	50	ms

注 1：PS 和 PL 的供电是完全独立的，故两边电源之间没有上电顺序要求。

注 2：PS 推荐上电顺序是按 VCCPINT、VCCPAUX、VCCAUX _IO、VCCPLL 和 PS VCCO（VCCO_MIO0、VCCO_MIO1、VCCO_DDR）以在上电过程中消耗最小的电流和确保 IO 为三态；推荐掉电顺序与推荐上电顺序相反。PS_POR_B 端口需要保持为 GND 直到上电完成。

注 3：PL 推荐的上电电源顺序为 V_{CCINT}、V_{CCBRAM}、V_{CCAUX} 和 V_{CCO}，以实现最小的上电电流并确保 I/Os 在上电过程中状态为三态。推荐的掉电电源顺序与上电电源顺序相反。如果 V_{CCINT}、VCCAUX_IO 和 V_{CCBRAM} 为相同的电压值它们可以被同一个电源驱动和同时上电。

9.2.3 高速串行接口（SerDes）性能

TX 对比明细：

CSD7Z045 产品与 XX7Z045 进行 TX 性能测试对比，测试条件线速率 10Gbps、使用 QPLL_FBDIV=40。

表 67　TX 总抖动性能（环境温度 25℃）测试情况对比

QUAD	测试参数	XX7Z045 均值	CSD7Z045 均值	单位
QUAD110	10Gbps 总抖动	0.247	0.30	UI
QUAD111		0.236	0.302	
QUAD112		0.221	0.244	
QUAD113		0.242	0.30	
QUAD114		0.227	0.240	
QUAD115		0.271	0.257	
QUAD116		0.271	0.247	
QUAD117		0.222	0.237	
QUAD118		0.246	0.248	
QUAD119		0.234	0.28	

表 68　TX 总抖动性能（环境温度-55℃）测试情况对比

QUAD	测试参数	XX7Z045 均值	CSD7Z045 均值	单位
QUAD110	10Gbps 总抖动	0.251	0.309	UI
QUAD111		0.279	0.306	
QUAD112		0.233	0.241	
QUAD113		0.249	0.301	
QUAD114		0.241	0.238	
QUAD115		0.228	0.254	
QUAD116		0.205	0.251	
QUAD117		0.230	0.227	
QUAD118		0.223	0.256	
QUAD119		0.256	0.253	

表 69　TX 总抖动性能（环境温度 125℃）测试情况对比

QUAD	测试参数	XX7Z045 均值	CSD7Z045 均值	单位
QUAD110	10Gbps 总抖动	0.229	0.297	UI
QUAD111		0.237	0.294	
QUAD112		0.239	0.296	
QUAD113		0.219	0.310	
QUAD114		0.243	0.249	
QUAD115		0.258	0.263	
QUAD116		0.264	0.254	
QUAD117		0.274	0.240	
QUAD118		0.226	0.250	
QUAD119		0.219	0.270	

CSD7Z045技术手册

RX 对比明细：

测试条件线速率 12.5Gbps、抖动容限 500KHz～100MHz。

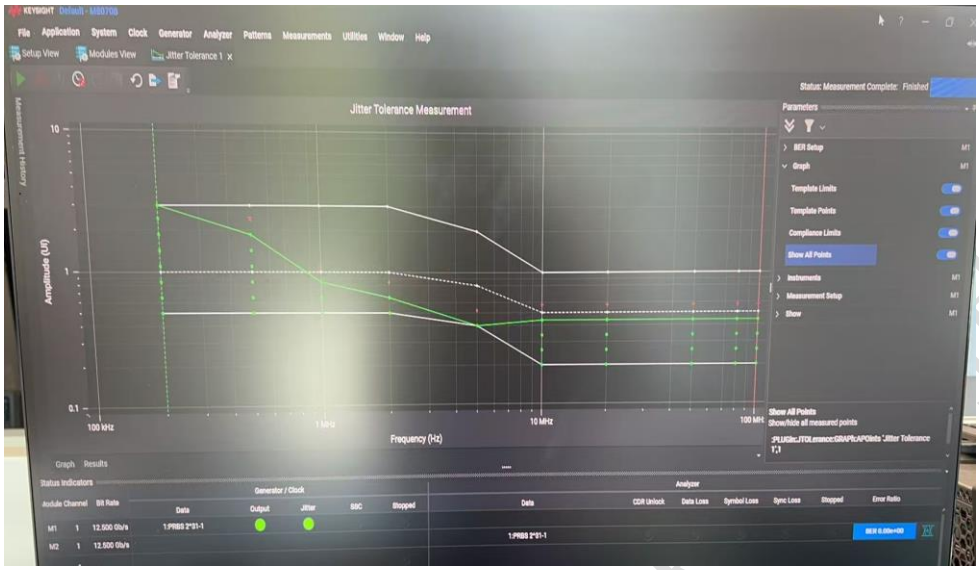


图 58　CSD7Z045 抖动容限测试结果

驱动能力对比明细：

表 70　驱动能力测试情况对比

数据率	通道损耗性能指标	CSD7Z045 环境温度-55-110℃	XX7Z045 环境温度-55-110℃
6.25Gbps	通道损耗@DFE	≤26dB	≤26dB
8Gbps	通道损耗@LPM	≤17dB	≤20dB
	通道损耗@DFE	≤26dB	≤26dB
10Gbps	通道损耗@DFE	≤23dB	≤26dB
12.5Gbps	通道损耗@DFE	≤18dB	≤26dB

SerDes 性能对比结论

1、TX 总抖动≤0.31UI（全温区），相比于 XX7Z045≤0.28UI（全温区）略差；

2、RX 抖动容限满足使用要求；

3、驱动能力在 8Gbps（LPM 模式）、10Gbps 和 12.5Gbps 线速率下，比 XX7Z045 略差，其它情况相当。

9.3　功耗对比

9.3.1　静态功耗

9.3.1.1　对比明细

静态功耗常温（环境温度 25℃）测试情况如下表 71 所示。

表 71　静态功耗常温（环境温度 25℃）测试情况对比

特性	测试参数	XX7Z045	CSD7Z045	单位	差异说明
		典型值	典型值		
V_{CCINT} 静态供电电流	I_{CCINTQ}	86.975	117.621	mA	高于
V_{CCPINT} 静态供电电流	$I_{CCPINTQ}$	4.596	9.899	mA	高于
V_{CCAUX} 静态供电电流	I_{CCAUXQ}	42.968	39.314	mA	相当
V_{CCPAUX} 静态供电电流	$I_{CCPAUXQ}$	3.189	9.755	mA	高于
V_{CCBRAM} 静态供电电流	$I_{CCBRAMQ}$	4.642	10.491	mA	高于
$V_{MTGAVCC}$ 静态供电电流	$I_{MGTAVCCQ}$	4.017	0.796	mA	低于
$V_{MTGAVTT}$ 静态供电电流	$I_{MGTAVTTQ}$	7.938	5.005	mA	低于
$V_{MTGVCCAUX}$ 静态供电电流	$I_{MGTVCCAUXQ}$	11.277	0.771	mA	低于
V_{CCPLL} 静态供电电流	I_{CCPLLQ}	1.124	1.118	mA	相当
V_{CCO} 静态供电电流	I_{CCOQ}	2.246	2.107	mA	相当
V_{CCADC} 静态供电电流	I_{CCADCQ}	20.645	11.758	mA	低于

静态功耗高温（环境温度 125℃）测试情况如下表 72 所示。

表 72　静态功耗高温（环境温度 125℃）测试情况对比

特性	测试参数	XX7Z045	CSD7Z045	单位	差异说明
		典型值	典型值		
V_{CCINT} 静态供电电流	I_{CCINTQ}	410.766	401.532	mA	相当
V_{CCPINT} 静态供电电流	$I_{CCPINTQ}$	59.274	79.425	mA	高于
V_{CCAUX} 静态供电电流	I_{CCAUXQ}	82.671	72.152	mA	低于
V_{CCPAUX} 静态供电电流	$I_{CCPAUXQ}$	18.484	15.708	mA	低于
V_{CCBRAM} 静态供电电流	$I_{CCBRAMQ}$	49.914	27.278	mA	低于
$V_{MTGAVCC}$ 静态供电电流	$I_{MGTAVCCQ}$	31.068	7.666	mA	低于
$V_{MTGAVTT}$ 静态供电电流	$I_{MGTAVTTQ}$	8.815	6.023	mA	低于
$V_{MTGVCCAUX}$ 静态供电电流	$I_{MGTVCCAUXQ}$	17.641	0.879	mA	低于
V_{CCPLL} 静态供电电流	I_{CCPLLQ}	1.116	1.112	mA	相当
V_{CCO} 静态供电电流	I_{CCOQ}	2.050	1.934	mA	相当
V_{CCADC} 静态供电电流	I_{CCADCQ}	20.776	12.180	mA	低于

静态功耗低温（环境温度-55℃）测试情况如下表 73 所示。

表 73　静态功耗低温（环境温度-55℃）测试情况对比

特性	测试参数	XX7Z045	CSD7Z045	单位	差异说明
		典型值	典型值		
V_{CCINT} 静态供电电流	I_{CCINTQ}	66.129	90.967	mA	高于
V_{CCPINT} 静态供电电流	$I_{CCPINTQ}$	0.655	5.055	mA	高于
V_{CCAUX} 静态供电电流	I_{CCAUXQ}	40.357	39.465	mA	相当
V_{CCPAUX} 静态供电电流	$I_{CCPAUXQ}$	0.594	1.425	mA	高于
V_{CCBRAM} 静态供电电流	$I_{CCBRAMQ}$	2.065	8.215	mA	高于
$V_{MTGAVCC}$ 静态供电电流	$I_{MGTAVCCQ}$	1.829	0.715	mA	低于
$V_{MTGAVTT}$ 静态供电电流	$I_{MGTAVTTQ}$	7.918	4.939	mA	低于
$V_{MTGVCCAUX}$ 静态供电电流	$I_{MGTVCCAUXQ}$	5.544	0.708	mA	低于
V_{CCPLL} 静态供电电流	I_{CCPLLQ}	1.131	1.122	mA	相当
V_{CCO} 静态供电电流	I_{CCOQ}	2.361	2.174	mA	相当
V_{CCADC} 静态供电电流	I_{CCADCQ}	20.571	11.497	mA	低于

9.3.1.2　对比结论

从上述数据分析可以得出，CSD7Z045 的静态功耗在高温（极限条件下）情况下 VCCPINT 高于对标产品，其它电源的静态电流低于或与其相当。

9.3.2　动态功耗

9.3.2.1　VCCPINT 功耗对比明细

CSD7Z045 的 PS 在典型裸机应用下的 VCCPINT 功耗对比如下表 74 所示。

表 74　典型裸机应用功耗对比

温度	XX7Z045 （典型值）	CSD7Z045 （典型值）	单位
-55℃	0.529	0.537	W
25℃	0.563	0.553	W
125℃	1.164	0.78	W

CSD7Z045技术手册

9.3.2.2 VCCINT 功耗对比明细

CSD7Z045 的 PL 在典型高资源应用下的 VCCINT 功耗对比如下表 75 所示。

表 75 典型高资源应用功耗对比

温度	XX7Z045（典型值）	CSD7Z045（典型值）	单位
-55℃	8.077	8.911	W
25℃	8.851	9.158	W
125℃	10.298	10.74	W

CSD7Z045 的 PL 在不同频率下的 VCCINT 功耗对比如下表 76 所示。

表 76 常温情况下典型高资源应用动态功耗对比

系统时钟频率	XX7Z045（典型值）	CSD7Z045（典型值）	单位
50MHz	3.011	3.119	W
100MHz	5.52	5.67	W
200MHz	9.779	9.998	W

9.3.2.3 SerDes 应用功耗对比明细

选取 2 只 CSD7Z045 产品与 XX7Z045 进行动态功耗测试对比，测试条件为 16Lane（FFG900 封装）、IBERT 工程、使用 QPLL、参考时钟 125MHz、线速率 10Gbps。

表 77 动态功耗常温（环境温度 25℃）测试情况对比

特性	测试参数	XX7Z045	CSD7Z045		单位	差异说明
			#1	#2		
V_{CCINT} 动态电流	I_{CCINT}	1.96	2.16	2.12	A	高于
V_{CCAUX} 动态电流	I_{CCAUX}	0.456	0.4	0.416	A	相当
V_{CCBRAM} 动态电流	I_{CCBRAM}	0.016	0.008	0.008	A	低于
$V_{MTGAVCC}$ 动态电流	$I_{MGTAVCC}$	17.567	11.89	12.352	A	低于
$V_{MTGAVTT}$ 动态电流	$I_{MGTAVTT}$	1.832	1.46	1.488	A	低于

表 78 动态功耗低温（环境温度-55℃）测试情况对比

特性	测试参数	XX7Z045	CSD7Z045		单位	差异说明
			#1	#2		
V_{CCINT} 动态电流	I_{CCINT}	1.6	1.89	1.912	A	高于
V_{CCAUX} 动态电流	I_{CCAUX}	0.384	0.392	0.4	A	相当
V_{CCBRAM} 动态电流	I_{CCBRAM}	0.008	0.008	0.008	A	相当
$V_{MTGAVCC}$ 动态电流	$I_{MGTAVCC}$	14.104	10.072	10.68	A	低于
$V_{MTGAVTT}$ 动态电流	$I_{MGTAVTT}$	1.832	1.296	1.33	A	低于

表 79　动态功耗高温（环境温度 125℃）测试情况对比

特性	测试参数	XX7Z045	CSD7Z045		单位	差异说明
			#1	#2		
V_{CCINT} 动态电流	I_{CCINT}	5.528	3.6	3.912	A	低于
V_{CCAUX} 动态电流	I_{CCAUX}	1.056	0.56	0.704	A	低于
V_{CCBRAM} 动态电流	I_{CCBRAM}	0.192	0.056	0.088	A	低于
$V_{MTGAVCC}$ 动态电流	$I_{MGTAVCC}$	20.552	14.392	14.56	A	低于
$V_{MTGAVTT}$ 动态电流	$I_{MGTAVTT}$	1.872	1.568	1.736	A	低于

9.3.2.4　对比结论

从数据分析可以得出，CSD7Z045 在高温（极限条件下）情况下，动态功耗低于或与对标产品相当。

9.4　物理信息对比

9.4.1　封装尺寸

9.4.1.1　FFG900 封装信息

CSD7Z045FFG900 产品采用 900 引出端塑料封装（FFG900），产品外形尺寸下图 59 所示。外形尺寸仅高度（A）比国外器件高 0.3mm 左右，其余参数基本一致。

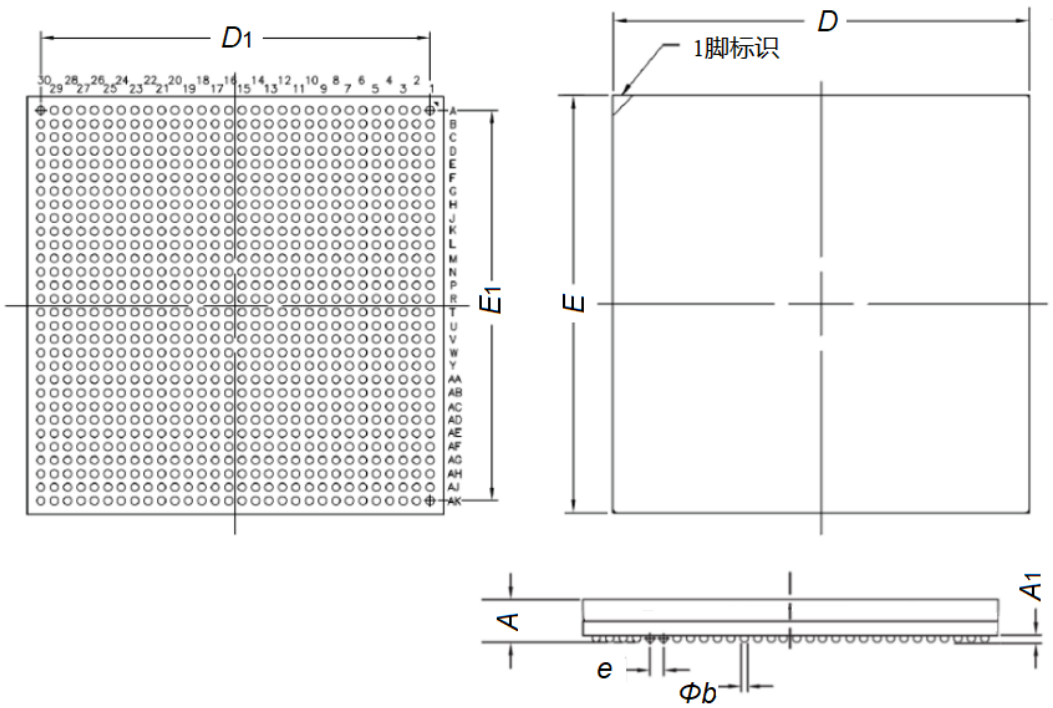


图 59　CSD7Z045FFG900 封装外形图

表 80　CSD7Z045FFG900 封装尺寸对比表

单位为毫米

尺寸符号	CSD7Z045			XX7Z045		
	最小	公称	最大	最小	公称	最大
D/E	30.80	—	31.20	—	31.00	—
D1/E1	—	29.00	—	—	29.00	—
e	—	1.00	—	—	1.00	—
Φb	0.45	—	0.75	0.50	0.60	0.70
A1	0.33	—	0.63	0.40	0.50	0.60
A	3.12	—	3.67	2.95	3.15	3.35

9.5　重量对比

表 81　CSD7Z045 与对标产品器件重量对比

封装形式	CSD7Z045	XX7Z045	差异说明
FFG900	11.85±1.5g	11.7917g	重 0.0583g

9.6　热阻对比

表 82　CSD7Z045 与对标产品热阻对比

封装形式	热阻（℃/W）	CSD7Z045	XX7Z045	差异说明
FFG900	θ JA	8.2844	9.6	略低
	θ JB	2.4415	2.7	略低
	θ JC	0.40985	0.23	高于

9.7　可靠性对比

表 83　CSD7Z045 与 XX7Z045 可靠性对比

可靠性项	条件	CSD7Z045	XX7Z045	差异说明
ESD	HBM	1000V	1000V	一致
Latch-up	电流注入	±100mA	±100mA	一致

10 包装、贮存和运输要求

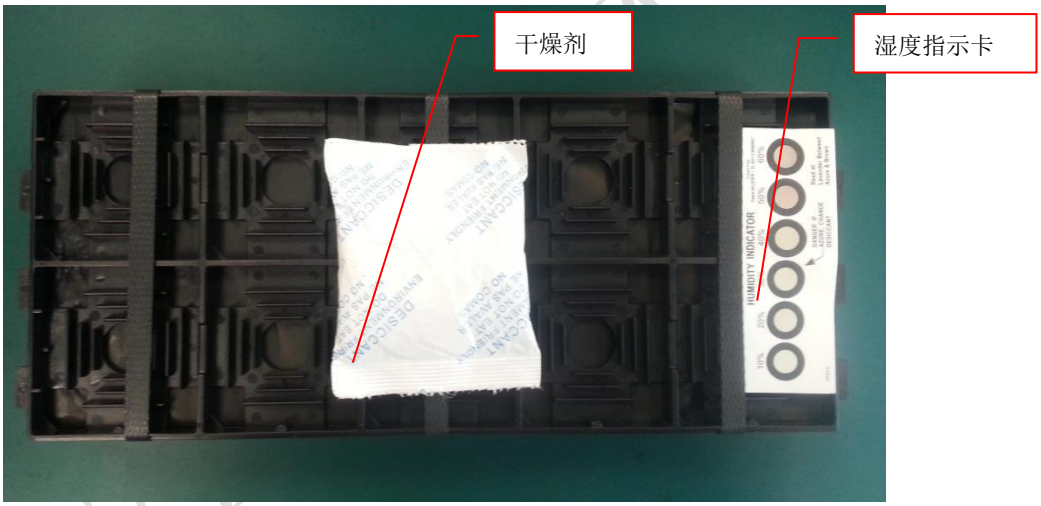
10.1 包装

器件使用托盘（N+1 托盘）进行包装 SPQ 见订货信息，需要注意产品和托盘 pin1 位置标志。托盘与托盘间防静电薄膜保护。





a) 器件托盘采用（N+1 托盘）的形式，托盘使用扎带包装完成后，放入湿度指示卡和干燥剂。



b) 托盘连同干燥剂和湿度指示卡放入防静电袋，抽真空包装。在真空防静电袋袋上贴上湿度敏感警示等标签，并写上对应包装日期。





放入器件前，纸箱的上下左右均应用防静电泡沫保护。



10.2 贮存

a) 客户收到产品后需对包装进行检验，确认包装密封完好，不存在孔洞、裂口等任何可能暴露袋内器件的异常现象。若发生包装防静电袋漏气情况，应对器件进行烘干处理，之后再次进行密封包装贮存。

b) 在干燥密封包装条件下，可贮存在常温常湿的环境中，在存贮环境为＜40℃/90% RH 状态下，储存有效期为 12 个月，储存时间 12 个月均从包装之日算起。如果出现储存时间超期，则需进行烘干处理。

c) 防静电袋打开以后，必须在规定的客户端车间寿命内进行回流焊接，返工，如果不使用需重新用 防静电袋干燥密封包装或放入干燥箱内（环境＜40℃/5% RH），如果客户端车间寿命或环境超出规定，则需进行烘干处理。

d) 烘干处理，通常在 125℃条件下，烘烤 48 小时。若出现密封包装破损或湿度指示卡 60%变色情况，则需延长烘烤时间，在 125℃条件下，大于 48 小时，但最长不要超过 96 小时。烘烤后需在 12 小时内进行电装或防静电袋密封包装或放入干燥箱内（环境＜40℃/5% RH）。

e) 请特别注意，器件进行烘烤时不能直接放入 125℃的烘箱中，必须从室温缓慢升温至 125℃，升温时间大于半小时，最大升温速率不能大于 4℃/min。

10.3 运输

在避免雨、雪直接影响的条件下，装有产品的包装箱可采用水陆空运输方式。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。

11 使用注意事项

该器件操作注意事项如下：

a) 严格按照推荐工作条件使用，超出绝对最大额定值使用本产品，可能引起本产品的永久损坏；

b) 上电方式。PS 端与 PL 端的供电是完全独立的，且两端都有各自的上电推荐顺序。PS 端可以在 PL 端电源关闭的状态下运行，如果在使用过程中需要 PL 端处于下电模式，则建议 PS 端先于 PL 端上电。如果不需要 PL 端处于下电模式，则两端其中的一些电源端可由相同的电源供电；

c) 器件应在防静电的工作台上操作；

d) 试验设备和器具应接地；

e) 不能触摸器件引线；

f) 器件应存放在导电材料制成的容器中；

g) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物。

CSD7Z045技术手册

12 订货信息

表 84 产品订货信息

序号	产品型号	封装形式	封装材料	质量保证等级	焊球材料	重量（g）
1	CSD7Z045FFG900I	PBGA900	塑料	工业级	Sn96.5/Ag3.0/Cu0.5	11.85±1.5（带焊球）

注1：商用工业级器件使用温度范围应为-40℃～+100℃。

注2：产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。

CSD7Z045技术手册