Logos 系列 FPGA 器件数据手册

(DS02001，Version2.9)

(2022.06.16)

深圳市紫光同创电子有限公司

版权所有　侵权必究

文档版本修订记录

日期	修订版本	描述
2017.12.19	V1.0	初始发布
2018.12.18	V1.1	1. 统一内核电压和辅助电源电压的符号，分别为 VCC 和 VCCAUX 2. 修改表 1 Logos 系列 FPGA 用户指南文档，删除封装系列文档，增加《Logos 系列产品 HMEMC 应用实例用户指南》 3. 修改章节 3.2 的上电顺序图
2019.01.23	V1.2	1. 更新表 6-器件绝对极限电压的各参数最小值； 2. 更新表格的域和说明
2019.06.03	V1.3	1. 更新产品特性说明； 2. FPGA 资源数量表项； 3. 更新封装信息与用户 IO 数量表项； 4. 删除 HSST 相关内容； 5. 热插拔直流特性表项； 6. 更新 IO 直流特性相关表项； 7. 更新交流特性相关表项； 8. 更新典型工作条件下性能参数相关表项 9. 补充缩略语清单
2019.09.25	V1.4	1. 统一电源电压的符号； 2. 更新了 fpga 产品特性； 3. 更新了资源规模、封装信息以及用户 IO 数量表项，增加了 PGL25G 相关信息； 4. 更新了 ddr、时钟、配置简要描述； 5. 增加了 PGL25G 器件工作条件； 6. 增加了 PGL25G 输入、输出以及输入输出 IO 电平标准表项； 7. 更新了 lvds 性能特性、存储接口性能参数
2019.12.16	V1.5	1. 修改表 10，删掉 VCCEFUSE、VCCIOCFG 两行 2. 在 DRM 描述中增加了 PGL12G 不支持 ROM 的功能
2020.01.03	V1.6	1. 修改表 1 和表 2
2020.03.03	V1.7	1. 修改表 7，增多注意信息 2. 修改表 18、19
2020.03.09	V1.8	1. 修改 1.3.2 DRAM 描述 2. 修改 1.3.5 硬核和软核的描述 3. 修改章节 3、4、5 标题 4. 修改表 22、28、30、31、32、33、35 5. 修改图 2
2020.03.26	V1.9	1. 增加输入 AC 过冲极限值
2020.04.23	V2.0	1. 1.1 章节增加了注（2）
2020.08.13	V2.1	1. 增加了 PGL50H 数据 2. MIPI 性能指标
2020.10.18	V2.2	1. 增加 PGL50G 数据
2020.12.10	V2.3	1. 修改表 47，HSST_FREFCLK 的指标
2020.03.01	V2.4	1. 增加 PGL100H 数据
2020.04.07	V2.5	1. 更新表 51 数据

2021.07.12	V2.6	1. 增加题注表 8 2. 更新热插拔特性 3. 修改表 11，增加 VCCEFUSE 电压使用范围 4. 修改表 35，增加从串下降沿的建立时间和保持时间最小值 5. 删除表 45 HSST_VOUTCMAC 指标 6. 修改表 45 HSST_VRCLKPP 最大值为 1000mv
2021.08.09	V2.7	1. 增加-5 速度等级相关参数，-5 参数只适用目前的 PGL25G 器件 2. 修改表 4，更新 PGL12G-LPG144 封装器件对 SPI Master 配置模式的支持情况
2022.01.16	V2.8	1. 新增 3.1 上下电要求说明 2. 新增 3.2 插拔直流特性描述中的注 2 3. 更新 PGL25G、PGL50G、PGL50H 不支持 BPI 模式 4. 更新 TPL 的最大值为 4.5ms、T_{POR} 最大值、T_{RSTN} 最小值 5. 更新 HSST 差分输入峰峰电压最小值为 300MV
2022.06.16	V2.9	1. 更新 2.4 推荐上下电顺序中图 2-1 和图 2-2 2. 更新表 4-15 配置模式的速率 3. 更新 2.6 热插拔描述 4. 新增 LVDS33 电平标准 5. 更新 HSST_RX_{VPPOOB} 名称为 HSST_$RX_{VPPSIGDET}$ 以及指标范围 6. 新增 HSST 电源静态电流值 7. 增加 PCIe 应用注意

目 录

目 录 **3**
表目录 **5**
图目录 **7**
名词术语解释 **8**
1 Logos 系列 FPGA 概述 **9**
1.2 Logos 系列 FPGA 资源规模与封装信息 11
1.3 Logos 系列 FPGA 简要描述 11
1.3.1 CLM 11
1.3.2 DRM 12
1.3.3 APM 12
1.3.4 Input/Output 12
1.3.5 Memory Controller System 13
1.3.6 ADC 14
1.3.7 时钟资源 14
1.3.8 配置 14
1.3.9 HSST 16
1.3.10 Logos 系列 FPGA 参考资料 17
1.4 Logos 系列 FPGA 订货信息 18
2 工作条件 **19**
2.1 器件绝对极限电压 19
2.2 V_I AC 过冲极限值 20
2.3 器件静态电流 21
2.4 器件推荐工作条件 22
2.5 推荐上电、下电顺序 23
2.6 热插拔 25
2.6.1 热插拔规格 25
2.6.2 热插拔应用限制 25
2.7 ESD（HBM，CDM），Latch Up 指标 25
3 直流特性 **26**
3.1 IO 输入输出直流特性 26
4 交流特性 **32**
4.1 IO 交流特性参数 32
4.2 APM 交流特性参数 39

4.3 DQS 交流特性参数 41
4.4 全局时钟网络交流特性参数 41
4.5 区域时钟网络交流特性参数 42
4.6 IO 时钟网络交流特性参数 42
4.7 配置和编程交流特性参数 42
4.7.1 Power-up Timing 特性 42
4.7.2 各下载模式交流特性 43
5 性能参数 46
5.1 LVDS 性能参数 46
5.2 MIPI 性能参数 46
5.3 存储接口性能参数 46
5.4 DRM 性能参数 47
5.5 APM 性能参数 47
6 ADC 特性参数 48
7 高速串行收发器（HSST）特性 49
7.1 HSST 硬核绝对极限电压 49
7.2 HSST 硬核推荐工作条件 49
7.3 HSST 硬核 DC 直流特性参数 50
7.4 高速串行收发器 HSST 的 AC 交流特性 50
8 PCIe 硬核特性 53
9 使用操作规程及注意事项 54
10 运输与储存 54
11 开箱与检查 54
12 质量保障与售后服务 54
13 联系我们 55
免责声明 56

表目录

表 1-1 LOGOS FPGA 资源数量 11
表 1-2 LOGOS FPGA 封装信息与用户 IO 数量 11
表 1-3 LOGOS 系列产品时钟资源 14
表 1-4 配置模式 15
表 1-5 LOGOS 系列 FPGA 用户指南文档 17
表 1-6 产品质量等级说明 18
表 2-1 器件最大绝对电压值 19
表 2-2 IO 输入 AC 过冲电压极限值 20
表 2-3 静态电流 21
表 2-4 PGL12G、PGL22G 推荐工作条件 22
表 2-5 PGL25G 推荐工作条件 22
表 2-6 PGL50G、PGL50H、PGL100H 推荐工作条件 22
表 2-7 推荐工作条件下的直流特性 23
表 2-8 电源斜变率 24
表 2-9 热插拔漏电流规格 25
表 2-10 ESD、LATCH-UP 指标 25
表 3-1 单端 IO 电平标准输入输出电压范围 26
表 3-2 单端 IO 电平标准输出电流 27
表 3-3 输入 IO 电平标准的 BANK 支持说明 28
表 3-4 输出 IO 电平标准的 BANK 支持说明 29
表 3-5 双向 IO 电平标准的 BANK 支持说明 30
表 3-6 差分输入标准的参数要求 31
表 3-7 差分输出标准的参数要求 31
表 4-1 IOB 的输入输出延时 32
表 4-2 IOB 三态使能时的输出开关特性 34
表 4-3 IOL 寄存器交流参数 35
表 4-4 输入 DESERIALIZER 开关参数 36
表 4-5 输出 SERIALIZER 开关参数 36
表 4-6 CLM 模块交流特性 37
表 4-7 DRM 模块交流特性 38
表 4-8 APM 模块交流特性 39
表 4-9 PLL 交流特性 41

表 4-10 DQS 交流特性 41
表 4-11 全局时钟网络交流特性 41
表 4-12 区域时钟网络交流特性 42
表 4-13 IO 时钟网络交流特性 42
表 4-14 POWER-UP TIMING 特性参数 42
表 4-15 LOGOS 系列 FPGA 支持的各下载模式的交流特性 43
表 5-1 LVDS 性能 46
表 5-2 MIPI 性能 46
表 5-3 存储接口性能 46
表 5-4 DRM 性能 47
表 5-5 APM 性能 47
表 6-1 ADC 硬核特性 48
表 7-1 HSST 绝对极限电压 49
表 7-2 HSST 硬核推荐工作条件 49
表 7-3 HSST 硬核 DC 直流特性 50
表 7-4 HSST 硬核性能参数 50
表 7-5 HSST 硬核参考时钟开关特性 51
表 7-6 HSST 硬核 PLL/LOCK 锁定时间特性 51
表 7-7 HSST 硬核用户时钟开关特性 51
表 7-8 HSST 硬核 TRANSMITTER 发送侧开关特性 52
表 7-9 HSST 硬核 RECEIVER 接收侧开关特性 52
表 8-1 PCIE 性能参数 53

图目录

图 1-1 LOGOS 系列 FPGA 产品型号的编号内容及意义 18
图 2-1 推荐上电时序 23
图 2-2 推荐下电时序 24
图 4-1 器件 POWER-UP TIMING 特性 42

缩略语

缩略语清单： 对本文所用缩略语进行说明，要求提供每个缩略语的英文全名和中文解释

Abbreviations 缩略语	Full Spelling 英文全拼	Chinese Explanation 中文解释
CLM	Configurable Logic Module	可配置逻辑模块
DRM	Dedicated RAM Module	专用 RAM 存储模块
HMEMC	Hard Memory Controller	硬核存储控制器，包含 DDRC 和 DDR PHY
DDRC	Double Data Rate Controller	内存控制器
DDR	Double Data Rate	双倍速率同步动态随机存储器
ADC	Analog to Digital Converter	模数转换器
PLL	Phase Locked Loop	锁相环
ESD	Electro Static Discharge	静电释放
RAM	Random Access Memory	随机存取器
LVDS	LOW-Voltage Differential Signaling	低压差分信号
HSTL	Hign Speed Transceiver Logic	高速收发逻辑
SSTL	Stub Series Terminated Logic	短截线串联端接逻辑
UID	Unique Identification	唯一标识
UI	Unit Interval	单位时间间隔
HSST	Hign Speed Serial Transceiver	高速串行收发器
PCIe	Peripheral Componnent Interconnect Express	高速串行计算机拓展总线标准

本文主要包括深圳市紫光同创电子有限公司（以下简称紫光同创）Logos 系列 FPGA 器件的特性概要描述、产品型号与资源规模列表、交流、直流特性等内容，用户可以通过本文了解 Logos 系列 FPGA 器件特性，方便进行器件选型。

本文中-5 参数只适用目前的 PGL25G 器件。

1 Logos 系列 FPGA 概述

Logos 系列可编程逻辑器件是深圳市紫光同创电子有限公司推出的全新低功耗、低成本 FPGA 产品，它采用了完全自主产权的体系结构和主流的 40nm 工艺。Logos 系列 FPGA 包含创新的可配置逻辑模块（CLM）、专用的 18Kb 存储单元（DRM）、算术处理单元（APM）、多功能高性能 IO 以及丰富的片上时钟资源等模块，并集成了存储控制器（HMEMC）、模数转换模块（ADC）等硬核资源，支持多种配置模式，同时提供位流加密、器件 ID（UID）等功能以保护用户的设计安全。基于以上特点，Logos 系列 FPGA 能够广泛适用于视频、工业控制、汽车电子和消费电子等多个应用领域。

1.1 Logos系列FPGA产品特性

- **低成本、低功耗**
  - 低功耗、成熟的40nm CMOS工艺
  - 低至1.1V的内核电压
- **支持多种标准的IO**
  - 多达498个用户IO，支持1.2V、1.5V、1.8V、2.5V、3.3V　IO标准
  - 支持HSTL、SSTL存储接口标准
  - 支持MIPI D-PHY接口标准
  - 支持LVDS、MINI-LVDS、SUB-LVDS、SLVS（MIPI二线电平标准）、TMDS（应用于HDMI、DVI接口）等差分标准
  - 可编程的IO BUFFER，高性能的IO LOGIC
- **灵活的可编程逻辑模块CLM**
  - LUT5逻辑结构
  - 每个CLM包含4个多功能LUT5、6个寄存器
  - 支持快速算术进位逻辑
  - 支持分布式RAM模式
  - 支持级联链
- **支持多种读写模式的DRM**
  - 单个DRM提供18Kb存储空间，可配置为2个独立的9Kb存储块
  - 支持多种工作模式，包括单口（SP）RAM、双口（DP）RAM、简单双口（SDP）RAM、ROM以及FIFO模式
  - 双口RAM和简单双口RAM支持双端口混合数据位宽
  - 支持Normal-Write，Transparent-Write

以及Read-before-Write(1)写模式

- **高效的算术处理单元APM**
  - 每个APM支持1个18*18运算或2个9*9运算
  - 支持输入、输出寄存器
  - 支持48bit累加器
  - 支持“Signed”以及“Unsigned”数据运算
- **集成存储控制器硬核HMEMC**
  - 支持DDR2、DDR3、LPDDR
  - 单个HMEMC支持x8、x16数据位宽
  - 支持标准的AXI4总线协议
  - 支持DDR3 write leveling 和DQS gate training
  - DDR3最高速率达800Mbps
- **集成ADC硬核**
  - 10bit分辨率、1MSPS(独立ADC工作)采样率
  - 多达12个输入通道
  - 集成温度传感器
- **丰富的时钟资源**
  - 支持3类时钟网络，可灵活配置
  - 基于区域的全局时钟网络
  - 每个区域有4个区域时钟，支持垂直级联
  - 高速IO时钟，支持IO时钟分频
  - 可选的数据地址锁存、输出寄存器
  - 支持Byte-Write功能
  - 集成多个PLL，每个PLL支持多达5个时钟输出
- **灵活的配置方式**
  - 支持多种编程模式
  - JTAG模式符合IEEE 1149.1和IEEE 1532标准
  - Master SPI可选择最高8bit数据位宽，有效提高编程速度
  - 支持BPI x8/x16、Serial slave、Parallel slave模式
  - 支持AES-256位流加密(2)，支持64bit UID保护
  - 支持SEU检错纠错
  - 支持多版本位流回退功能
  - 支持看门狗超时检测
  - 支持编程下载
  - 支持在线调试
- **高性能的高速串行收发器HSST**
  - 支持Data Rate速率高达6.375Gbps
  - 可灵活配置的PCS，可支持PCIe GEN1/GEN2，千兆以太网、CPRI、SRIO等协议

注(1)：不支持两个端口同时配置为 Read-before-Write 模式
注(2)：PGL25G 不支持 AES-256 位流加密

1.2 Logos 系列 FPGA 资源规模与封装信息

Logos 系列 FPGA 资源规模与封装信息如表 1-1 和表 1-2 所示。

表 1-1 Logos FPGA 资源数量

器件	CLM[1,2]				18Kb DRM (个)	APM (个)	PLL (个)	ADC (个)	HME MC (个)	MAX USER IO (个)	HSST LANE	PCIE GNE2 X4 CORE
	LUT5 (个)	等效 LUT4 (个)	FF (个)	Distributed RAM (bits)								
PGL12G	10400	12480	15600	84480	30	20	4	1	0	160	0	0
PGL22G	17536	21043	26304	71040	48	30	6	1	2	240	0	0
PGL22GS[3]	17536	21043	26304	71040	48	30	6	0	0	140	0	0
PGL25G	22560	27072	33840	242176	60	40	4	0	0	308	0	0
PGL50G	42800	51360	64200	544000	134	84	5	0	0	341	0	0
PGL50H	42800	51360	64200	544000	134	84	5	0	0	304	4	1
PGL100H	85392	102470	128088	1013504	286	188	8	0	0	498	8	1

注 1：每个 CLM 包含 4 个多功能 LUT5 和 6 个寄存器；每个多功能 LUT5 等效为 1.2 个 LUT4
注 2：芯片中的 CLM 包括 CLMA 和 CLMS，仅 CLMS 可配置为 Distributed RAM。
注 3：PGL22GS-176 包含最大 IO 数量为 140，其中包括 68 对差分对和 4 个单端 IO；MAX USER IO 140 个表示芯片外部可用 IO 管脚，芯片内部额外包含与 SDRAM 连接的管脚。

表 1-2 Logos FPGA 封装信息与用户 IO 数量

封装	FBG256	FBG484	FBG900	MBG484	MBG324	LPG176	LPG144
尺寸（mm）	17×17	23×23	31×31	19×19	15×15	22x22	22x22
Pitch（mm）	1.0	1.0	1.0	0.8	0.8	0.4	0.5
器件	User IO	User IO	User IO	User IO	User IO	User IO	User IO
PGL12G	160	-	-	-	-	-	103
PGL22G	186	-	-	-	240	-	-
PGL22GS	-	-	-	-	-	140	-
PGL25G	186	308	-	-	226	-	-
PGL50G	-	332	-	341	218	-	-
PGL50H	-	296	-	304	190	-	-
PGL100H	-	-	498	-	-	-	-

1.3 Logos 系列 FPGA 简要描述

1.3.1 CLM

CLM（Configurable Logic Module，可配置逻辑模块）是 Logos 系列产品的基本逻辑单元，它主要由多功能 LUT5，寄存器以及扩展功能选择器等组成。CLM 在 Logos 系列产品中按列分布，有 CLMA 和 CLMS 两种形态。CLMA 和 CLMS 均支持逻辑功能，算术功能以及寄存器功能，仅有 CLMS 支持分布式 RAM 功能。CLM 与 CLM 之间，CLM 与其它片内资源之间

通过信号互连模块联结。

每个 CLMA 包含 4 个 LUT5、6 个寄存器、多个扩展功能选择器、以及 4 条独立的级联链等。CLMS 是 CLMA 的扩展，它在支持 CLMA 所有功能的基础上增加了对分布式 RAM 的支持。CLMS 可配置为单口 RAM 或者简单双口 RAM。

1.3.2 DRM

单个 DRM 有 18K bits 存储单元，可以独立配置 2 个 9K 或 1 个 18K，其支持多种工作模式，包括双口 RAM，简单双口 RAM，单口 RAM 或 ROM 模式，以及 FIFO 模式。DRM 支持可配置的数据位宽，并在 DP RAM 和 SDP RAM 模式下支持双端口混合数据位宽。对于 PGL12G，不支持 ROM。详细的 DRM 使用可参考《Logos 系列 FPGA 专用 RAM 模块（DRM）用户指南》。

1.3.3 APM

每个 APM 由 I/O Unit, Preadder, Mult 和 Postadder 功能单元组成，支持每一级寄存器输出。每一个 APM 可实现 1 个 18*18 乘法器或两个 9*9 乘法器，支持预加功能；可实现 1 个 48bit 累加器或 2 个 24bit 累加器。Logos FPGA 的 APM 支持级联，可实现滤波器以及高位宽乘法器应用。

1.3.4 Input/Output

- **IOB**

Logos FPGA 的 IO 按照 Bank 分布，每个 Bank 由独立的 IO 电源供电。IO 灵活可配置，支持 1.2V~3.3V 电源电压以及不同的单端和差分接口标准，以适应不同的应用场景。所有的用户 IO 都是双向的，内含 IBUF、OBUF 以及三态控制 TBUF。Logos FPGA 的 IOB 功能强大，可灵活配置接口标准、输出驱动、Slew Rate、输入迟滞等。详细的 IO 特性及使用方法可参考《Logos 系列 FPGA 输入输出接口（IO）用户指南》。

- **IOL**

IOL 模块位于 IOB 和 core 之间，对要输入和输出 FPGA Core 的信号进行管理。

IOL 支持各种高速接口，除了支持数据直接输入输出、IO 寄存器输入输出模式外，还支持以下功能：

- ISERDES：针对高速接口，支持 1:2；1:4；1:7；1:8 的输入串并转换器。
- OSERDES：针对高速接口，支持 2:1；4:1；7:1；8:1 的输出并串转换器。

- 内置 IO 延迟功能，可以动/静态调整输入/出延迟。
- 内置输入 FIFO，主要用于完成从外部非连续 DQS（针对 DDR memory interface）到内部连续时钟的时钟域转换和一些特殊的 Generic DDR 应用中采样时钟和内部时钟的相差补偿。

1.3.5 Memory Controller System

PGL DDR Memory Controller System 为用户提供一套完整的 DDR memory 控制器解决方案，配置方式比较灵活。

PGL22G 集成了 HMEMC，有如下特点：

- 支持 LPDDR，DDR2，DDR3
- 支持 x8、x16 Memory Device
- 支持标准的 AXI4 总线协议（burst type 不支持 fixed）
- 一共三个 AXI4 Host Port, 1 个 128bit,两个 64bit
- 支持 AXI4 Read Reordering
- 支持 BANK Management
- 支持 Low Power Mode，Self_refresh，Power down，Deep Power Down
- 支持 Bypass DDRC、支持 Bypass HMEMC
- 支持 DDR3 Write Leveling 和 DQS Gate Training
- DDR3 最快速率达 800 Mbps

PGL12G、PGL25G、PGL50G、PGL50H、PGL100H 只能采用软核实现 DDR memory 的控制，有如下特点：

- 支持 DDR3
- 支持 x8、x16 Memory Device
- 最大位宽支持 16 bit
- 支持裁剪的 AXI4 总线协议
- 一个 AXI4 128bit Host Port
- 支持 Self_refresh，Power down
- 支持 Bypass DDRC
- 支持 DDR3 Write Leveling 和 DQS Gate Training
- DDR3 最快速率达 800 Mbps

1.3.6 ADC

每个 ADC 分辨率为 10bit、采样率为 1MSPS，有 12 个 Channels，其中 10 个 Analog Input 与 GPIO 复用，另外 2 个采用专用模拟输入引脚。12 个 Channels 的扫描方式完全由 FPGA 灵活控制，用户可以通过 User Logic 决定最终由几个 Channels 分享 1MSPS 的 ADC 采样率。

ADC 提供对片上电压及温度的监测功能。可对 VCC、VCCAUX、VDDM（内部 LDO 输出电压）进行检测；详细特性参数见表 6-1。

1.3.7 时钟资源

Logos 系列产品被划分为不同数量的区域，提供了丰富的片上时钟资源，包含 PLL 以及三类时钟网络：全局时钟、区域时钟、I/O 时钟。其中 IO 时钟相比其他时钟具有频率高、时钟偏移小以及延时时间小的特点。时钟资源详见表 1-3。

表 1-3 Logos 系列产品时钟资源

特性	PGL12G	PGL22G	PGL25G	PGL50H PGL50G	PGL100H
区域数量	4	6	4	6	10
全局时钟数	20	20	20	30	30
每个区域 支持全局时钟数	16	12	16	16	16
每个区域 支持局域时钟数	4	4	4	4	4
IO BANK 数	4	6	4	4	6
每个 IO BANK 支持 IO 时钟数	2	2	4	BANK0/2 ： 4 BANK1/3 ： 6	BANK0/2 ： 4 BANK1/3 ： 10
总 IO 时钟数	8	12	16	20	28
PLL 数量	4	6	4	5	8

Logos FPGA 内嵌多个 PLL，每个 PLL 多达 5 个时钟输出,支持频率综合、相位调整、动态配置、支持源同步、零延时缓冲等模式，另外，PLL 支持 Power Down，如果在某一段时间内不使用 PLL，用户可以关闭 PLL 以达到降低功耗的目的。

为了提高时钟的性能，Logos FPGA 还提供了 CLK 相关的特殊 IO，包括四类：时钟输入管脚、PLL 参考时钟输入管脚、PLL 反馈输入时钟管脚以及 PLL 时钟输出管脚。和普通 IO 相比，使用这些时钟输入/输出管脚可以避免普通布线资源带来的干扰，从而得到较好的时钟性能。不作为时钟输入/输出时，这些时钟管脚可作为普通 IO 使用。关于时钟具体使用详情见《Logos 系列 FPGA 时钟资源（Clock）用户指南》。

1.3.8 配置

配置（configuration）是对 FPGA 进行编程的过程。Logos FPGA 使用 SRAM 单元存储配

置数据，每次上电后都需要重新配置；配置数据可以由芯片主动从外部 flash 获取，也可通过外部处理器或控制器将配置数据下载到芯片中。

Logos FPGA 支持多种配置模式，包括 JTAG 模式、 Master SPI 模式、Slave SPI 模式、Slave Parallel 模式、Slave Serial 模式和 Master BPI 模式。各个器件支持的配置模式如下表 1-4。

表 1-4 配置模式

模式	数据位宽	PGL12G		PGL22G		PGL22GS	PGL25G	PGL50H PGL50G	PGL 100H
		LPG144	FBG 256	FBG 256	MBG 324	LPG176	FBG256 MBG324 FBG484	FBG484 MBG484 MBG324	FBG900
JTAG	1	支持	支持	支持	支持	支持	支持	支持	支持
Master SPI	1	支持	支持	支持	支持	支持	支持	支持	支持
	2	支持	支持	支持	支持	支持	支持	支持	支持
	4	支持	支持	支持	支持	支持	支持	支持	支持
	8	支持	支持	支持	支持	支持	不支持	不支持	不支持
Slave SPI	1	支持	支持	支持	支持	不支持	不支持	不支持	不支持
Slave Parallel	8	支持	支持	支持	支持	不支持	支持	支持	支持
	16	支持	支持	支持	支持	不支持	支持	支持	支持
	32	支持	支持	不支持	支持	不支持	不支持	不支持	不支持
Slave Serial	1	支持	支持	支持	支持	不支持	支持	支持	支持
Master BPI	8（异步）	不支持	不支持	不支持	支持	不支持	不支持	不支持	支持
	16（异步）	不支持	不支持	不支持	支持	不支持	不支持	不支持	支持
	16（同步）	不支持	不支持	不支持	支持	不支持	不支持	不支持	不支持

Logos FPGA 的配置相关功能如下所述：

- 支持配置数据流压缩，可有效减小 bit 流的大小，节约存储空间和编程时间
- 支持通过内部从并行接口进行 SEU 1-bit 纠错和 2-bit 检错
- 支持看门狗超时检测功能
- 在主 BPI/主 SPI 模式下，支持配置位流版本回退功能

为保护用户设计，Logos FPGA 还提供 UID 功能。每一个 FPGA 器件都有一个与之对应的唯一编号，该编号在器件出厂的时候已经唯一确定。用户可以通过 UID 接口和 JTAG 接口读取，并且以自己特有的加密算法处理后将得到的结果并入编程数据流。每一次重载数据流后，FPGA 进入用户模式，用户逻辑都会先读取该 UID 以用户独特的加密算法处理后与之前编程数据流中的结果相比对，若有不同，则 FPGA 无法正常工作。

1.3.9 HSST

PGL50H 和 PGL00H 内置了线速率高达 6.375Gbps 高速串行接口模块，即 HSST。除了 PMA，HSST 还集成了丰富的 PCS 功能，可灵活应用于各种串行协议标准。在产品内部，每个 HSST 支持 1~4 个全双工收发 LANE。HSST 主要特性包括：

- 支持线速率：0.6bps-6.375Gbps
- 灵活的参考时钟选择方式
- 可编程输出摆幅和去加重
- 接收端自适应线性均衡器
- 数据通道支持8bit only, 10bit only, 8b10b 8bit, 16bit only, 20bit only, 8b10b 16bit, 32bit only, 40bit only,8b10b 32bit,64b66b/64b67b 16bit, 64b66b/64b67b 32bit模式
- 可灵活配置的PCS，可支持PCI Express GEN1, PCI Express GEN2,XAUI,千兆以太网,CPRI,SRIO等协议
- 灵活的字节对齐功能
- 支持RxClock Slip功能以保证固定的接收延时
- 支持协议标准8b10b编码解码
- 支持协议标准64b66b/64b67b数据适配功能
- 灵活的CTC方案
- 支持x2和x4的通道绑定
- HSST的配置支持动态修改
- 近端环回和远端环回模式
- 内置PRBS功能

1.3.10 Logos 系列 FPGA 参考资料

1.3 小节对 Logos FPGA 各模块以及时钟和配置系统做了简要描述，要了解相应模块的详细信息，请查阅 Logos FPGA 相关的用户指南文档，见下表 1-5。

表 1-5 Logos 系列 FPGA 用户指南文档

文档编号	文档名称	文档内容
UG020001	《Logos 系列 FPGA 可配置逻辑模块（CLM）用户指南》	Logos 系列 FPGA 可配置逻辑模块功能描述
UG020002	《Logos 系列 FPGA 专用 RAM 模块（DRM）用户指南》	Logos 系列 FPGA 专用 RAM 模块功能描述
UG020003	《Logos 系列 FPGA 算术处理模块（APM）用户指南》	Logos 系列 FPGA 算术处理模块功能描述
UG020004	《Logos 系列 FPGA 时钟资源（Clock）用户指南》	Logos 系列 FPGA 时钟资源，包括 PLL 的功能与用法描述
UG020005	《Logos 系列 FPGA 配置（configuration）用户指南》	Logos 系列 FPGA 配置接口、配置模式、配置过程等的描述
UG020006	《Logos 系列 FPGA 输入输出接口（IO）用户指南》	Logos 系列 FPGA 输入输出接口功能描述
UG020009	《Logos 系列 FPGA 模数转换模块（ADC）用户指南》	Logos 系列 FPGA 模数转换器功能描述
UG020011	《Logos 系列产品 HMEMC 应用实例用户指南》	Logos 系列 FPGA 存储控制系统应用实例描述
UG020013	《Logos 系列 FPGA 高速串行收发器（HSST）用户指南》	Logos 系列 FPGA 高速串行收发器应用描述

1.4 Logos 系列 FPGA 订货信息

Logos 系列 FPGA 产品型号的编号内容及意义如图 1-1 所示。

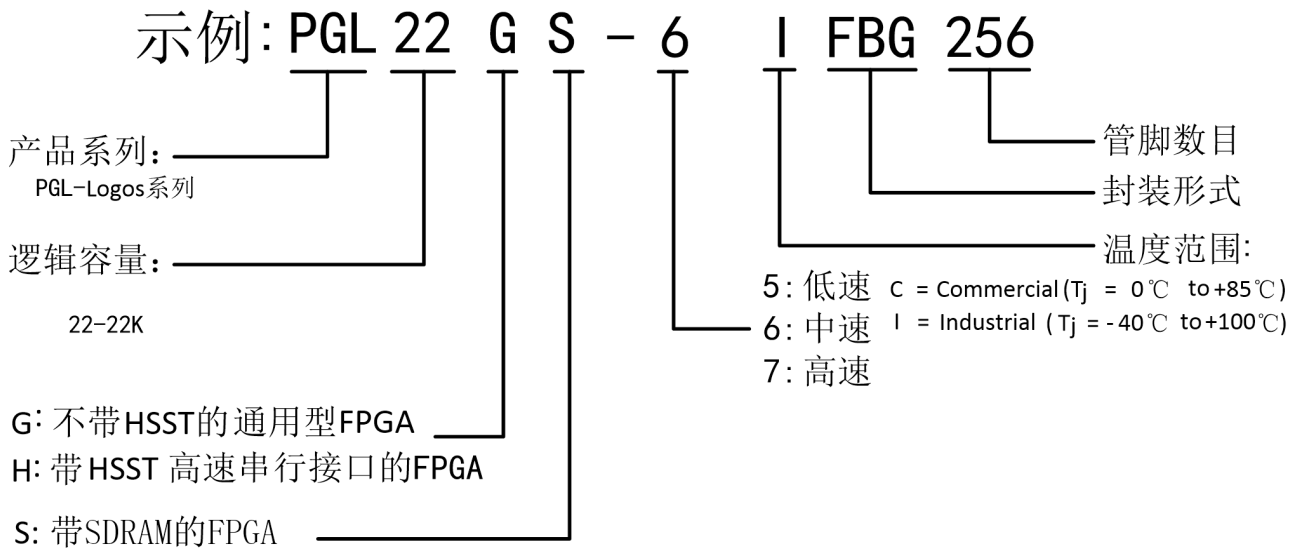


图 1-1 Logos 系列 FPGA 产品型号的编号内容及意义

产品质量等级说明如下表 1-6 所示。

表 1-6 产品质量等级说明

产品系列	器件	速度等级和温度范围	
		Commercial（C） 0℃ to 85℃	Industrial（I） -40℃ to 100℃
Logos	PGL12G	-6C	-6I
	PGL22G	-6C	-6I
	PGL25G	-5C	-5I
		-6C	-6I
	PGL50G	-6C	-6I
	PGL50H	-6C	-6I
	PGL100H	-6C	-6I

2 工作条件

2.1 器件绝对极限电压

表 2-1 器件最大绝对电压值

名称	描述	最小值	最大值	单位
VCC	内核电源电压	-0.16	1.32	V
VCCAUX	辅助电源电压（给 IOB、LDO 等供电）	-0.16	3.63	V
VCCAUX_A	辅助电源电压（给 ADC、POR、Bandgap 等供电）	-0.16	3.63	V
VCCIO	BANK IO 电源电压	-0.16	3.63	V
VCCEFUSE	Efuse 编程电压	-0.16	3.63	V
VCCIOCFG	BANKCFG 电源电压	-0.16	3.63	V
V_I	IO 直流输入电压	-0.16	3.63	V

注：超出上述极限电压可能导致器件永久性损坏。在极限电压内操作不会损坏器件，但不表示器件在此极限电压内功能正常。器件长期在极限电压条件下工作，会严重影响器件的可靠性。

2.2 V_I AC 过冲极限值

表 2-2 IO 输入 AC 过冲电压极限值

输入 PIN	过冲电压	规格	温度	条件	极限值	单位
I/O 输入电压，相对于地	OVERSHOOT	工业	-40℃~100℃	100%UI	4.02	V
				55%UI	4.07	V
				30%UI	4.12	V
				17%UI	4.17	V
				9.5%UI	4.22	V
				5.5%UI	4.27	V
				3.1%UI	4.32	V
				1.7%UI	4.37	V
				1.0%UI	4.42	V
				0.5%UI	4.47	V
				0.3%UI	4.52	V
				0.2%UI	4.57	V
				0.1%UI	4.62	V
	UNDERSHOOT	工业	-40℃~100℃	100%UI	-0.16	V
				72%UI	-0.21	V
				55%UI	-0.26	V
				40%UI	-0.31	V
				30%UI	-0.36	V
				22%UI	-0.41	V
				17%UI	-0.46	V
				12%UI	-0.51	V
				10%UI	-0.56	V
				8%UI	-0.61	V
				6%UI	-0.66	V
				4%UI	-0.71	V
				3%UI	-0.76	V

注:1 个 UI 宽度小于 15us

2.3 器件静态电流

表 2-3 静态电流

名称	描述	器件	速度等级		单位
			-5	-6	
I_{vcc}	内核供电静态电流	PGL12G	--	13	mA
		PGL22G	--	19	mA
		PGL25G	28	28	mA
		PGL50G	--	45	mA
		PGL50H	--	48	mA
		PGL100H	--	92	mA
I_{vccio}	BANK 电压静态电流	PGL12G	--	3	mA
		PGL22G	--	3	mA
		PGL25G	3	3	mA
		PGL50G	--	3	mA
		PGL50H	--	3	mA
		PGL100H	--	6	mA
I_{vccaux_a}	辅助电压 VCCAUX_A 静态电流	PGL12G	--	2	mA
		PGL22G	--	2	mA
I_{vccaux}	辅助电压 VCCAUX（3.3V）静态电流	PGL12G	--	11	mA
		PGL22G	--	32	mA
		PGL25G	9	9	mA
		PGL50G	--	8	mA
		PGL50H	--	8	mA
		PGL100H	--	9	mA
$I_{VCCA_PLL_0}$	HSST PLL0 单 quad 模拟电源静态电流	PGL50H	--	0.9	mA
		PGL100H	--	0.9	mA
$I_{VCCA_PLL_1}$	HSST PLL1 单 quad 模拟电源静态电流	PGL50H	--	0.9	mA
		PGL100H	--	0.9	mA
I_{VCCA_LANE}	HSST 单 quad 模拟电源静态电流	PGL50H	--	6.11	mA
		PGL100H	--	6.11	mA

注：1、以上静态电流值为常压，Tj=25℃下测试所得，对于 Tj=100℃可以采用分析工具 PPP 和 PPC 来评估。
2、以上数据是在空白器件，没有输出电流负载，没有上拉内部电阻，所有的 I/O 处于三态时测试所得

2.4 器件推荐工作条件

表 2-4 PGL12G、PGL22G 推荐工作条件

名称	描述	最小值	典型值	最大值	单位
VCC	内核电源电压	1.045	1.1	1.155	V
VCCAUX	辅助电源电压（给 IOB、LDO 等供电）	3.135	3.3	3.465	V
VCCAUX_A	辅助电源电压（给 ADC、POR、Bandgap 等供电）	3.135	3.3	3.465	V
VCCIO	BANK IO 电源电压	1.14	--	3.465	V
VCCEFUSE	Efuse 编程电压	3.135	3.3	3.465	V
VCCIOCFG	BANKCFG 电源电压	1.425	--	3.465	V
T_J（商业级）	商业级芯片结温	0	--	85	℃
T_J（工业级）	工业级芯片结温	-40	--	100	℃

注：推荐工作电压在典型工作电压偏离±5%范围内。

表 2-5 PGL25G 推荐工作条件

名称	描述	最小值	典型值	最大值	单位
VCC	内核电源电压	1.14	1.2	1.26	V
VCCAUX	辅助电源电压，包含 BANK 配置电压、Efuse 编程电压等	3.135	3.3	3.465	V
VCCIO	BANK IO 电源电压	1.14	--	3.465	V
T_J（商业级）	商业级芯片结温	0	--	85	℃
T_J（工业级）	工业级芯片结温	-40	--	100	℃

注：推荐工作电压在典型工作电压偏离±5%范围内。

表 2-6 PGL50G、PGL50H、PGL100H 推荐工作条件

名称	描述		最小值	典型值	最大值	单位
VCC	内核电源电压		1.14	1.2	1.26	V
VCCAUX	辅助电源电压，包含 BANK 配置电压等	VCCAUX=3.3V	3.135	3.3	3.465	V
		VCCAUX=2.5V	2.375	2.5	2.625	V
VCCIO	BANK IO 电源电压		1.14	--	3.465	V
VCCEFUSE	Efuse 编程电压		3.135	3.3	3.465	V
T_J（商业级）	商业级芯片结温		0	--	85	℃
T_J（工业级）	工业级芯片结温		-40	--	100	℃

注：推荐工作电压在典型工作电压偏离±5%范围内。

2.5 器件推荐工作条件的直流特性

表 2-7 推荐工作条件下的直流特性

标识	最小值	典型值	最大值	说明
I_{PU}	80uA	--	200uA	PAD 的上拉电流(V_{IN}=0；V_{CCIO}=3.3V)
	40uA	--	120uA	PAD 的上拉电流(V_{IN}=0；V_{CCIO}=2.5V)
	60uA	--	190uA	PAD 的上拉电流(V_{IN}=0；V_{CCIO}=1.8V)
	60uA	--	190uA	PAD 的上拉电流(V_{IN}=0；V_{CCIO}=1.5V)
	30uA	--	120uA	PAD 的上拉电流(V_{IN}=0；V_{CCIO}=1.2V)
I_{PD}	30uA	--	225uA	PAD 的下拉电流(V_{IN}=3.3V)
	30uA	--	220uA	PAD 的下拉电流(V_{IN}=2.5V)
	30uA	--	240uA	PAD 的下拉电流(V_{IN}=1.8V)
	30uA	--	240uA	PAD 的下拉电流(V_{IN}=1.5V)
	30uA	--	260uA	PAD 的下拉电流(V_{IN}=1.2V)

2.6 推荐上电、下电顺序

(1) 确保 I/O 在上电过程中处于三态的推荐上电顺序：VCC、VCCA_LANE、VCCA_PLL0、VCCA_PLL1 >VCCAUX、VCCAUX_A、VCCIOCFG、VCCEFUSE > VCCIO；

(2) 推荐下电顺序为上电顺序的反方向；

(3) 推荐上电时序如图 2-1 所示；

(4) 推荐下电时序如图 2-2 所示；

(5) 当 VCCIO 与 VCCAUX、VCCAUX_A、VCCIOCFG、VCCEFUSE 电压幅值相同，可共用电源。

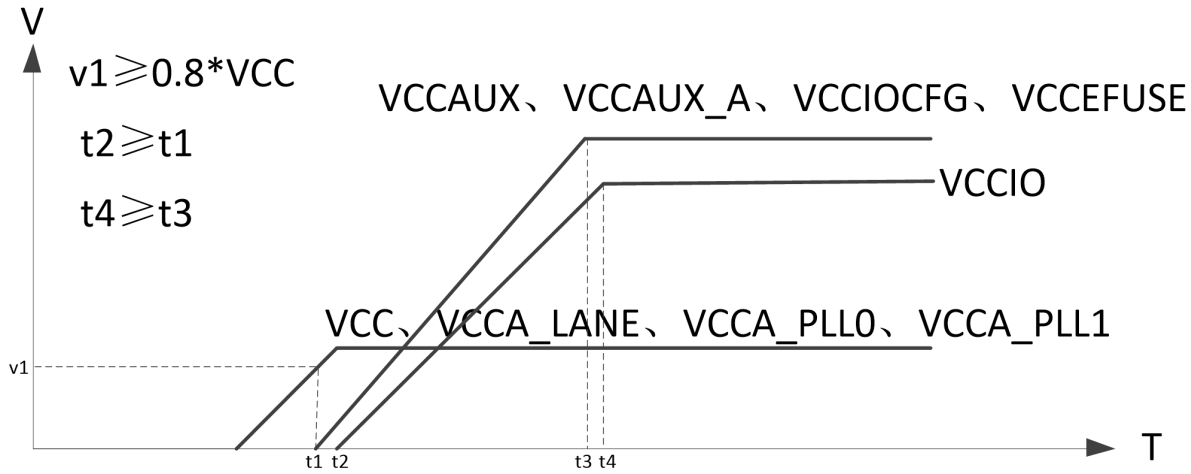


图 2-1 推荐上电时序

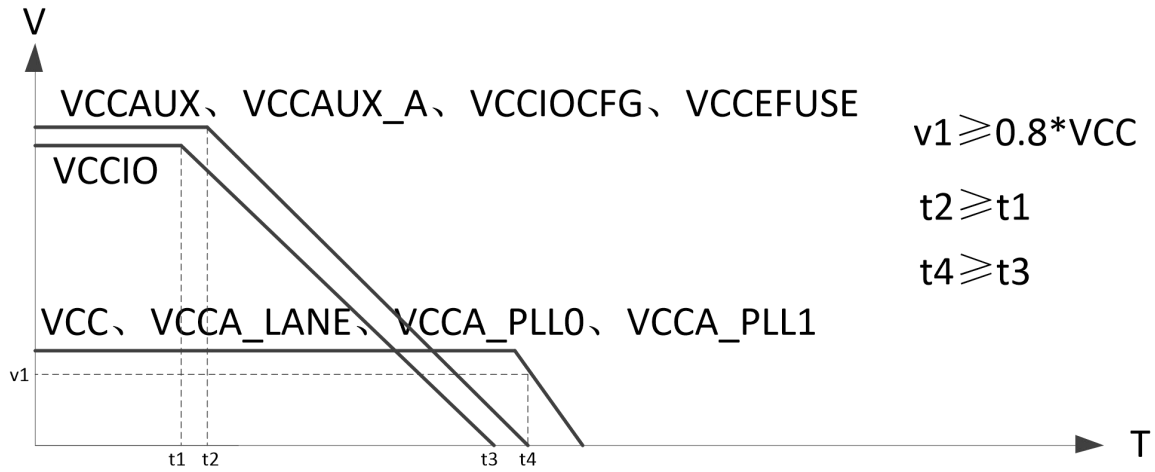


图 2-2 推荐下电时序

(6) 电源斜变率

表 2-8 电源斜变率

标识	描述	最小值	最大值	单位
$T_{VCC\ RAMP}$	VCC 电源斜变率	0.006	6	V/ms
$T_{VCCAUX\ RAMP}$	VCCAUX=3.3V 电源斜变率	0.0165	6.6	V/ms
	VCCAUX=2.5V 电源斜变率	0.0125	5	V/ms
$T_{VCCIO\ RAMP}$	VCCIO 电源斜变率	0.0165	6.6	V/ms
$T_{VCCEFUSE\ RAMP}$	VCCEFUSE 电源斜变率	0.0165	6.6	V/ms
$T_{VCCA_LANE\ RAMP}$	VCCA LANE 电源斜变率	0.024	2.4	V/ms
$T_{VCCA_PLL_0\ RAMP}$	VCCA PLL0 电源斜变率	0.024	2.4	V/ms
$T_{VCCA_PLL_1\ RAMP}$	VCCA PLL1 电源斜变率	0.024	2.4	V/ms

注：电源斜变需单调。

对于 PGL12G、PGL22G、PGL22GS，如果没有按照推荐的上电顺序，在 VCCAUX 与 VCCIO 电压不一致条件下，那么在上电过程中所有可用 IO 管脚不能保持高阻态。

对于 PGL25G、PGL50G、PGL50H、PGL100H，如果没有按照推荐的上电顺序，在 VCCAUX 与 VCCIO 电压不一致条件下，那么在上电过程中 BANK0 和 BANK2 的 IO 管脚不能保持高阻态。

如果配置 eFuse，VCCEFUSE 电压需按照推荐上下电顺序，否则易导致 eFuse 误配置。具体 eFuse 应用详见《UG02005_ Logos 系列 FPGA 配置（configuration）用户指南》中 eFuse 章节。

2.7 热插拔

2.7.1 热插拔规格

表 2-9 热插拔漏电流规格

参数符号	参数描述	最大值
I_{DK} （DC）(1)	DC 电流,每个 I/O	1mA
I_{DK} （AC）(2)	AC 电流,每个 I/O	6mA

注：1. 芯片未上电时，给支持热插拔的 I/O 上加电压，测试从 IO 流进芯片的电流最大值。
2.给支持热插拔的 I/O 上加电压，然后在推荐上下电顺序的上下电过程中，测试从 IO 流进芯片的最大电流值。

2.7.2 热插拔应用限制

满足热插拔需满足以下条件：

(1)需按芯片推荐的上下电顺序进行上下电。

(2)确保满足应用要求，用户需选择合适的外部电路（比如上下拉及串阻)等。

2.8 ESD（HBM，CDM），Latch Up 指标

表 2-10 ESD、Latch-Up 指标

Human Body Model（HBM）	Charge Device Model（CDM）	Latch-up
±2000V	±500V	±100mA

3 直流特性

3.1 IO 输入输出直流特性

各单端 IO 电平标准输入输出电压范围如下表 3-1。

表 3-1 单端 IO 电平标准输入输出电压范围

单端 IO	VIL(V)		VIH(V)		VOL (V)	VOH(V)
	最小值	最大值	最小值	最大值	最大值	最小值
LVTLL33 LVCMOS33	-0.16	0.8	2	3.465	0.4	VCCIO-0.4
LVCMOS25	-0.16	0.7	1.7	3.465	0.4	VCCIO-0.4
LVCMOS18	-0.16	0.35VCCIO	0.65VCCIO	3.465	0.4	VCCIO-0.4
LVCMOS15	-0.16	0.35VCCIO	0.65VCCIO	3.465	0.4	VCCIO_0.4
LVCMOS12	-0.16	0.35VCCIO	0.65VCCIO	3.465	0.4	VCCIO-0.4
SSTL25_I	-0.16	VREF -0.18	VREF +0.18	3.465	0.54	VCCIO-0.62
SSTL25_II	-0.16	VREF -0.18	VREF +0.18	3.465	0.35	VCCIO-0.43
SSTL18_I	-0.16	VREF -0.125	VREF +0.125	3.465	0. 4	VCCIO-0.4
SSTL18_II	-0.16	VREF -0.125	VREF +0.125	3.465	0.28	VCCIO-0.28
SSTL15_I SSTL15_I_CAL	-0.16	VREF-0.1	VREF+0.1	3.465	0.31	VCCIO-0.31
SSTL15_II SSTL15_II_CAL	-0.16	VREF-0.1	VREF+0.1	3.465	0.31	VCCIO-0.31
HSTL18_I	-0.16	VREF-0.1	VREF+0.1	3.465	0. 4	VCCIO-0.4
HSTL18_II	-0.16	VREF-0.1	VREF+0.1	3.465	0. 4	VCCIO-0.4
HSTL15_I HSTL15_I_CAL	-0.16	VREF-0.1	VREF+0.1	3.465	0. 4	VCCIO-0.4

注：仅 PGL22G 支持 CAL

各单端 IO 电平标准输出电流见下表。

表 3-2 单端 IO 电平标准输出电流

单端 IO	IOL(mA)	IOH(mA)	VREF(V)	VTT(V)
LVTTL33 LVCMOS33	4	-4	-	-
	8	-8	-	-
	12	-12	-	-
	16	-16	-	-
	24	-24	-	-
LVCMOS25	4	-4	-	-
	8	-8	-	-
	12	-12	-	-
	16	-16	-	-
LVCMOS18	4	-4	-	-
	8	-8	-	-
	12	-12	-	-
LVCMOS15	4	-4	-	-
	8	-8	-	-
LVCMOS12	2	-2	-	-
	6	-6	-	-
SSTL25_I	8.1	-8.1	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO
SSTL25_II	16.2	-16.2	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO
SSTL18_I	6.7	-6.7	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO
SSTL18_II	13.4	-13.4	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO
SSTL15_I SSTL15_I_CAL	7.5	-7.5	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO
SSTL15_II SSTL15_II_CAL	8.8	-8.8	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO
HSTL18_I	8	-8	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO
HSTL18_II	16	-16	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO
HSTL15_I HSTL15_I_CAL	8	-8	0.45VCCIO 0.5VCCIO 0.55VCCIO	0.5VCCIO

注：仅 PGL22G 支持 CAL，PGL22GS_LPG176 L0 BANK 不支持用到 VREF 的所有电平标准。

表 3-3 输入 IO 电平标准的 BANK 支持说明

	模式	IO 标准	器件							
			PGL22G		PGL12G		PGL25G/PGL50G /PGL50H		PGL100H	
			BANK L0, BANK L1, BANK L2	BANKR0, BANKR1, BANKR2	BANKL0, BANKL1	BANKR0, BANKR1	BANK0, BANK2	BANK1, BANK3	BANK0, BANK2	BANK1 BANK3 BANK4 BANK5
输入	单端	LVCMOS12 LVCMOS15 LVCMOS18 LVCMOS25 LVCMOS33 LVTTL33 SSTL15_I SSTL15_II SSLT18_I SSTL18_II HSLT18_I HSTL18_II SSTL25_I SSTL25_II	支持	支持	支持	支持	支持	支持	支持	支持
		SSTL15_I_ CAL SSTL15_II_ CAL HSTL15_I_ CAL	支持	支持	不支持	不支持	不支持	不支持	不支持	不支持
	差分	LVPECL LVDS25 LVDS33 SLVS MINI-LVDS SUB-LVDS TMDS	支持	支持	支持	支持	支持	支持	支持	支持
		RSDS PPDS SSTL15D_I SSTL15D_II SSTL18D_I SSTL18D_II SSTL25D_I SSTL25D_II HSTL15D_I HSTL18D_I HSTL18D_II	支持	支持	支持	支持	支持	支持	支持	支持
		SSTL15D_I_ CAL SSTL15D_II_ CAL HSTL15D_I_ CAL	支持	支持	不支持	不支持	不支持	不支持	不支持	不支持

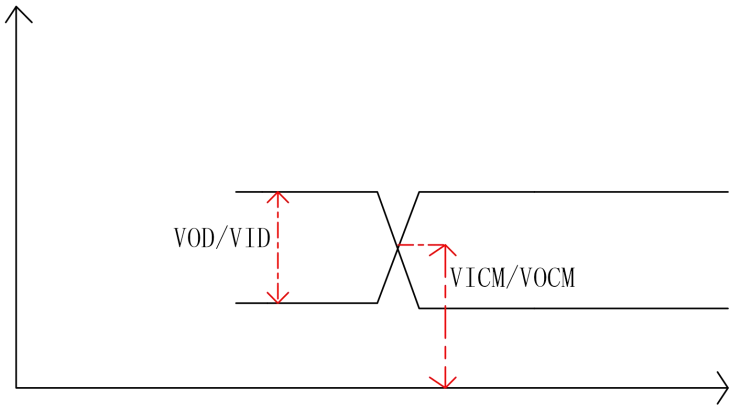
表 3-4 输出 IO 电平标准的 BANK 支持说明

	模式	IO 标准	器件							
			PGL22G		PGL12G		PGL25G/PGL50G/ PGL50H		PGL100H	
			BANK L0, BANK L1, BANK L2	BANKR0, BANKR1, BANKR2	BANKL0, BANKL1	BANKR0, BANKR1	BANK0, BANK2	BANK1, BANK3	BANK0, BANK2	BANK1 BANK3 BANK4 BANK5
输出	单端	LVCMOS12 LVCMOS15 LVCMOS18 LVCMOS25 LVCMOS33 LVTTL33 SSTL15_I SSTL15_II SSLT18_I SSTL18_II HSLT18_I HSTL18_II SSTL25_I SSTL25_II	支持	支持	支持	支持	支持	支持	支持	支持
		SSTL15_I_ CAL SSTL15_II_ CAL HSTL15_I_ CAL	支持	支持	不支持	不支持	不支持	不支持	不支持	不支持
	差分	LVDS25 LVDS33 SLVS MINI-LVDS SUB-LVDS TMDS	支持	支持	不支持	支持	支持	不支持	支持	不支持
		PPDS RSDS LVPECL SSTL15D_I SSTL15D_II SSTL18D_I SSTL18D_II SSTL25D_I SSTL25D_II HSTL15D_I HSTL18D_I HSTL18D_II	支持	支持	支持	支持	支持	支持	支持	支持

表 3-5 双向 IO 电平标准的 BANK 支持说明

	模式	IO 标准	器件							
			PGL22G		PGL12G		PGL25G/PGL50G/ PGL50H		PGL 100H	
			BANK L0, BANK L1, BANK L2	BANKR0, BANKR1, BANKR2	BANKL0, BANKL1	BANKR0, BANKR1	BANK0, BANK2	BANK1, BANK3	BANK0, BANK2	BANK1 BANK3 BANK4 BANK5
双向	单端	LVCMOS12 LVCMOS15 LVCMOS18 LVCMOS25 LVCMOS33 LVTTL33 SSTL15_I SSTL15_II SSLT18_I SSTL18_II HSLT18_I HSTL18_II SSTL25_I SSTL25_II	支持	支持	支持	支持	支持	支持	支持	支持
		SSTL15_I_ CAL SSTL15_II_ CAL HSTL15_I_ CAL	支持	支持	不支持	不支持	不支持	不支持	不支持	不支持
	差分	LVDS25 LVDS33 MINI-LVDS SUB-LVDS SLVS TMDS	不支持	不支持	不支持	不支持	不支持	不支持	不支持	不支持
		PPDS RSDS SSTL15D_I SSTL15D_II SSTL18D_I SSTL18D_II SSTL25D_I SSTL25D_II HSTL15D_I HSTL18D_I HSTL18D_II LVPECL	支持	支持	支持	支持	支持	支持	支持	支持
		SSTL15D_I_ CAL SSTL15D_II_ CAL HSTL15D_I_ CAL	支持	支持	不支持	不支持	不支持	不支持	不支持	不支持

差分 IO 电平标准的主要电气特性参数定义如下图，输入输出电压范围如表 3-6 和表 3-7 所示。



差分电气特性参数

表 3-6 差分输入标准的参数要求

标准	VICM			VID		
	输入共模电平 (V)			输入差模电平 (V)		
	min	typ	max	min	typ	max
LVDS25	0.5	1.2	1.9	0.1	0.35	0.5
LVDS33	0.5	1.2	1.9	0.1	0.35	0.5
MINI-LVDS	0.4	--	1.9	0.2	0.4	0.6
SUB-LVDS	0.6	0.9	1.2	0.08	0.1	0.2
SLVS	0.07	--	0.3	0.08	--	0.46
LVPECL	0.5	--	1.9	0.3	--	1.1

表 3-7 差分输出标准的参数要求

标准	VOCM			VOD		
	输出共模电平 (V)			输出差模电平(V)		
	min	typ	max	min	typ	max
LVDS25	1	1.25	1.4	0.25	0.35	0.45
LVDS33	1	1.25	1.4	0.25	0.35	0.45
MINI-LVDS	1	1.2	1.4	0.3	--	0.6
SUB-LVDS	0.8	0.9	1	0.1	0.15	0.2
SLVS	0.15	0.2	0.25	0.14	0.2	0.27

4 交流特性

本章主要列出了 Logos 系列 FPGA 各逻辑单元在推荐工作条件下的交流特性。

4.1 IO 交流特性参数

IOB 的开关特性如表 4-1 所示。

表 4-1 IOB 的输入输出延时

I/O 标准	T_{IOPI}		T_{IOOP}		T_{IOTP}		单位
	-5	-6	-5	-6	-5	-6	
LVTTL33，4mA，Slow	1.725	1.50	3.289	2.86	3.289	2.86	ns
LVTTL33，8mA，Slow	1.725	1.50	3.174	2.76	3.174	2.76	ns
LVTTL33，12mA，Slow	1.725	1.50	3.059	2.66	3.059	2.66	ns
LVTTL33，16mA，Slow	1.725	1.50	2.944	2.56	2.944	2.56	ns
LVTTL33，24mA，Slow	1.725	1.50	2.829	2.46	2.829	2.46	ns
LVTTL33，4mA，Fast	1.725	1.50	3.22	2.80	3.22	2.80	ns
LVTTL33，8mA，Fast	1.725	1.50	3.105	2.70	3.105	2.70	ns
LVTTL33，12mA，Fast	1.725	1.50	2.99	2.60	2.99	2.60	ns
LVTTL33，16mA，Fast	1.725	1.50	2.875	2.50	2.875	2.50	ns
LVTTL33，24mA，Fast	1.725	1.50	2.76	2.40	2.76	2.40	ns
LVCMOS33，4mA，Slow	1.725	1.50	3.289	2.86	3.289	2.86	ns
LVCMOS33，8mA，Slow	1.725	1.50	3.174	2.76	3.174	2.76	ns
LVCMOS33，12mA，Slow	1.725	1.50	3.059	2.66	3.059	2.66	ns
LVCMOS33，16mA，Slow	1.725	1.50	2.944	2.56	2.944	2.56	ns
LVCMOS33，24mA，Slow	1.725	1.50	2.829	2.46	2.829	2.46	ns
LVCMOS33，4mA，Fast	1.725	1.50	3.22	2.80	3.22	2.80	ns
LVCMOS33，8mA，Fast	1.725	1.50	3.105	2.70	3.105	2.70	ns
LVCMOS33，12mA，Fast	1.725	1.50	2.99	2.60	2.99	2.60	ns
LVCMOS33，16mA，Fast	1.725	1.50	2.875	2.50	2.875	2.50	ns
LVCMOS33，24mA，Fast	1.725	1.50	2.76	2.40	2.76	2.40	ns
LVCMOS25，4mA，Slow	2.07	1.80	3.404	2.96	3.404	2.96	ns
LVCMOS25，8mA，Slow	2.07	1.80	3.289	2.86	3.289	2.86	ns
LVCMOS25，12mA，Slow	2.07	1.80	3.174	2.76	3.174	2.76	ns
LVCMOS25，16mA，Slow	2.07	1.80	3.059	2.66	3.059	2.66	ns
LVCMOS25，4mA，Fast	2.07	1.80	3.335	2.90	3.335	2.90	ns
LVCMOS25，8mA，Fast	2.07	1.80	3.22	2.80	3.22	2.80	ns
LVCMOS25，12mA，Fast	2.07	1.80	3.105	2.70	3.105	2.70	ns
LVCMOS25，16mA，Fast	2.07	1.80	2.99	2.60	2.99	2.60	ns
LVCMOS18，4mA，Slow	3.335	2.90	3.749	3.26	3.749	3.26	ns

LVCMOS18，8mA，Slow	3.335	2.90	3.519	3.06	3.519	3.06	ns
LVCMOS18，12mA，Slow	3.335	2.90	3.289	2.86	3.289	2.86	ns
LVCMOS18，4mA，Fast	3.335	2.90	3.68	3.20	3.68	3.20	ns
LVCMOS18，8mA，Fast	3.335	2.90	3.45	3.00	3.45	3.00	ns
LVCMOS18，12mA，Fast	3.335	2.90	3.22	2.80	3.22	2.80	ns
LVCMOS15，4mA，Slow	4.14	3.60	3.864	3.36	3.864	3.36	ns
LVCMOS15，8mA，Slow	4.14	3.60	3.634	3.16	3.634	3.16	ns
LVCMOS15，4mA，Fast	4.14	3.60	3.795	3.30	3.795	3.30	ns
LVCMOS15，8mA，Fast	4.14	3.60	3.565	3.10	3.565	3.10	ns

续表 4-1 IOB 的输入输出延时

I/O 标准		T_{IOPI}		T_{IOOP}		T_{IOTP}	单位
	-5	-6	-5	-6	-5	-6	
LVCMOS12，2mA，Slow	7.36	6.40	5.129	4.46	5.129	4.46	ns
LVCMOS12，6mA，Slow	7.36	6.40	4.209	3.66	4.209	3.66	ns
LVCMOS12，2mA，Fast	7.36	6.40	5.06	4.40	5.06	4.40	ns
LVCMOS12，6mA，Fast	7.36	6.40	4.14	3.60	4.14	3.60	ns
SSTL25_I	1.38	1.20	3.22	2.80	3.22	2.80	ns
SSTL25_II	1.38	1.20	3.22	2.80	3.22	2.80	ns
SSTL18_I	1.495	1.30	3.45	3.00	3.45	3.00	ns
SSTL18_II	1.495	1.30	3.45	3.00	3.45	3.00	ns
SSTL15_I	1.84	1.60	3.45	3.00	3.45	3.00	ns
SSTL15_II	1.84	1.60	3.45	3.00	3.45	3.00	ns
SSTL135	2.07	1.80	3.795	3.30	3.795	3.30	ns
HSTL18_I	1.495	1.30	3.45	3.00	3.45	3.00	ns
HSTL18_II	1.495	1.30	3.45	3.00	3.45	3.00	ns
HSTL15_I	1.84	1.60	3.45	3.00	3.45	3.00	ns
LVDS25	1.38	1.20	2.76	2.40	2.76	2.40	ns
LVDS33	1.38	1.20	2.76	2.40	2.76	2.40	ns
MINI_LVDS	1.38	1.20	2.76	2.40	2.76	2.40	ns
SUB_LVDS	1.38	1.20	2.76	2.40	2.76	2.40	ns
SLVS	1.38	1.20	2.76	2.40	2.76	2.40	ns
TMDS	1.38	1.20	2.76	2.40	2.76	2.40	ns
PPDS	1.38	1.20	2.76	2.40	2.76	2.40	ns
LVPECL	1.38	1.20	2.76	2.40	2.76	2.40	ns
RSDS	1.38	1.20	2.76	2.40	2.76	2.40	ns
BLVDS	1.38	1.20	2.76	2.40	2.76	2.40	ns
SSTL25D_I	1.38	1.20	3.22	2.80	3.22	2.80	ns
SSTL25D_II	1.38	1.20	3.22	2.80	3.22	2.80	ns
SSTL18D_I	1.495	1.30	3.45	3.00	3.45	3.00	ns

I/O 标准		T_{IOPI}		T_{IOOP}		T_{IOTP}	单位
	-5	-6	-5	-6	-5	-6	
SSTL18D_II	1.495	1.30	3.45	3.00	3.45	3.00	ns
SSTL15D_I	1.84	1.60	3.45	3.00	3.45	3.00	ns
SSTL15D_II	1.84	1.60	3.45	3.00	3.45	3.00	ns
SSTL135D	2.3	2.00	3.795	3.30	3.795	3.30	ns
HSTL18D_I	1.495	1.30	3.45	3.00	3.45	3.00	ns
HSTL18D_II	1.495	1.30	3.45	3.00	3.45	3.00	ns
HSTL15D_I	1.84	1.60	3.45	3.00	3.45	3.00	ns

注：表中参数值只适用 PGL22G、PGL25G，Logos 系列其他器件参数请参考 PDS 时序报告。
T_{IOPI}：从 IOB Pad 经过 IBUF 到达 IOBUFFER 的 DIN 的延时。
T_{IOOP}：从 IOBUFFER 的 DO 经过 OBUF 到达 IOB Pad 的延时。
T_{IOTP}：从 IOBUFFER 的 TO 经过 OBUF 到达 IOB Pad 的延时。

表 4-2 IOB 三态使能时的输出开关特性

类别	特性参数描述	速度等级		单位
		-5	-6	
T_{IOTPHZ}	T input to Pad high-impedance	3.105	2.7	ns

注：表中参数值只适用 PGL22G、PGL25G，Logos 系列其他器件参数请参考 PDS 时序报告。
T_{IOTPHZ} 参数为三态使能时，从 IOBUFFER 的 TO 经过 OBUF 到达 IOB Pad 的延时。

IOL 的交流特性如表 4-3 至表 4-5 所示。

表 4-3 IOL 寄存器交流参数

类别	交流特性参数描述		数值		单位	备注
			-5	-6		
IFF		Setup/Hold 时间				
	CE -> CLK setup/hold	上升沿	0.151/-0.051	0.131/-0.044	ns	
		下降沿	0.074/-0.036	0.064/-0.031	ns	
	LRS -> CLK setup/hold	上升沿	0.319/-0.114	0.277/-0.099	ns	
		下降沿	0.251/-0.102	0.218/-0.089	ns	
	DIN -> CLK setup/hold	上升沿	0.061/-0.014	0.053/-0.012	ns	
		下降沿	-0.005/-0.003	-0.004/-0.003	ns	
		组合逻辑延时				
	DIN -> RX_DATA_DD	0 -> 1	0.173	0.150	ns	bypass 模式
		1 -> 0	0.173	0.150	ns	
		Sequential Delays 时序延时				
	DIN -> RX_DATA	0 -> 1	0.273	0.237	ns	Latch 模式
		1 -> 0	0.268	0.233	ns	
	CLK -> Q 输出	0 -> 1	0.413	0.359	ns	
		1 -> 0	0.434	0.377	ns	
	LRS -> Q 输出	0 -> 1	0.620	0.539	ns	
		1 -> 0	0.620	0.539	ns	
OFF/TSFF		Setup/Hold 时间				
	TX_DATA -> CLK setup/hold	上升沿	0.164/-0.053	0.143/-0.046	ns	
		下降沿	0.085/-0.037	0.074/-0.032	ns	
	CE -> CLK setup/hold	上升沿	0.194/-0.067	0.169/-0.058	ns	
		下降沿	0.141/-0.060	0.123/-0.052	ns	
	TS_CTRL -> CLK setup/hold	上升沿	0.140/-0.067	0.122/-0.058	ns	
		下降沿	0.085/-0.061	0.074/-0.053	ns	
		Sequential Delays 时序延时				
	TX_DATA -> DO	0 -> 1	0.416	0.362	ns	Latch 模式
		1 -> 0	0.424	0.369	ns	
	CLK -> OFF 的 Q/TSFF 的 Q	0 -> 1	0.415	0.361	ns	
		1 -> 0	0.426	0.370	ns	
	LRS -> OFF 的 Q 输出/TSFF 的 Q 输出	0 -> 1	0.641	0.557	ns	
		1 -> 0	0.641	0.557	ns	

注：表中参数值只适用 PGL22G、PGL25G，Logos 系列其他器件参数请参考 PDS 时序报告。

表 4-4 输入 Deserializer 开关参数

类别	特性参数描述		速度等级		单位
			-5	-6	
IDDR	信号 Setup/Hold 时间				
	PADI -> RCLK	上升沿	-0.001/0.025	-0.001/0.022	ns
		下降沿	0.012/0.016	0.010/0.014	ns
	Sequential Delays 时序延时				
	RCLK -> Q 端	上升沿	0.298	0.259	ns
		下降沿	0.302	0.263	ns
	RCLK 的最大频率		266	266	MHz

注：表中参数值只适用 PGL22G、PGL25G，Logos 系列其他器件参数请参考 PDS 时序报告。

表 4-5 输出 Serializer 开关参数

类别	特性参数描述		速度等级		单位
			-5	-6	
ODDR	信号 Setup/Hold 时间				
	D -> RCLK	上升沿	0.240/-0.109	0.209/-0.095	ns
		下降沿	0.208/-0.041	0.181/-0.036	ns
	T -> RCLK	上升沿	0.254/-0.112	0.221/-0.097	ns
		下降沿	0.210/-0.041	0.183/-0.036	ns
	Sequential Delays 时序延时				
	RCLK -> PADO 端/PADT 端	上升沿	0.728	0.633	ns
		下降沿	0.784	0.682	ns
	RCLK 的最大频率		**266**	266	MHz

注：表中参数值只适用 PGL22G、PGL25G，Logos 系列其他器件参数请参考 PDS 时序报告。

CLM 交流特性参数

表 4-6 CLM 模块交流特性

NO.	参数描述	数值		属性	单位
		-5	-6		
逻辑延时					
1	LUT5 输入 Ax/Bx/Cx/Dx 到 Y0/Y1/Y2/Y3 delay	0.590	0.513	最大	ns
2	LUT5 输入 Ax/Bx/Cx/Dx 以及 M0/M1 到 Y6AB/Y6CD 的 delay	0.449	0.39	最大	ns
3	LUT5 输入 Ax/Bx/Cx/Dx 以及 M0/M1/M2 到 Y1(LUT7) 的 delay	0.621	0.54	最大	ns
4	LUT5 输入 Ax/Bx/Cx/Dx 以及 M0/M1/M2/M3 到 Y3(LUT8)的 delay	0.673	0.585	最大	ns
5	LUT input Ax 到 cout 的 delay	0.426	0.37	最大	ns
6	LUT input Bx 到 cout 的 delay	0.445	0.387	最大	ns
7	LUT input Cx 到 cout 的 delay	0.501	0.436	最大	ns
8	LUT input Dx 到 cout 的 delay	0.496	0.431	最大	ns
9	CIN 输入到 cout 的 delay	0.231	0.201	最大	ns
10	CIN 输入到 Y0/Y1/Y2/Y3 的 delay	0.319	0.277	最大	ns
时序参数					
11	CLK 输入相对于 Q0/Q1/Q2/Q3 的 TCO	0.300	0.261	最大	ns
12	CLK 输入相对于 Y0(QP0)/Y2(QP1)的 TCO	0.374	0.325	最大	ns
13	Ax/Bx/Cx/Dx 相对于 DFF 的 setup/hold	0.056/-0.030	0.049/-0.026	最小	ns
14	M 相对于 DFF 的 setup/hold	0.029/-0.003	0.025/-0.003	最小	ns
15	CE 相对于 DFF 的 setup/hold	0.213/-0.186	0.185/-0.162	最小	ns
16	RS 相对于 DFF 的 setup/hold	0.213/-0.186	0.185/-0.162	最小	ns
17	CIN 相对于 DFF 的 setup/hold	0.030/-0.005	0.0263/-0.004	最小	ns
18	SHIFTIN 相对于 DFF 的 setup/hold	0.213/-0.186	0.185/-0.162	最小	ns
19	RS 的最小脉冲宽度	1.035	0.9	最小	ns
分布式 RAM 时序参数					
20	CLK -> Y0/Y1/Y2/Y3 mem read delay	0.828	0.72	最大	ns
21	CLK -> RS (as WE) timing check, setup/hold	0.213/-0.186	0.185/-0.162	最小	ns
22	CLK -> M0/M1/M2/M3 address timing check, setup/hold	-0.239/0.267	-0.208/0.232	最小	ns
23	CLK -> AD/BD/CD/DD data timing check, setup/hold	-0.239/0.267	-0.208/0.232	最小	ns

注：表中参数值只适用 PGL22G、PGL25G，Logos 系列其他器件参数请参考 PDS 时序报告。

DRM 交流特性参数

表 4-7 DRM 模块交流特性

类别	交流特性参数描述	数值		属性	单位
		-5	-6		
Tco_9k	CLKA/CLKB->QA/QB (输出寄存器不使能，9K 模式)	2.682	2.351	最大	ns
Tco_9k_reg	CLKA/CLKB->QA/QB (输出寄存器使能，9K 模式)	0.796	0.698	最大	ns
Tco_18k	CLKA/CLKB->QA/QB (输出寄存器不使能，18K 模式&FIFO 模式)	2.682	2.351	最大	ns
Tco_18k_reg	CLKA/CLKB->QA/QB (输出寄存器使能，18K 模式&FIFO 模式)	0.796	0.698	最大	ns
Tco_flag_full	CLKA->FULL(ALMOST_FULL) Flag	1.205	1.058	最大	ns
Tco_flag_empty	CLKB->EMPTY(ALMOST_EMPTY) Flag	0.874	0.766	最大	ns
Tsu_9k_ad/ Thd_9k_ad	地址输入 Setup/Hold time （9K 模式）	-0.150/0.212	-0.130/0.184	最小	ns
Tsu_9k_d/ Thd_9k_d	数据输入 Setup/Hold time （9K 模式）	-0.110/0.171	-0.096/0.149	最小	ns
Tsu_9k_ce/ Thd_9k_ce	CE 输入 Setup/Hold time （9K 模式）	0.081/-0.021	0.070/-0.018	最小	ns
Tsu_9k_we/ Thd_9k_we	WE 输入 Setup/Hold time （9K 模式）	0.032/-0.030	0.028/-0.026	最小	ns
Tsu_9k_be/ Thd_9k_be	BE 输入 Setup/Hold time （9K 模式）	-0.036/0.098	-0.031/0.085	最小	ns
Tsu_9k_oe/ Thd_9k_oe	OCE 输入 Setup/Hold time （9K 模式）	-0.046/0.099	-0.040/0.086	最小	ns
Tsu_9k_rst/ Thd_9k_rst	同步复位输入 Setup/Hold time （9K 模式）	0.025/0.026	0.022/0.023	最小	ns
Tsu_18k_ad/ Thd_18k_ad	地址输入 Setup/Hold time （18k 模式）	-0.225/0.288	-0.196/0.250	最小	ns
Tsu_18k_d/ Thd_18k_d	数据输入 Setup/Hold time （18k 模式）	-0.118/0.181	-0.103/0.157	最小	ns
Tsu_18k_ce/ Thd_18k_ce	CE 输入 Setup/Hold time （18k 模式）	0.070/-0.012	0.061/-0.010	最小	ns
Tsu_18k_we/ Thd_18k_we	WE 输入 Setup/Hold time （18k 模式）	0.046/0.015	0.040/0.013	最小	ns
Tsu_18k_be/ Thd_18k_be	BE 输入 Setup/Hold time （18k 模式）	0.048/0.014	0.042/0.012	最小	ns
Tsu_18k_oe/ Thd_18k_oe	OCE 输入 Setup/Hold time （18k 模式）	-0.064/0.106	-0.056/0.092	最小	ns
Tsu_18k_rst/ Thd_18k_rst	同步复位输入 Setup/Hold time （18k 模式）	0.044/0.009	0.038/0.008	最小	ns
Tsu_fifo_wctl/ Thd_fifo_wctl	WREOP(WRERR)输入 Setup/Hold time	0.095/-0.043	0.083/-0.037	最小	ns
Tsu_fifo_rctl/ Thd_fifo_rctl	RDNAK 输入 Setup/Hold time	0.067/-0.015	0.058/-0.013	最小	ns
Tmpw_norm	CLKA/CLKB MPW（NW/TW）	1.328	1.643	最小	ns
Tmpw_rbw	CLKA/CLKB MPW（RBW）	1.772	2.350	最小	ns

类别	交流特性参数描述	数值		属性	单位
		-5	-6		
Tmpw_fifo	CLKA/CLKB MPW（FIFO）	2.018	1.766	最小	ns

注：表中参数值只适用 PGL22G、PGL25G，Logos 系列其他器件参数请参考 PDS 时序报告。

4.2 APM 交流特性参数

表 4-8 APM 模块交流特性

交流特性参数描述	Pre-adder	Multiplier	Post-adder	数值		单位
				-5	-6	
数据/控制 Pin 到输入 register clk 的 setup 和 hold 时间						
Z -> preadd unit register CLK setup/hold	Yes	NA	NA	3.034/-0.819	2.638/-0.712	ns
X -> preadd unit register CLK setup/hold	Yes	NA	NA	2.995/-0.605	2.604/-0.526	ns
Z-> input unit register CLK setup/hold	NA	NA	NA	0.978/-0.101	0.850/-0.088	ns
X-> input unit register CLK setup/hold	NA	NA	NA	1.002/-1.139	0.871/-0.99	ns
Y-> input unit register CLK setup/hold	NA	NA	NA	1.007/-0.099	0.876/-0.086	ns
MODEX-> preadd unit register CLK setup/hold	Yes	NA	NA	1.635/-0.423	1.422/-0.368	ns
数据 Pin 到 pipeline register clk 的 setup 和 hold 时间						
Y-> Multiplier unit register CLK setup/hold	NA	Yes	No	2.198/-0.438	1.911/-0.381	ns
X-> Multiplier unit register CLK setup/hold	Yes	Yes	No	2.777/-0.682	2.415 / -0.593	ns
X-> Multiplier unit register CLK setup/hold	No	Yes	No	2.213/-0.509	1.924 / -0.443	ns
Z-> Multiplier unit register CLK setup/hold	Yes	Yes	No	2.819/-0.759	2.451/-0.660	ns
数据/控制 Pin 到输出 register clk 的 setup 和 hold 时间						
Y-> postadd unit register CLK setup/hold	NA	Yes	Yes	2.997/-0.783	2.606/-0.681	ns
X-> postadd unit register CLK setup/hold	NO	Yes	Yes	3.039/-0.806	2.643/-0.701	ns
X-> postadd unit register CLK setup/hold	Yes	Yes	Yes	3.598/-0.966	3.129/-0.840	ns
Z-> postadd unit register CLK setup/hold	Yes	Yes	Yes	3.640/-1.071	3.165/-0.931	ns
Z-> postadd unit register CLK setup/hold	NA	NA	Yes	3.120/-0.477	2.713/-0.415	ns
CPI -> postadd unit register CLK setup/hold	NA	NA	Yes	2.530/-0.260	2.200/-0.226	ns
从各级 register clk 到 APM 输出 Pin 时间						
postadd unit register CLK ->P output	NA	NA	NA	1.114	0.884	ns
Multiplier unit register CLK -> Poutput	NA	NA	Yes	1.110	0.881	ns
pretadd unit register CLK -> DPO output	Yes	Yes	Yes	3.224	2.559	ns
Z input unit register CLK -> DPO output	No	No	Yes	2.177	1.728	ns
从数据/控制 Pin 到 APM 输出 Pin 组合逻辑延时						
Y-> Poutput	NA	Yes	NO	3.117	2.474	ns
Y->P output	NA	Yes	Yes	3.866	3.068	ns
X ->P output	No	Yes	No	2.638	2.094	ns
X ->P output	Yes	Yes	NO	3.117	2.474	ns

交流特性参数描述	Pre-adder	Multiplier	Post-adder	数值		单位
				-5	-6	
X -> Poutput	Yes	Yes	Yes	3.866	3.068	ns
Z -> P output	Yes	Yes	Yes	3.866	3.068	ns
CPI -> P output	NA	NA	Yes	2.655	2.107	ns

注：表中参数值只适用 PGL22G、PGL25G，Logos 系列其他器件参数请参考 PDS 时序报告。

PLL 交流特性参数

表 4-9 PLL 交流特性

参数	描述	最小值	典型值	最大值	单位
F_{in}	PLL 输入参考频率	5		625	MHz
t_{RST_PLL}	PLL 初始化高电平复位信号宽度	0.3			MS
Fpfd	PFD 输入频率	5		320	MHz
Fsw	输入时钟自动切换功能支持时，PLL 输入参考时钟支持的频率			320	MHz
F_{out}	PLL 输出时钟频率	1.172		625	MHz
F_{vco}	VCO 工作范围	600		1250	MHz
t_{fpa}	精调相位误差 (CLKOUT1 所有设置)	-50	0	50	ps
t_{OPW}	输出时钟宽度（高或低）	0.8			ns
t_{OPJIT}	输出时钟 period jitter f_{OUT}>= 100MHz)			300	ps p-p
	输出时钟 period jitter (f_{OUT}< 100MHz)			0.03	UIPP
t_{OPJIT_cyc}	输出时钟 cycle-to-cycle jitter (f_{OUT}>=100MHz)			300	ps p-p
	输出时钟 cycle-to-cycle jitter (f_{OUT}< 100MHz)			0.03	UIPP
t_{LOCK}	Lock time(5 – 320 MHz)			200	us
输入时钟要求					
t_{IPJIT_cyc}	输入时钟 cycle-to-cycle jitter (f_{PFD}>=100MHz)			0.15	UIPP
	输入时钟 cycle-to-cycle jitter (f_{PFD}<100MHz)			750	ps p-p
IN DUTY CYCLE	输入时钟占空比	40%		60%	-
OUT DUTY CYCLE	输出时钟占空比(CLKOUT1, at 50% 设置)	45%	50%	55%	-

4.3 DQS 交流特性参数

DQS 相位调整的单步相位偏移值如下表：

表 4-10 DQS 交流特性

类别	速度等级	交流特性参数描述			单位
		最小值	典型值	最大值	
DQS	-6	15	25	34	ps

4.4 全局时钟网络交流特性参数

表 4-11 全局时钟网络交流特性

名称	描述	最大频率		最大 SKEW	
		-5	-6	-5	-6
GLOBAL CLK	全局时钟网络	340MHZ	400MHZ	235PS	200PS

4.5 区域时钟网络交流特性参数

表 4-12 区域时钟网络交流特性

名称	描述	最大频率		最大 SKEW	
		-5	-6	-5	-6
REGIONAL CLK	区域时钟网络	340MHZ	400MHZ	235PS	200PS

4.6 IO 时钟网络交流特性参数

表 4-13 IO 时钟网络交流特性

名称	描述	最大频率		最大 SKEW	
		-5	-6	-5	-6
IO CLK	IO 时钟网络	400MHZ	470MHZ	71PS	60PS

4.7 配置和编程交流特性参数

4.7.1 Power-up Timing 特性

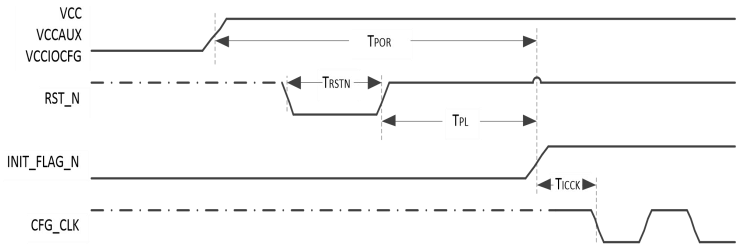


图 4-1 器件 Power-up Timing 特性

表 4-14 Power-up Timing 特性参数

名称	描述	数值	属性	单位
T_{PL}	Program Latency	4.5	最大	ms
T_{POR}	Power-on-Reset	15	最大	ms
T_{ICCK}	CFG_CLK 输出延时	400	最大	ns
T_{RSTN}	RST_N 低脉冲宽度	800	最小	ns

4.7.2 各下载模式交流特性

表 4-15 Logos 系列 FPGA 支持的各下载模式的交流特性

类别	名称	交流特性参数描述	数值	单位	属性
JTAG	F_{TCK}	TCK 频率	15	MHz	最大
	T_{TCKH}	TCK 低脉宽	33	ns	最小
	T_{TCKL}	TCK 高脉宽	33	ns	最小
	T_{TMSSU}/T_{TDISU}	TMS/TDI 建立时间（TCK 上升沿）	4	ns	最小
	T_{TMSH}	TMS 保持时间（TCK 上升沿）	2	ns	最小
	T_{TDIH}	TDI 保持时间（TCK 上升沿）	7	ns	最小
	$T_{TCK2TDO}$	TCK 下降沿到 TDO 输出有效	7	ns	最大
Slave Serial	F_{SSCLK}	CFG_CLK 频率	80	MHz	最大
		CFG_CLK 频率（菊花链）	50	MHZ	最大
	T_{SSCLKL}	CFG_CLK 低脉宽	6.25	ns	最小
	T_{SSCLKH}	CFG_CLK 高脉宽	6.25	ns	最小
	$T_{SSINIT2CLK}$	INIT_FLAG_N 上升沿到 CLK 有效时间	200	us	最小
	T_{SSDSU}	D[1]建立时间（CFG_CLK 上升沿）	2.5	ns	最小
	T_{SSDH}	D[1]保持时间（CFG_CLK 上升沿）	1.5	ns	最小
	T_{SSDSUF}	D[1]建立时间（CFG_CLK 下降沿）	2.5	ns	最小
	T_{SSDHF}	D[1]保持时间（CFG_CLK 下降沿）	1.5	ns	最小
	$T_{SSCLK2DOUT}$	CFG_CLK 下降沿到 DOUT_BUSY 输出有效	2/7.5	ns	最小/最大
Slave Parallel	F_{SPCLK}	CFG_CLK 频率	50	MHz	最大
	T_{SPCLKL}	CFG_CLK 低脉宽	10	ns	最小
	T_{SPCLKH}	CFG_CLK 高脉宽	10	ns	最小
	$T_{SPINIT2CS}$	INIT_FLAG_N 上升沿到 CS_N 拉低时间	200	us	最小
	T_{SPDSU}	D[31:0]建立时间（CFG_CLK 上升沿）	4.5	ns	最小
	T_{SPDH}	D[31:0]保持时间（CFG_CLK 上升沿）	1.5	ns	最小
	T_{SPCRSU}	CS_N/RDWR_N 建立时间（CFG_CLK 上升沿）	3.5	ns	最小
	T_{SPCRH}	CS_N/RDWR_N/保持时间（CFG_CLK 上升沿）	1.5	ns	最小
	$T_{SPCLK2D}$	CFG_CLK 上升沿到 D[31:0]输出有效	9	ns	最大
	$T_{SPCS2BUSY}$	CFG_CLK 上升沿到 BUSY 输出有效	8	ns	最大
	$T_{SPCS2CSO}$	CS_N 到 CSO_N 输出延迟	7	ns	最大
Slave SPI	$F_{SSPICLK}$	CFG_CLK 频率	100	MHz	最大
	$T_{SSPICLKL}$	CFG_CLK 低脉宽	2.5	ns	最小
	$T_{SSPICLKH}$	CFG_CLK 高脉宽	2.5	ns	最小
	$T_{SSPIINIT2CS}$	INIT_FLAG_N 上升沿到 CS_N 拉低时间	200	us	最小
	$T_{SSPICDSU}$	CS_N/D[3]/D[0]建立时间（CFG_CLK 上升沿）	3	ns	最小
	$T_{SSPICDH}$	CS_N/D[3]/D[0]保持时间（CFG_CLK 上升沿）	1	ns	最小
	$T_{SSPICLK2D}$	CFG_CLK 下降沿到 d[1]输出有效	8	ns	最大
	$T_{SSPICLK2DO}$	CFG_CLK 下降沿到 daisy_o 输出有效	8	ns	最大
	F_{MCLK}	CFG_CLK 频率	50	MHz	最大

类别	名称	交流特性参数描述	数值	单位	属性
Master SPI	T_{MCLKD}	CFG_CLK 占空比	45%/55%		最小/最大
	$F_{MCLKTOL}$	CFG_CLK 频率偏差	20%		最大
	T_{MDSU}	D[7:0]建立时间（CFG_CLK 上升沿）	8	ns	最小
	T_{MDH}	D[7:0]保持时间（CFG_CLK 上升沿）	0	ns	最小
	T_{MDSUF}	D[7:0]建立时间（CFG_CLK 下降沿）	8	ns	最小
	T_{MDHF}	D[7:0]保持时间（CFG_CLK 下降沿）	0	ns	最小
	T_{MCLK2D}	CFG_CLK 下降沿到 d[0]/d[4]输出有效	2	ns	最大
	$T_{MCLK2CS}$	CFG_CLK 下降沿到 fcs_n/fcs2_n 输出有效	2	ns	最大
	$T_{MCLK2DOUT}$	CFG_CLK 下降沿到 daisy_o 输出有效	1	ns	最大
Master BPI	F_{MBCLK}	CFG_CLK 频率(异步低速)	10	MHz	最大
		CFG_CLK 频率(异步高速)	33	MHz	最大
		CFG_CLK 频率同步低速)	25	MHz	最大
		CFG_CLK 频率(同步高速)	50	MHz	最大
	T_{MBCLKD}	CFG_CLK 占空比	45%/55%		最小/最大
	$F_{MBCLKTOL}$	CFG_CLK 频率偏差	20%		最大
	T_{MBDSU}	d[15:0]建立时间（CFG_CLK 上升沿）	8	ns	最小
	T_{MBDH}	d[15:0]保持时间（CFG_CLK 上升沿）	0	ns	最小
	T_{MBDSUF}	d[15:0]建立时间（CFG_CLK 下降沿）	8	ns	最小
	T_{MBDHF}	d[15:0]保持时间（CFG_CLK 下降沿）	0	ns	最小
	$T_{MBCLK2D}$	CFG_CLK 下降沿到 d[31:0]/adr[31:16]输出有效	3	ns	最大
	$T_{MBCLK2F}$	CFG_CLK 下降沿到 fce_n/fwe_n/foe_n/adv_n 输出有效	2	ns	最大
	$T_{MBCLK2DO}$	CFG_CLK 下降沿到 daisy_o 输出有效	1	ns	最大
内部并行从模式	F_{IPCLK}	ipal_clk 频率	100	MHz	最大
	T_{IPCLKL}	IPAL_CLK 低脉宽	2.5	ns	最小
	T_{IPCLKH}	IPAL_CLK 高脉宽	2.5	ns	最小
	T_{IPDSU}	IPAL_CS_N/IPAL_RDWR_N/IPAL_DIN[31:0] 建立时间（IPAL_CLK 上升沿）	2	ns	最小
	T_{IPDH}	IPAL_CS_N/IPAL_RDWR_N/IPAL_DIN[31:0] 保持时间（IPAL_CLK 上升沿）	1	ns	最小
	$T_{IPCLK2D}$	IPAL_CLK 上升沿到 IPAL_DOUT[31:0]/IPAL_BUSY 输出有效	4	ns	最大
	$T_{IPCLK2V}$	IPAL_CLK 上升沿到 RBCRC_VALID/SEU_VALID 输出有效	2	ns	最大
主内部 SPI 模式	F_{IMCLK}	CFG_I_FCLK 频率	70	MHz	最大
	T_{IMCLKD}	CFG_I_FCLK 占空比	45%/55%		最小/最大
	$F_{IMCLKTOL}$	CFG_I_FCLK 频率偏差	20%		最大
	T_{IMDSU}	i_d[3:0]建立时间（CFG_I_FCLK 上升沿）	6	ns	最小
	T_{IMDH}	i_d[3:0]保持时间（CFG_I_FCLK 上升沿）	0	ns	最小
	T_{IMDSUF}	i_d[3:0]建立时间（CFG_I_FCLK 下降沿）	6	ns	最小
	T_{IMDHF}	i_d[3:0]保持时间（CFG_I_FCLK 下降沿）	0	ns	最小

类别	名称	交流特性参数描述	数值	单位	属性
	$T_{IMCLK2D}$	CFG_I_FCLK 下降沿到 i_d[0]输出有效	1	ns	最大
	$T_{IMCLK2CS}$	CFG_I_FCLK 下降沿到 i_fcs_n 输出有效	1	ns	最大

5 性能参数

本章列举实现 Logos 系列 FPGA 常见应用的 performance 特性。

5.1 LVDS 性能参数

表 5-1 LVDS 性能

描述	IO 资源	最大速率		单位
		-5	-6	
DDR LVDS Transmitter	OSERDES(DATA _WIDTH =4,7TO 8)	680	800	Mbps
DDR LVDS Receiver	ISERDES(DATA _WIDTH =4,7 TO 8)	680	800	Mbps

5.2 MIPI 性能参数

表 5-2 MIPI 性能

描述	最大速率		单位
	-5	-6	
MIPI Receiver	680	800	Mbps
MIPI Transmitter	680	800	Mbps

5.3 存储接口性能参数

表 5-3 存储接口性能

名称	描述	硬核最大速率		软核最大速率		单位
		-5	-6	-5	-6	
DDR3	DDR3 接口	667	800	667	800	Mbps
DDR2	DDR2 接口	--	667	--	--	Mbps
DDR	DDR 接口	--	533	--	--	Mbps
LPDDR	LPDDR 接口	--	300	--	--	Mbps

5.4 DRM 性能参数

表 5-4 DRM 性能

类别	模式描述	最高性能 (MHz)	
		-5	-6
$F_{max_DRM9K_NW}$	DRM(NW 模式&读寄存器使能）@ 9K 存储器模式	255	300
$F_{max_DRM9K_TW}$	DRM(TW 模式&读寄存器使能）@ 9K 存储器模式	255	300
$F_{max_DRM9K_RBW}$	DRM(RBW 模式&读寄存器使能）@ 9K 存储器模式	170	200
$F_{max_DRM18K_NW}$	DRM(NW 模式&读寄存器使能）@ 18K 存储器模式	255	300
$F_{max_DRM18K_TW}$	DRM(TW 模式&读寄存器使能）@ 18K 存储器模式	255	300
$F_{max_DRM18K_RBW}$	DRM(RBW 模式&读寄存器使能）@ 18K 存储器模式	170	200
$F_{max_DRM_AFIFO}$	DRM(异步 FIFO 模式&读寄存器使能）	233	275
$F_{max_DRM_SFIFO}$	DRM(同步 FIFO 模式&读寄存器使能）	233	275

5.5 APM 性能参数

表 5-5 APM 性能

条件	最高性能（MHz）	
	-5	-6
All registers used（使用 APM 每一级的寄存器）	300	400
Only use INREG and PREG（只使用 APM 的输入输出寄存器）	170	200
No regiesrer used （不使用寄存器）	85	100

6 ADC 特性参数

本章主要介绍 Logos 系列 FPGA 的 ADC 硬核的特性参数，如表 6-1 所示。

表 6-1 ADC 硬核特性

参数	描述	最小值	典型值	最大值	单位
VCCAUX_A	模拟供电电压	2.97	3.3	3.63	V
VCC	数字供电电压	0.99	1.1	1.21	V
IVCCAUXA	模拟供电电流		1.5		mA
Resolution	分辨率		10		bit
Sample Rate	1M 模式：		1		MSPS
	默认扫描模式；			0.015	MSPS
Channel	通道			12	
Voltage Reference	参考电压（内部或外部）		2.5		V
Offset Error	失调误差(Bipolar)		±4		LSB
Gain Error	增益误差（外部参考电压）		±0. 3		%FS
DNL	Differential Nonlinear（FS>=1V 时）		±1		LSB
INL	Integeral Nonlinear		±3		LSB
SNR	Signal to Noise Ratio（bipolar 全差分模式）	52			dB
Temperature Measurement	温度检测		-40~85℃：±4； 85~105℃:±6； 105~125℃：±8；		℃

注：ADC 的 1.1V 数字电源消耗较少电流

7 高速串行收发器（HSST）特性

本章主要介绍 Logos 系列 FPGA 的 HSST 硬核的特性，主要包括绝对极限额定电压/电流、推荐工作条件、AC/DC 特性以及支持典型协议工作模式下的特性。

7.1 HSST 硬核绝对极限电压

表 7-1 HSST 绝对极限电压

名称	最小值	最大值	单位	说明
VCCA_LANE	–0.16	1.32	V	HSST 模拟电源 1.2V 电压
VCCA_PLL_0	–0.16	1.32	V	HSST PLL 模拟电源 1.2V 电压
VCCA_PLL_1	–0.16	1.32	V	HSST PLL 模拟电源 1.2V 电压

注：超过上述极限额定值可能导致器件永久性损坏。

7.2 HSST 硬核推荐工作条件

下表列出 Logos 系列 FPGA 的 HSST 硬核推荐工作电压。

表 7-2 HSST 硬核推荐工作条件

名称	最小值	典型值	最大值	单位	说明
电压值					
VCCA_LANE	1.14	1.2	1.26	V	HSST 模拟电源 1.2V 电压
VCCA_PLL_0	1.14	1.2	1.26	V	HSST PLL 模拟电源 1.2V 电压
VCCA_PLL_0	1.14	1.2	1.26	V	HSST PLL 模拟电源 1.2V 电压

7.3 HSST 硬核 DC 直流特性参数

表 7-3 HSST 硬核 DC 直流特性

名称	最小	典型	最大	单位	条件	说明
输入和输出信号 DC 直流特性						
HSST_V_{DINPP}	300	-	1000	mV	外部 AC 交流耦合	差分输入峰峰电压
HSST_V_{DIN}	0	-	VCCA_LANE	mV	直流耦合，VCCA_LANE =1.2V	输入绝对电压值
HSST_V_{INCM}	-	2/3 VCCA_LANE	-	mV	直流耦合，VCCA_LANE =1.2V	共模输入电压值
HSST_V_{DOUTPP}	800	-	-	mV	摆幅设置最大	差分输出峰峰电压
HSST_$V_{OUTCMDC}$	VCCA_LANE–HSST_V_{DOUTPP} /4			mV	DC 共模输出电压，是发送端悬空的情况	
HSST_R_{DIN}	-	100	-	Ω	差分输入阻值	
HSST_R_{DOUT}	-	100	-	Ω	差分输出阻值	
HSST_TX_{SKEW}	-	-	14	ps	Tx 输出的 P 端和 N 端 skew	
HSST_C_{DEXT}	-	100	-	nF	推荐外部 AC 交流耦合电容值	
参考时钟输入 DC 直流特性						
HSST_V_{RCLKPP}	400	-	1000	mV	差分输入峰峰电压	
HSST_R_{RCLK}	-	100	-	Ω	差分输入阻值	
HSST_$C_{RCLKEXT}$	-	100	-	nF	推荐外部 AC 交流耦合电容值	

7.4 高速串行收发器 HSST 的 AC 交流特性

HSST 硬核的的 AC 交流特性如表 7-4 至表 7-9 所示。

表 7-4 HSST 硬核性能参数

名称	等级	单位	说明
	-6		
HSST_Fmax	6.375	Gbps	HSST 最大的数据速率
HSST_Fmin	0.6	Gbps	HSST 最小的数据速率
HSST_Fpllmax	3.1875	GHz	HSST PLL 的最大频率
HSST_Fpllmin	1	GHz	HSST PLL 的最小频率

HSST 参考时钟开关特性如下表所示。

表 7-5 HSST 硬核参考时钟开关特性

名称	数值			单位	条件	说明
	最小	典型值	最大			
HSST_FREFCLK	60	-	625	MHz	参考时钟频率范围	
HSST_TRCLK	-	200	-	ps	20%-80%	参考时钟上升时间
HSST_TFCLK	-	200	-	ps	80%-20%	参考时钟下降时间
HSST_TRATIO	45	50	55	%	PLL	参考时钟占空比

表 7-6 HSST 硬核 PLL/Lock 锁定时间特性

名称	数值			单位	条件	说明
	最小	典型值	最大			
HSST_TPLLLOCK	-	-	1.5	ms	从复位释放到锁定	PLL 锁定时间
HSST_TCDRLOCK	-	60,000	2,500,000	UI	从 PLL 锁定参考时钟且有数据输入到锁定数据	CDR 锁定时间

HSST 硬核用户时钟开关特性如下表所示

表 7-7 HSST 硬核用户时钟开关特性

名称	频率		单位	说明
数据接口时钟开关特性				
HSST_FT2C	160	MHz	P_CLK2CORE_TX 的最大频率	
HSST_FR2C	160	MHz	P_CLK2CORE_RX 的最大频率	
HSST_FTFC	160	MHz	P_TX_CLK_FR_CORE 的最大频率	
HSST_FRFC	160	MHz	P_RX_CLK_FR_CORE 的最大频率	
APB 动态配置接口时钟开关特性				
HSST_FAPB	100	MHz	APB CLK 最大频率	

HSST 硬核 Transmitter 发送侧开关特性如下表所示。

表 7-8 HSST 硬核 Transmitter 发送侧开关特性

名称	最小	典型	最大	单位	条件	说明
HSST_T_{TXR}	-	100	-	ps	20%-80%	TX 上升时间
HSST_T_{TXF}	-	100	-	ps	80%-20%	TX 下降时间
HSST_T_{CHSKEW}	-	-	500	ps	-	TX 通道间 skew
HSST_$V_{TXIDLEAMP}$	-	-	30	mV	-	Electrical idle 幅值
HSST_$V_{TXIDLETIME}$	-	-	150	ns	-	Electrical idle 过渡时间
HSST_$TJ_{0.6G}$	-	-	0.1	UI	0.6Gbps	Total Jitter
HSST_$DJ_{0.6G}$	-	-	0.05	UI		Deterministic Jitter
HSST_$TJ_{1.25G}$	-	-	0.15	UI	1.25Gbps	Total Jitter
HSST_$DJ_{1.25G}$	-	-	0.07	UI		Deterministic Jitter
HSST_$TJ_{2.5G}$	-	-	0.3	UI	2.5Gbps	Total Jitter
HSST_$DJ_{2.5G}$	-	-	0.15	UI		Deterministic Jitter
HSST_$TJ_{3.125G}$	-	-	0.3	UI	3.125Gbps	Total Jitter
HSST_$DJ_{3.125G}$	-	-	0.15	UI		Deterministic Jitter
HSST_$TJ_{5.0G}$	-	-	0.35	UI	5.0Gbps	Total Jitter
HSST_$DJ_{5.0G}$	-	-	0.17	UI		Deterministic Jitter
HSST_$TJ_{6.375G}$	-	-	0.4	UI	6.375Gbps	Total Jitter
HSST_$DJ_{6.375G}$	-	-	0.15	UI		Deterministic Jitter

HSST 硬核 Receiver 接收侧开关特性如下表所示。

表 7-9 HSST 硬核 Receiver 接收侧开关特性

名称	最小	典型	最大	单位	说明
HSST_$T_{RXIDLETIME}$	-		255	T_{REFCLK}	RXELECIDLE 状态到 LOS 信号响应的时间
HSST_$RX_{VPPSIGDET}$	50	-	300	mV	差分输入信号检测门限峰峰值
HSST_RX_{TRACK}	-5000	-	0	ppm	接收端扩频跟随，调制频率 33kHz
HSST_RX_{LENGTH}	-	-	150	UI	支持 RX 连续长 0 或长 1 的长度
HSST_$RX_{TOLERANCE}$	-1500	-	1500	ppm	数据/参考时钟的频偏容限
正弦抖动容限					
HSST_SJ_1.25	0.42	-	-	UI	正弦抖动(1)，1.25Gbps
HSST_SJ_2.5	0.42	-	-	UI	正弦抖动(1)，2.5Gbps
HSST_SJ_3.125	0.4	-	-	UI	正弦抖动(1)，3.125Gbps
HSST_SJ_5.0	0.4	-	-	UI	正弦抖动(1)，5.0Gbps
HSST_SJ_6.375	0.3	-	-	UI	正弦抖动(1)，6.375Gbps

注：1.注入的正弦抖动的频率为 80MHz

8 PCIe 硬核特性

表 8-1 PCIe 性能参数

名称	数值	单位	说明
Fpclk	250	MHz	PCIe 内核最大时钟频率
Fpclk_div2	125	MHz	用户接口最大时钟频率

注：对于 PCIe 应用，PCIe 接收端差分输入峰峰电压需满足 HSST_V_{DINPP} 值范围。

9 使用操作规程及注意事项

器件必须采取防静电措施进行操作。取用芯片时应佩戴防静电手套，防止人体电荷对芯片的静电冲击，损坏芯片。将芯片插入电路板上的底座时以及将芯片从电路板上的底座取出时，应注意施力方向以确保芯片管脚均匀受力。不要因为用力过猛，损坏芯片管脚，导致无法使用。

推荐下列操作措施：

a) 器件应在防静电的工作台上操作，或带指套操作；

b) 试验设备和器具应接地；

c) 不能触摸器件引线；

d) 器件应存放在导电材料制成的容器中；

e) 生产、测试、使用以及转运过程中应避免使用引起静电的塑料、橡胶或丝织物；

f) 相对湿度尽可能保持在 50%±30%以上。

10 运输与储存

建议芯片存储环境是：温度为 20℃—35℃，相对湿度 50%±20%。

使用指定的防潮防静电袋子（MBB）密封，且袋子中置有干燥剂和温度指示卡；在运输过程中，确保芯片不要与外物发生碰撞。

11 开箱与检查

开箱使用芯片时，请注意观察芯片管壳上的产品标识。确定产品标识清晰，无污迹，无擦痕。同时，注意检查芯片管壳及引脚。确定管壳无损坏，无伤痕，管脚整齐，无缺失，无变形。

12 质量保障与售后服务

深圳市紫光同创电子有限公司,系紫光集团下属子公司，专业从事可编程逻辑器件(FPGA、CPLD 等)研发与生产销售，是中国 FPGA 领先厂商，致力于为客户提供完善的、具有自主知识产权的可编程逻辑器件平台和系统解决方案，是紫光集团“芯云战略”中“芯”的重要组成之一。

紫光同创注册资本 3 亿元，是国家高新技术企业，产品市场覆盖通信网络、工业控制、视频监控、消费电子等领域。

紫光同创立足中国大陆，总部设在深圳，拥有上海、北京等分公司，公司人数超过 400 人，研发人员占比超过 85%，拥有专利近 200 项、发明及软著专利占比约 85%。公司汇聚全球专家人才资源，打造 FPGA 优良生态圈环境。

13 联系我们

公司名称：深圳市紫光同创电子有限公司

官网 Web Site：：http://www.pangomicro.com

公司地址：深圳市南山区高新技术产业园高新南一道 15 号

电话 Tel：86-755-66886188

传真 Fax：86-755-86363368

邮编 Zip：518057

电子邮件 Email：market@pangomicro.com

免责声明

版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

免责声明

1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。

2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。