成都华微电子科技股份有限公司
CHENGDU SINO MICROELECTRONICS TECHNOLOGY CO., LTD

CSD7K325T 型 FPGA

产品手册

V1.0.0

成都华微电子科技股份有限公司

2025 年 11 月 16 日

版本历史

版次	更改说明	更改人	更改日期	备注
V1.0.0	初始发行版本	李显军	20260506	

目　次

1 概述 1
2 产品特点 1
3 功能框图 2
4 封装信息 3
5 绝对最大额定值及推荐工作范围 18
6 电特性参数 23
7 功能描述 47
8 应用建议 67
9 差异对比 70
10 包装、贮存和运输要求 105
11 使用注意事项 107
12 订货信息 108

1 概述

CSD7K325T 型 FPGA 属于 SRAM 型 FPGA。逻辑资源包括 6 输入 LUT 的 CLB、高性能用户 IO 模块、单块容量达 36k bits 的 Block RAM、数字信号处理模块 DSP、时钟管理模块 CMT、ADC 模块、PCIe 模块、高速串行接口 SERDES 模块、配置模块和互连资源等

表 1　CSD7K325T 产品资源信息

资源项	CSD7K325T	
	RF676 封装	RF900 封装
等效逻辑单元数	326080	
Slices 数量	50950	
分布式 RAM(Kb)	4000	
DSP 数量	840	
BRAM 数量	890（单个 BRAM 容量 18Kb） 445（单个 BRAM 容量 36Kb）	
BRAM 最大容量(Kb)	16020	
CMT 数量	10	
ADC 数量	1	
PCIE 模块数量	1	1
高速接口 SerDes 信道数量（GTX）	8	16
高性能用户 IO 数量	150	150
宽范围用户 IO 数量	250	350
注 1：FC-RFBGA (Flip Chip Ruggedized Fineline Ball Grid Array 坚固倒装芯片小尺寸球栅阵列)，缩写 RF		

2 产品特点

1)　逻辑实现基于 6 输入查找表（可被配置为分布式 RAM）；

2)　片上数据缓存块 RAM 单块容量为 36Kb、双端口模式，并带有内建 FIFO；

3)　用户 IO 可以支持单端 LVCMOS、LVTTL 等多种电平标准，并支持多种差分电平标准，高性能 IO（HPIO）电压范围支持 1.2V~1.8V、宽范围 IO（HRIO）电压范围支持 1.2V~3.3V；

4)　高性能用户 IO 接口支持 DDR3，最高速率可达 1600Mb/s；

5)　DSP 模块包含 25×18 乘法器、48 位累加器和预加器，可用于高性能滤波算法，如最佳对称系数滤波；

6)　高精度低抖动时钟管理单元（CMT），包括锁相环（PLL）和混合模式时钟管理（MMCM），时钟管理模块最高输入频率可达 800 MHz；

7) 全局时钟树频率最高可达 625MHz；

8) 高速串行接口 SerDes 模块，线速率从 500Mb/s 到最高 12.5Gb/s；

9) 集成 PCIe 硬核，支持 Gen2 x8；

10) 集成用于片上温度和电压传感器监控的 12 位 1MSPS ADC；

11) 支持多种配置模式，包含支持通用存储器接口和 256 位 AES 加密。

3 功能框图

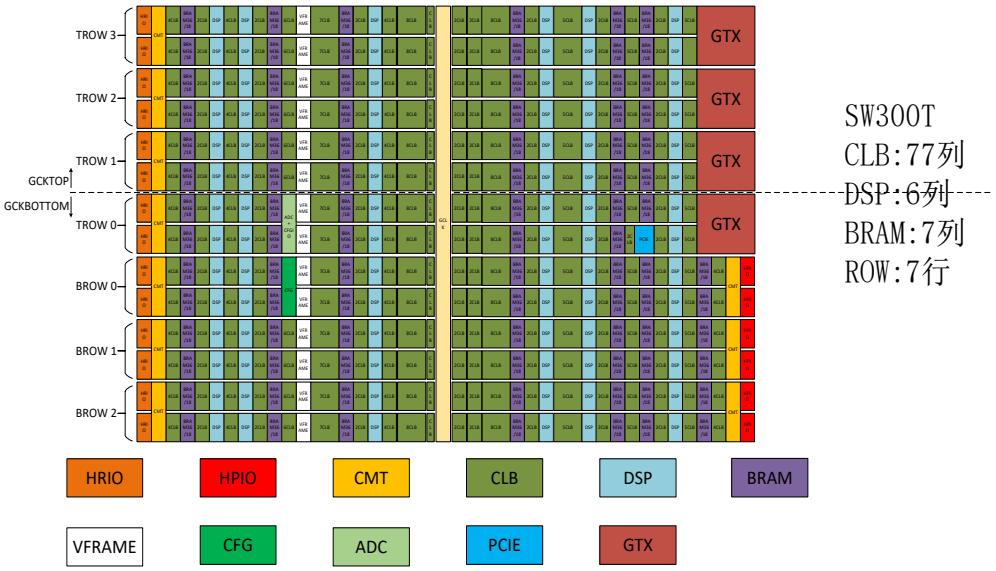


图 1　功能框图

CSD7K325T 典型应用场景如下图 2 所示。

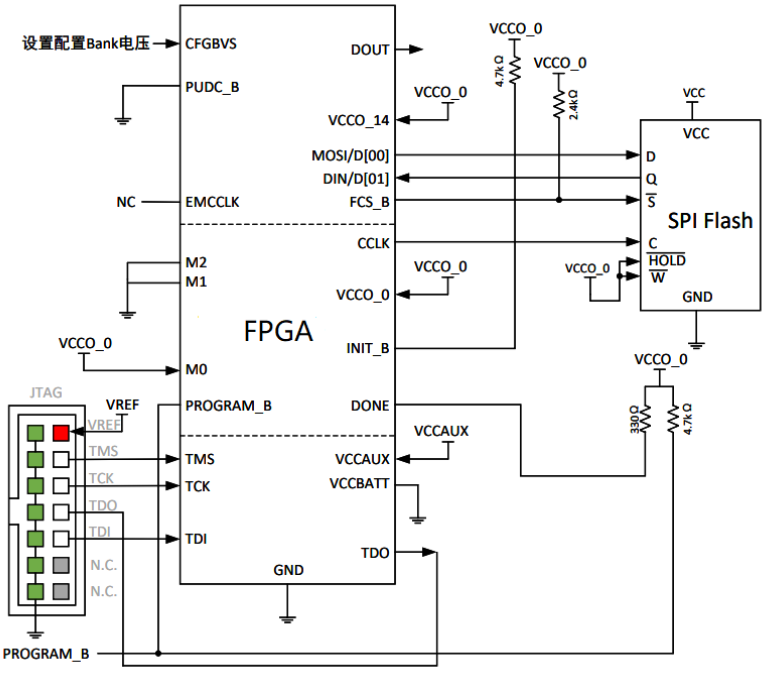


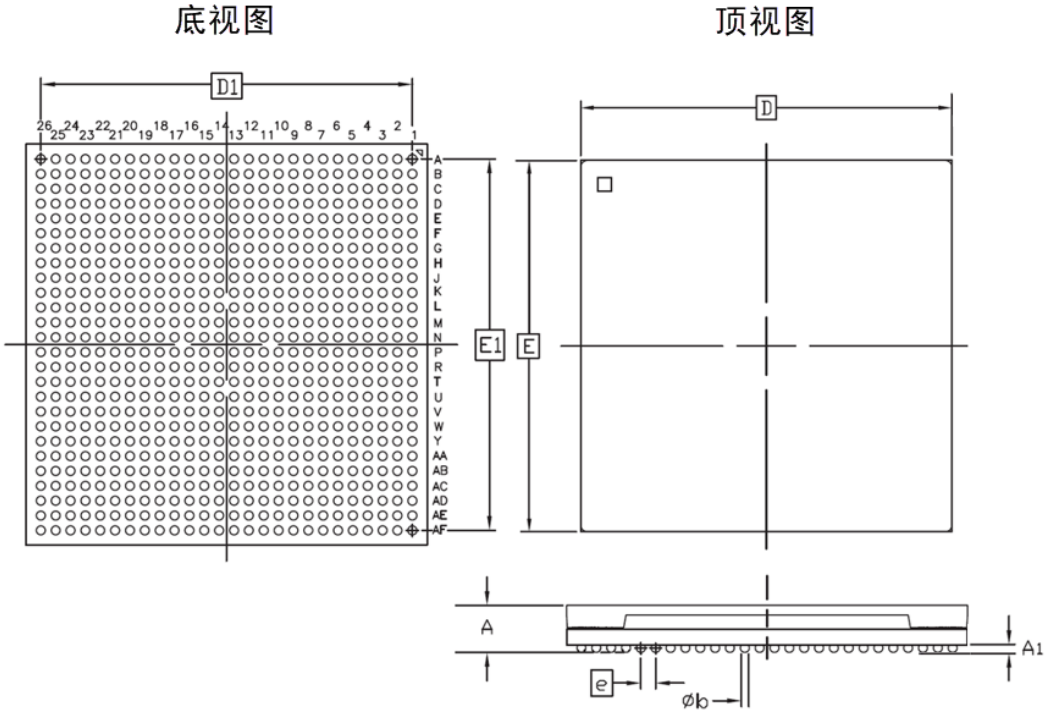
图 2　典型应用场景（SPI X1/X2 配置接口）

4 封装信息

4.1 CSD7K325T 封装信息

CSD7K325T 采用塑料 RF676 和塑料 RF900 两种封装形式。

RF676 外形及引脚排列图如下图 3 所示。



单位为毫米

尺寸符号	数值		
	最小	公称	最大
D	26.80	—	27.20
E	26.80	—	27.20
D1	—	25.00	—
E1	—	25.00	—
e	—	1.00	—
Φb	0.50	—	0.70
A1	0.40	—	0.60
A	—	—	3.45

图 3　RF676 封装外形图及引脚排列图

RF676 的封装引脚信息如下表 2 所示

表 2　RF676 封装引脚信息

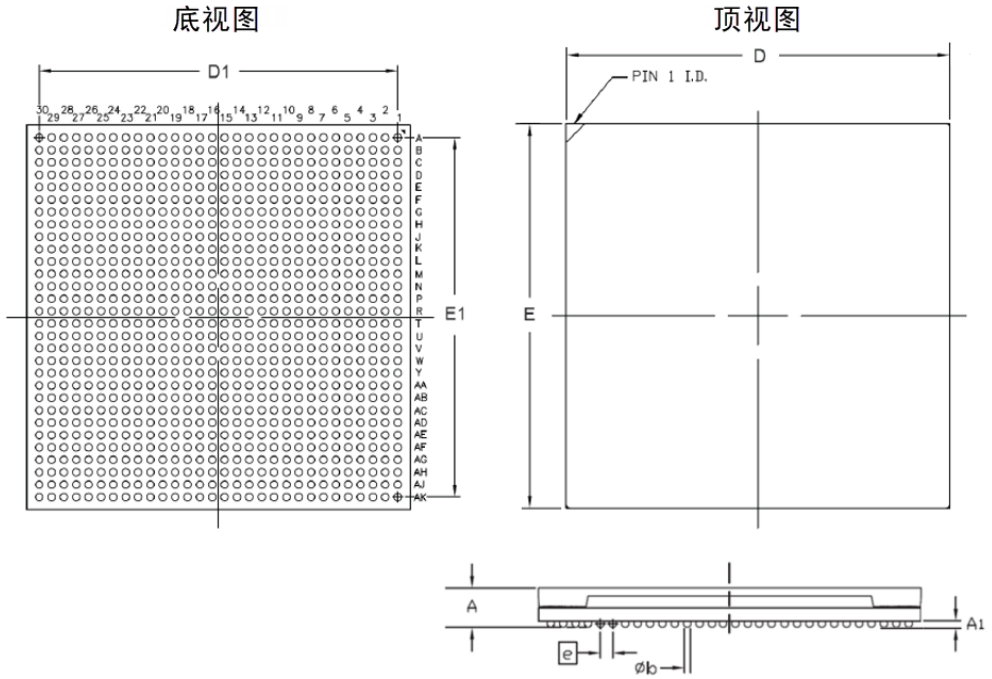
管脚	管脚名	管脚	管脚名	管脚	管脚名
R11	DXN_0	J13	IO_L3P_T0_DQS_16	C3	MGTXRXN2_116
M12	VCCADC_0	H13	IO_L3N_T0_DQS_16	D5	MGTREFCLK0N_116
M11	GNDADC_0	J11	IO_L4P_T0_16	F5	MGTREFCLK1N_116
R12	DXP_0	J10	IO_L4N_T0_16	F6	MGTREFCLK1P_116
N11	VREFN_0	H14	IO_L5P_T0_16	D2	MGTXTXP1_116
P12	VREFP_0	G14	IO_L5N_T0_16	E4	MGTXRXP1_116
N12	VP_0	H12	IO_L6P_T0_16	D1	MGTXTXN1_116
P11	VN_0	H11	IO_L6N_T0_VREF_16	E3	MGTXRXN1_116
E8	VCCBATT_0	F9	IO_L7P_T1_16	F2	MGTXTXP0_116
C8	CCLK_0	F8	IO_L7N_T1_16	G4	MGTXRXP0_116
L8	TCK_0	D9	IO_L8P_T1_16	F1	MGTXTXN0_116
N8	TMS_0	D8	IO_L8N_T1_16	G3	MGTXRXN0_116
R7	TDO_0	A9	IO_L9P_T1_DQS_16	N13	VCCBRAM
R6	TDI_0	A8	IO_L9N_T1_DQS_16	R13	VCCBRAM
G7	INIT_B_0	C9	IO_L10P_T1_16	T12	VCCBRAM
P6	PROGRAM_B_0	B9	IO_L10N_T1_16	U13	VCCBRAM
P7	CFGBVS_0	G11	IO_L11P_T1_SRCC_16	C6	MGTAVCC
J7	DONE_0	F10	IO_L11N_T1_SRCC_16	E6	MGTAVCC
P5	M2_0	E10	IO_L12P_T1_MRCC_16	G6	MGTAVCC
T5	M0_0	D10	IO_L12N_T1_MRCC_16	J6	MGTAVCC
T2	M1_0	C12	IO_L13P_T2_MRCC_16	L6	MGTAVCC
U21	IO_0_12	C11	IO_L13N_T2_MRCC_16	B3	MGTAVTT
U22	IO_L1P_T0_12	E11	IO_L14P_T2_SRCC_16	C2	MGTAVTT
V22	IO_L1N_T0_12	D11	IO_L14N_T2_SRCC_16	D3	MGTAVTT
U24	IO_L2P_T0_12	F14	IO_L15P_T2_DQS_16	G2	MGTAVTT
U25	IO_L2N_T0_12	F13	IO_L15N_T2_DQS_16	H3	MGTAVTT
V23	IO_L3P_T0_DQS_12	G12	IO_L16P_T2_16	L2	MGTAVTT
V24	IO_L3N_T0_DQS_12	F12	IO_L16N_T2_16	M3	MGTAVTT
U26	IO_L4P_T0_12	D14	IO_L17P_T2_16	N6	MGTVCCAUX
V26	IO_L4N_T0_12	D13	IO_L17N_T2_16	A1	GND
W25	IO_L5P_T0_12	E13	IO_L18P_T2_16	A2	GND
W26	IO_L5N_T0_12	E12	IO_L18N_T2_16	A5	GND
V21	IO_L6P_T0_12	C14	IO_L19P_T3_16	A6	GND
W21	IO_L6N_T0_VREF_12	C13	IO_L19N_T3_VREF_16	A7	GND
AA25	IO_L7P_T1_12	B12	IO_L20P_T3_16	A16	GND
AB25	IO_L7N_T1_12	B11	IO_L20N_T3_16	A26	GND
W23	IO_L8P_T1_12	B14	IO_L21P_T3_DQS_16	AA6	GND
W24	IO_L8N_T1_12	A14	IO_L21N_T3_DQS_16	AA16	GND
AB26	IO_L9P_T1_DQS_12	B10	IO_L22P_T3_16	AA26	GND
AC26	IO_L9N_T1_DQS_12	A10	IO_L22N_T3_16	AB3	GND
Y25	IO_L10P_T1_12	B15	IO_L23P_T3_16	AB13	GND
Y26	IO_L10N_T1_12	A15	IO_L23N_T3_16	AB23	GND
AA23	IO_L11P_T1_SRCC_12	A13	IO_L24P_T3_16	AC10	GND
AB24	IO_L11N_T1_SRCC_12	A12	IO_L24N_T3_16	AC20	GND
Y23	IO_L12P_T1_MRCC_12	J14	IO_25_16	AD7	GND
AA24	IO_L12N_T1_MRCC_12	V13	IO_0_VRN_32	AD17	GND
Y22	IO_L13P_T2_MRCC_12	AE17	IO_L1P_T0_32	AE4	GND
AA22	IO_L13N_T2_MRCC_12	AF17	IO_L1N_T0_32	AE14	GND
AC23	IO_L14P_T2_SRCC_12	AF14	IO_L2P_T0_32	AE24	GND
AC24	IO_L14N_T2_SRCC_12	AF15	IO_L2N_T0_32	AF1	GND
W20	IO_L15P_T2_DQS_12	AE18	IO_L3P_T0_DQS_32	AF11	GND
Y21	IO_L15N_T2_DQS_12	AF18	IO_L3N_T0_DQS_32	AF21	GND
AD23	IO_L16P_T2_12	AD15	IO_L4P_T0_32	B4	GND
AD24	IO_L16N_T2_12	AE15	IO_L4N_T0_32	B7	GND
AB22	IO_L17P_T2_12	AF19	IO_L5P_T0_32	B13	GND
AC22	IO_L17N_T2_12	AF20	IO_L5N_T0_32	B23	GND
AB21	IO_L18P_T2_12	AD16	IO_L6P_T0_32	C1	GND
AC21	IO_L18N_T2_12	AE16	IO_L6N_T0_VREF_32	C5	GND
AD21	IO_L19P_T3_12	AA14	IO_L7P_T1_32	C7	GND

管脚	管脚名	管脚	管脚名	管脚	管脚名
AE21	IO_L19N_T3_VREF_12	AA15	IO_L7N_T1_32	C10	GND
AF24	IO_L20P_T3_12	AC14	IO_L8P_T1_32	C20	GND
AF25	IO_L20N_T3_12	AD14	IO_L8N_T1_32	D4	GND
AD26	IO_L21P_T3_DQS_12	Y15	IO_L9P_T1_DQS_32	D7	GND
AE26	IO_L21N_T3_DQS_12	Y16	IO_L9N_T1_DQS_32	D17	GND
AE23	IO_L22P_T3_12	AB14	IO_L10P_T1_32	E1	GND
AF23	IO_L22N_T3_12	AB15	IO_L10N_T1_32	E2	GND
AD25	IO_L23P_T3_12	AA17	IO_L11P_T1_SRCC_32	E5	GND
AE25	IO_L23N_T3_12	AA18	IO_L11N_T1_SRCC_32	E7	GND
AE22	IO_L24P_T3_12	AB16	IO_L12P_T1_MRCC_32	E14	GND
AF22	IO_L24N_T3_12	AC16	IO_L12N_T1_MRCC_32	E24	GND
Y20	IO_25_12	AC18	IO_L13P_T2_MRCC_32	F3	GND
N16	IO_0_13	AD18	IO_L13N_T2_MRCC_32	F4	GND
K25	IO_L1P_T0_13	AB17	IO_L14P_T2_SRCC_32	F7	GND
K26	IO_L1N_T0_13	AC17	IO_L14N_T2_SRCC_32	F11	GND
R26	IO_L2P_T0_13	AD20	IO_L15P_T2_DQS_32	F21	GND
P26	IO_L2N_T0_13	AE20	IO_L15N_T2_DQS_32	G1	GND
M25	IO_L3P_T0_DQS_13	AA19	IO_L16P_T2_32	G5	GND
L25	IO_L3N_T0_DQS_13	AA20	IO_L16N_T2_32	G8	GND
P24	IO_L4P_T0_13	AC19	IO_L17P_T2_32	G18	GND
N24	IO_L4N_T0_13	AD19	IO_L17N_T2_32	H4	GND
N26	IO_L5P_T0_13	AB19	IO_L18P_T2_32	H7	GND
M26	IO_L5N_T0_13	AB20	IO_L18N_T2_32	H15	GND
R25	IO_L6P_T0_13	Y17	IO_L19P_T3_32	H25	GND
P25	IO_L6N_T0_VREF_13	Y18	IO_L19N_T3_VREF_32	J1	GND
N19	IO_L7P_T1_13	V16	IO_L20P_T3_32	J2	GND
M20	IO_L7N_T1_13	V17	IO_L20N_T3_32	J5	GND
M24	IO_L8P_T1_13	W18	IO_L21P_T3_DQS_32	J12	GND
L24	IO_L8N_T1_13	W19	IO_L21N_T3_DQS_32	J22	GND
P19	IO_L9P_T1_DQS_13	W15	IO_L22P_T3_32	K3	GND
P20	IO_L9N_T1_DQS_13	W16	IO_L22N_T3_32	K4	GND
M21	IO_L10P_T1_13	V18	IO_L23P_T3_32	K7	GND
M22	IO_L10N_T1_13	V19	IO_L23N_T3_32	K9	GND
P23	IO_L11P_T1_SRCC_13	V14	IO_L24P_T3_32	K11	GND
N23	IO_L11N_T1_SRCC_13	W14	IO_L24N_T3_32	K13	GND
N21	IO_L12P_T1_MRCC_13	W13	IO_25_VRP_32	K19	GND
N22	IO_L12N_T1_MRCC_13	U9	IO_0_VRN_33	L1	GND
R21	IO_L13P_T2_MRCC_13	V11	IO_L1P_T0_33	L5	GND
P21	IO_L13N_T2_MRCC_13	W11	IO_L1N_T0_33	L10	GND
R22	IO_L14P_T2_SRCC_13	V8	IO_L2P_T0_33	L12	GND
R23	IO_L14N_T2_SRCC_13	V7	IO_L2N_T0_33	L14	GND
T24	IO_L15P_T2_DQS_13	W10	IO_L3P_T0_DQS_33	L16	GND
T25	IO_L15N_T2_DQS_13	W9	IO_L3N_T0_DQS_33	L26	GND
T20	IO_L16P_T2_13	Y8	IO_L4P_T0_33	M4	GND
R20	IO_L16N_T2_13	Y7	IO_L4N_T0_33	M7	GND
T22	IO_L17P_T2_13	Y11	IO_L5P_T0_33	M9	GND
T23	IO_L17N_T2_13	Y10	IO_L5N_T0_33	M13	GND
U19	IO_L18P_T2_13	V9	IO_L6P_T0_33	M15	GND
U20	IO_L18N_T2_13	W8	IO_L6N_T0_VREF_33	M23	GND
T18	IO_L19P_T3_13	AE7	IO_L7P_T1_33	N1	GND
T19	IO_L19N_T3_VREF_13	AF7	IO_L7N_T1_33	N2	GND
P16	IO_L20P_T3_13	AA8	IO_L8P_T1_33	N5	GND
N17	IO_L20N_T3_13	AA7	IO_L8N_T1_33	N7	GND
R16	IO_L21P_T3_DQS_13	AC8	IO_L9P_T1_DQS_33	N10	GND
R17	IO_L21N_T3_DQS_13	AD8	IO_L9N_T1_DQS_33	N14	GND
N18	IO_L22P_T3_13	AB7	IO_L10P_T1_33	N20	GND
M19	IO_L22N_T3_13	AC7	IO_L10N_T1_33	P3	GND
U17	IO_L23P_T3_13	AA9	IO_L11P_T1_SRCC_33	P4	GND
T17	IO_L23N_T3_13	AB9	IO_L11N_T1_SRCC_33	P9	GND
R18	IO_L24P_T3_13	AC9	IO_L12P_T1_MRCC_33	P13	GND
P18	IO_L24N_T3_13	AD9	IO_L12N_T1_MRCC_33	P15	GND
U16	IO_25_13	AB11	IO_L13P_T2_MRCC_33	P17	GND
K21	IO_0_14	AC11	IO_L13N_T2_MRCC_33	R1	GND

管脚	管脚名	管脚	管脚名	管脚	管脚名
B24	IO_L1P_T0_D00_MOSI_14	AA10	IO_L14P_T2_SRCC_33	R2	GND
A25	IO_L1N_T0_D01_DIN_14	AB10	IO_L14N_T2_SRCC_33	R5	GND
B22	IO_L2P_T0_D02_14	AB12	IO_L15P_T2_DQS_33	R8	GND
A22	IO_L2N_T0_D03_14	AC12	IO_L15N_T2_DQS_33	R10	GND
B25	IO_L3P_T0_DQS_PUDC_B_14	AA13	IO_L16P_T2_33	R14	GND
B26	IO_L3N_T0_DQS_EMCCLK_14	AA12	IO_L16N_T2_33	R24	GND
A23	IO_L4P_T0_D04_14	AC13	IO_L17P_T2_33	T1	GND
A24	IO_L4N_T0_D05_14	AD13	IO_L17N_T2_33	T3	GND
D26	IO_L5P_T0_D06_14	Y13	IO_L18P_T2_33	T4	GND
C26	IO_L5N_T0_D07_14	Y12	IO_L18N_T2_33	T9	GND
C23	IO_L6P_T0_FCS_B_14	AD11	IO_L19P_T3_33	T11	GND
C24	IO_L6N_T0_D08_VREF_14	AE11	IO_L19N_T3_VREF_33	T13	GND
D21	IO_L7P_T1_D09_14	AD10	IO_L20P_T3_33	T15	GND
C22	IO_L7N_T1_D10_14	AE10	IO_L20N_T3_33	T21	GND
B20	IO_L8P_T1_D11_14	AE12	IO_L21P_T3_DQS_33	U8	GND
A20	IO_L8N_T1_D12_14	AF12	IO_L21N_T3_DQS_33	U10	GND
E21	IO_L9P_T1_DQS_14	AE8	IO_L22P_T3_33	U12	GND
E22	IO_L9N_T1_DQS_D13_14	AF8	IO_L22N_T3_33	U14	GND
C21	IO_L10P_T1_D14_14	AE13	IO_L23P_T3_33	U18	GND
B21	IO_L10N_T1_D15_14	AF13	IO_L23N_T3_33	V5	GND
D23	IO_L11P_T1_SRCC_14	AF10	IO_L24P_T3_33	V15	GND
D24	IO_L11N_T1_SRCC_14	AF9	IO_L24N_T3_33	V25	GND
F22	IO_L12P_T1_MRCC_14	V12	IO_25_VRP_33	W2	GND
E23	IO_L12N_T1_MRCC_14	U4	IO_0_VRN_34	W12	GND
G22	IO_L13P_T2_MRCC_14	U6	IO_L1P_T0_34	W22	GND
F23	IO_L13N_T2_MRCC_14	U5	IO_L1N_T0_34	Y9	GND
G24	IO_L14P_T2_SRCC_14	U2	IO_L2P_T0_34	Y19	GND
F24	IO_L14N_T2_SRCC_14	U1	IO_L2N_T0_34	J9	VCCINT
E25	IO_L15P_T2_DQS_RDWR_B_14	W6	IO_L3P_T0_DQS_34	K8	VCCINT
D25	IO_L15N_T2_DQS_DOUT_CSO_B_14	W5	IO_L3N_T0_DQS_34	K10	VCCINT
G25	IO_L16P_T2_CSI_B_14	V3	IO_L4P_T0_34	K12	VCCINT
G26	IO_L16N_T2_A15_D31_14	W3	IO_L4N_T0_34	K14	VCCINT
F25	IO_L17P_T2_A14_D30_14	U7	IO_L5P_T0_34	L9	VCCINT
E26	IO_L17N_T2_A13_D29_14	V6	IO_L5N_T0_34	L13	VCCINT
J26	IO_L18P_T2_A12_D28_14	V4	IO_L6P_T0_34	L15	VCCINT
H26	IO_L18N_T2_A11_D27_14	W4	IO_L6N_T0_VREF_34	M8	VCCINT
H21	IO_L19P_T3_A10_D26_14	Y3	IO_L7P_T1_34	M14	VCCINT
G21	IO_L19N_T3_A09_D25_VREF_14	Y2	IO_L7N_T1_34	N9	VCCINT
H23	IO_L20P_T3_A08_D24_14	V2	IO_L8P_T1_34	N15	VCCINT
H24	IO_L20N_T3_A07_D23_14	V1	IO_L8N_T1_34	P14	VCCINT
J21	IO_L21P_T3_DQS_14	AB1	IO_L9P_T1_DQS_34	R15	VCCINT
H22	IO_L21N_T3_DQS_A06_D22_14	AC1	IO_L9N_T1_DQS_34	T14	VCCINT
J24	IO_L22P_T3_A05_D21_14	W1	IO_L10P_T1_34	U15	VCCINT
J25	IO_L22N_T3_A04_D20_14	Y1	IO_L10N_T1_34	T10	VCCAUX
L22	IO_L23P_T3_A03_D19_14	AB2	IO_L11P_T1_SRCC_34	U11	VCCAUX
K22	IO_L23N_T3_A02_D18_14	AC2	IO_L11N_T1_SRCC_34	L11	VCCAUX
K23	IO_L24P_T3_A01_D17_14	AA3	IO_L12P_T1_MRCC_34	M10	VCCAUX
J23	IO_L24N_T3_A00_D16_14	AA2	IO_L12N_T1_MRCC_34	P10	VCCAUX
L23	IO_25_14	AA4	IO_L13P_T2_MRCC_34	T8	VCCAUX_IO_G0
K15	IO_0_15	AB4	IO_L13N_T2_MRCC_34	R9	VCCAUX_IO_G0
C16	IO_L1P_T0_AD0P_15	AC4	IO_L14P_T2_SRCC_34	P8	VCCAUX_IO_G0
B16	IO_L1N_T0_AD0N_15	AC3	IO_L14N_T2_SRCC_34	L7	VCCO_0
A18	IO_L2P_T0_AD8P_15	AA5	IO_L15P_T2_DQS_34	T6	VCCO_0
A19	IO_L2N_T0_AD8N_15	AB5	IO_L15N_T2_DQS_34	AA21	VCCO_12
B17	IO_L3P_T0_DQS_AD1P_15	AB6	IO_L16P_T2_34	AC25	VCCO_12
A17	IO_L3N_T0_DQS_AD1N_15	AC6	IO_L16N_T2_34	AD22	VCCO_12
C19	IO_L4P_T0_AD9P_15	Y6	IO_L17P_T2_34	AF26	VCCO_12
B19	IO_L4N_T0_AD9N_15	Y5	IO_L17N_T2_34	U23	VCCO_12
C17	IO_L5P_T0_AD2P_15	AD6	IO_L18P_T2_34	V20	VCCO_12
C18	IO_L5N_T0_AD2N_15	AD5	IO_L18N_T2_34	Y24	VCCO_12
D15	IO_L6P_T0_15	AD4	IO_L19P_T3_34	K24	VCCO_13
D16	IO_L6N_T0_VREF_15	AD3	IO_L19N_T3_VREF_34	N25	VCCO_13
H16	IO_L7P_T1_AD10P_15	AD1	IO_L20P_T3_34	P22	VCCO_13

管脚	管脚名	管脚	管脚名	管脚	管脚名
G16	IO_L7N_T1_AD10N_15	AE1	IO_L20N_T3_34	R19	VCCO_13
G15	IO_L8P_T1_AD3P_15	AF5	IO_L21P_T3_DQS_34	T16	VCCO_13
F15	IO_L8N_T1_AD3N_15	AF4	IO_L21N_T3_DQS_34	T26	VCCO_13
J15	IO_L9P_T1_DQS_AD11P_15	AE3	IO_L22P_T3_34	A21	VCCO_14
J16	IO_L9N_T1_DQS_AD11N_15	AE2	IO_L22N_T3_34	C25	VCCO_14
E15	IO_L10P_T1_AD4P_15	AE6	IO_L23P_T3_34	D22	VCCO_14
E16	IO_L10N_T1_AD4N_15	AE5	IO_L23N_T3_34	F26	VCCO_14
G17	IO_L11P_T1_SRCC_AD12P_15	AF3	IO_L24P_T3_34	G23	VCCO_14
F18	IO_L11N_T1_SRCC_AD12N_15	AF2	IO_L24N_T3_34	L21	VCCO_14
F17	IO_L12P_T1_MRCC_AD5P_15	T7	IO_25_VRP_34	B18	VCCO_15
E17	IO_L12N_T1_MRCC_AD5N_15	H2	MGTXTXP3_115	E19	VCCO_15
E18	IO_L13P_T2_MRCC_15	J4	MGTXRXP3_115	F16	VCCO_15
D18	IO_L13N_T2_MRCC_15	H1	MGTXTXN3_115	H20	VCCO_15
H17	IO_L14P_T2_SRCC_15	J3	MGTXRXN3_115	J17	VCCO_15
H18	IO_L14N_T2_SRCC_15	K2	MGTXTXP2_115	M18	VCCO_15
D19	IO_L15P_T2_DQS_15	L4	MGTXRXP2_115	A11	VCCO_16
D20	IO_L15N_T2_DQS_ADV_B_15	K1	MGTXTXN2_115	B8	VCCO_16
G19	IO_L16P_T2_A28_15	H6	MGTREFCLK0P_115	C15	VCCO_16
F20	IO_L16N_T2_A27_15	L3	MGTXRXN2_115	D12	VCCO_16
F19	IO_L17P_T2_A26_15	M5	MGTAVTTRCAL_115	E9	VCCO_16
E20	IO_L17N_T2_A25_15	H5	MGTREFCLK0N_115	G13	VCCO_16
H19	IO_L18P_T2_A24_15	M6	MGTRREF_115	H10	VCCO_16
G20	IO_L18N_T2_A23_15	K5	MGTREFCLK1N_115	AB18	VCCO_32
K20	IO_L19P_T3_A22_15	K6	MGTREFCLK1P_115	AC15	VCCO_32
J20	IO_L19N_T3_A21_VREF_15	M2	MGTXTXP1_115	AE19	VCCO_32
J18	IO_L20P_T3_A20_15	N4	MGTXRXP1_115	AF16	VCCO_32
J19	IO_L20N_T3_A19_15	M1	MGTXTXN1_115	W17	VCCO_32
L19	IO_L21P_T3_DQS_15	N3	MGTXRXN1_115	Y14	VCCO_32
L20	IO_L21N_T3_DQS_A18_15	P2	MGTXTXP0_115	AA11	VCCO_33
K16	IO_L22P_T3_A17_15	R4	MGTXRXP0_115	AB8	VCCO_33
K17	IO_L22N_T3_A16_15	P1	MGTXTXN0_115	AD12	VCCO_33
M17	IO_L23P_T3_FOE_B_15	R3	MGTXRXN0_115	AE9	VCCO_33
L18	IO_L23N_T3_FWE_B_15	A4	MGTXTXP3_116	V10	VCCO_33
L17	IO_L24P_T3_RS1_15	B6	MGTXRXP3_116	W7	VCCO_33
K18	IO_L24N_T3_RS0_15	A3	MGTXTXN3_116	AA1	VCCO_34
M16	IO_25_15	B5	MGTXRXN3_116	AC5	VCCO_34
J8	IO_0_16	B2	MGTXTXP2_116	AD2	VCCO_34
H9	IO_L1P_T0_16	C4	MGTXRXP2_116	AF6	VCCO_34
H8	IO_L1N_T0_16	B1	MGTXTXN2_116	U3	VCCO_34
G10	IO_L2P_T0_16	D6	MGTREFCLK0P_116	Y4	VCCO_34
G9	IO_L2N_T0_16				

RF900 外形及引脚排列图如下图 4 所示。



单位为毫米

尺寸符号	数值		
	最小	公称	最大
D/E	30.80	—	31.20
D1/E1	—	29.00	—
e	—	1.00	—
Φb	0.50	—	0.70
A1	0.36	—	0.56
A	—	—	3.59

图 4　RF900 封装外形图及引脚排列图

RF900 的封装引脚信息如下表 3 所示

表 3　RF900 封装引脚信息

管脚	管脚名	管脚	管脚名	管脚	管脚名
U14	DXN_0	D16	IO_L15P_T2_DQS_17	E4	MGTXRXP0_118
P15	VCCADC_0	C16	IO_L15N_T2_DQS_17	D1	MGTXTXN0_118
P14	GNDADC_0	G18	IO_L16P_T2_17	E3	MGTXRXN0_118
U15	DXP_0	F18	IO_L16N_T2_17	B7	MGTAVCC
R14	VREFN_0	C17	IO_L17P_T2_17	D7	MGTAVCC
T15	VREFP_0	B17	IO_L17N_T2_17	F7	MGTAVCC
R15	VP_0	G17	IO_L18P_T2_17	H7	MGTAVCC
T14	VN_0	F17	IO_L18N_T2_17	K7	MGTAVCC
C10	VCCBATT_0	C20	IO_L19P_T3_17	M7	MGTAVCC
B10	CCLK_0	B20	IO_L19N_T3_VREF_17	P7	MGTAVCC
E10	TCK_0	A16	IO_L20P_T3_17	T7	MGTVCCAUX
F10	TMS_0	A17	IO_L20N_T3_17	V7	MGTVCCAUX
G10	TDO_0	A20	IO_L21P_T3_DQS_17	B3	MGTAVTT

管脚	管脚名	管脚	管脚名	管脚	管脚名
H10	TDI_0	A21	IO_L21N_T3_DQS_17	C5	MGTAVTT
A10	INIT_B_0	B18	IO_L22P_T3_17	D3	MGTAVTT
K10	PROGRAM_B_0	A18	IO_L22N_T3_17	E5	MGTAVTT
L10	CFGBVS_0	B22	IO_L23P_T3_17	F3	MGTAVTT
M10	DONE_0	A22	IO_L23N_T3_17	G5	MGTAVTT
AB1	M2_0	C19	IO_L24P_T3_17	H3	MGTAVTT
AB5	M0_0	B19	IO_L24N_T3_17	J5	MGTAVTT
AB2	M1_0	E18	IO_25_17	K3	MGTAVTT
Y20	IO_0_12	G12	IO_0_18	L5	MGTAVTT
Y23	IO_L1P_T0_12	L16	IO_L1P_T0_18	M3	MGTAVTT
Y24	IO_L1N_T0_12	K16	IO_L1N_T0_18	N5	MGTAVTT
Y21	IO_L2P_T0_12	L15	IO_L2P_T0_18	P3	MGTAVTT
AA21	IO_L2N_T0_12	K15	IO_L2N_T0_18	R5	MGTAVTT
AB22	IO_L3P_T0_DQS_12	L12	IO_L3P_T0_DQS_18	T3	MGTAVTT
AB23	IO_L3N_T0_DQS_12	L13	IO_L3N_T0_DQS_18	U5	MGTAVTT
AA22	IO_L4P_T0_12	K13	IO_L4P_T0_18	V3	MGTAVTT
AA23	IO_L4N_T0_12	J13	IO_L4N_T0_18	W5	MGTAVTT
AC20	IO_L5P_T0_12	K14	IO_L5P_T0_18	N16	VCCBRAM
AC21	IO_L5N_T0_12	J14	IO_L5N_T0_18	R16	VCCBRAM
AA20	IO_L6P_T0_12	L11	IO_L6P_T0_18	U16	VCCBRAM
AB20	IO_L6N_T0_VREF_12	K11	IO_L6N_T0_VREF_18	W16	VCCBRAM
AB24	IO_L7P_T1_12	H15	IO_L7P_T1_18	A1	GND
AC25	IO_L7N_T1_12	G15	IO_L7N_T1_18	A14	GND
AC22	IO_L8P_T1_12	J11	IO_L8P_T1_18	A2	GND
AD22	IO_L8N_T1_12	J12	IO_L8N_T1_18	A24	GND
AC24	IO_L9P_T1_DQS_12	J16	IO_L9P_T1_DQS_18	A5	GND
AD24	IO_L9N_T1_DQS_12	H16	IO_L9N_T1_DQS_18	A6	GND
AD21	IO_L10P_T1_12	H11	IO_L10P_T1_18	A9	GND
AE21	IO_L10N_T1_12	H12	IO_L10N_T1_18	AA1	GND
AE23	IO_L11P_T1_SRCC_12	H14	IO_L11P_T1_SRCC_18	AA14	GND
AF23	IO_L11N_T1_SRCC_12	G14	IO_L11N_T1_SRCC_18	AA2	GND
AD23	IO_L12P_T1_MRCC_12	G13	IO_L12P_T1_MRCC_18	AA24	GND
AE24	IO_L12N_T1_MRCC_12	F13	IO_L12N_T1_MRCC_18	AA5	GND
AF22	IO_L13P_T2_MRCC_12	D12	IO_L13P_T2_MRCC_18	AA6	GND
AG23	IO_L13N_T2_MRCC_12	D13	IO_L13N_T2_MRCC_18	AA7	GND
AG24	IO_L14P_T2_SRCC_12	F12	IO_L14P_T2_SRCC_18	AB11	GND
AH24	IO_L14N_T2_SRCC_12	E13	IO_L14N_T2_SRCC_18	AB21	GND
AJ24	IO_L15P_T2_DQS_12	C12	IO_L15P_T2_DQS_18	AB3	GND
AK25	IO_L15N_T2_DQS_12	B12	IO_L15N_T2_DQS_18	AB4	GND
AE25	IO_L16P_T2_12	F11	IO_L16P_T2_18	AC18	GND
AF25	IO_L16N_T2_12	E11	IO_L16N_T2_18	AC28	GND
AK23	IO_L17P_T2_12	A11	IO_L17P_T2_18	AC8	GND
AK24	IO_L17N_T2_12	A12	IO_L17N_T2_18	AD15	GND
AG25	IO_L18P_T2_12	D11	IO_L18P_T2_18	AD25	GND
AH25	IO_L18N_T2_12	C11	IO_L18N_T2_18	AD5	GND
AF20	IO_L19P_T3_12	F15	IO_L19P_T3_18	AE12	GND
AF21	IO_L19N_T3_VREF_12	E16	IO_L19N_T3_VREF_18	AE2	GND
AG22	IO_L20P_T3_12	E14	IO_L20P_T3_18	AE22	GND
AH22	IO_L20N_T3_12	E15	IO_L20N_T3_18	AF19	GND
AJ22	IO_L21P_T3_DQS_12	D14	IO_L21P_T3_DQS_18	AF29	GND
AJ23	IO_L21N_T3_DQS_12	C14	IO_L21N_T3_DQS_18	AF9	GND
AG20	IO_L22P_T3_12	B13	IO_L22P_T3_18	AG16	GND
AH20	IO_L22N_T3_12	A13	IO_L22N_T3_18	AG26	GND
AH21	IO_L23P_T3_12	C15	IO_L23P_T3_18	AG6	GND
AJ21	IO_L23N_T3_12	B15	IO_L23N_T3_18	AH13	GND
AK20	IO_L24P_T3_12	B14	IO_L24P_T3_18	AH23	GND
AK21	IO_L24N_T3_12	A15	IO_L24N_T3_18	AH3	GND
AE20	IO_25_12	F16	IO_25_18	AJ10	GND
Y25	IO_0_13	Y14	IO_0_VRN_32	AJ20	GND
Y26	IO_L1P_T0_13	AK16	IO_L1P_T0_32	AJ30	GND
AA26	IO_L1N_T0_13	AK15	IO_L1N_T0_32	AK17	GND
W27	IO_L2P_T0_13	AG15	IO_L2P_T0_32	AK27	GND
W28	IO_L2N_T0_13	AH15	IO_L2N_T0_32	AK7	GND

管脚	管脚名	管脚	管脚名	管脚	管脚名
Y28	IO_L3P_T0_DQS_13	AH16	IO_L3P_T0_DQS_32	B11	GND
AA28	IO_L3N_T0_DQS_13	AJ16	IO_L3N_T0_DQS_32	B21	GND
W29	IO_L4P_T0_13	AF15	IO_L4P_T0_32	B4	GND
Y29	IO_L4N_T0_13	AG14	IO_L4N_T0_32	B8	GND
AA27	IO_L5P_T0_13	AH17	IO_L5P_T0_32	B9	GND
AB28	IO_L5N_T0_13	AJ17	IO_L5N_T0_32	C1	GND
AA25	IO_L6P_T0_13	AE16	IO_L6P_T0_32	C18	GND
AB25	IO_L6N_T0_VREF_13	AF16	IO_L6N_T0_VREF_32	C2	GND
AC29	IO_L7P_T1_13	AJ19	IO_L7P_T1_32	C28	GND
AC30	IO_L7N_T1_13	AK19	IO_L7N_T1_32	C6	GND
Y30	IO_L8P_T1_13	AG19	IO_L8P_T1_32	C9	GND
AA30	IO_L8N_T1_13	AH19	IO_L8N_T1_32	D15	GND
AD29	IO_L9P_T1_DQS_13	AJ18	IO_L9P_T1_DQS_32	D25	GND
AE29	IO_L9N_T1_DQS_13	AK18	IO_L9N_T1_DQS_32	D4	GND
AB29	IO_L10P_T1_13	AD19	IO_L10P_T1_32	D8	GND
AB30	IO_L10N_T1_13	AE19	IO_L10N_T1_32	D9	GND
AD27	IO_L11P_T1_SRCC_13	AF18	IO_L11P_T1_SRCC_32	E1	GND
AD28	IO_L11N_T1_SRCC_13	AG18	IO_L11N_T1_SRCC_32	E12	GND
AB27	IO_L12P_T1_MRCC_13	AF17	IO_L12P_T1_MRCC_32	E2	GND
AC27	IO_L12N_T1_MRCC_13	AG17	IO_L12N_T1_MRCC_32	E22	GND
AG29	IO_L13P_T2_MRCC_13	AD18	IO_L13P_T2_MRCC_32	E6	GND
AH29	IO_L13N_T2_MRCC_13	AE18	IO_L13N_T2_MRCC_32	E9	GND
AE28	IO_L14P_T2_SRCC_13	AD17	IO_L14P_T2_SRCC_32	F19	GND
AF28	IO_L14N_T2_SRCC_13	AD16	IO_L14N_T2_SRCC_32	F29	GND
AK29	IO_L15P_T2_DQS_13	Y19	IO_L15P_T2_DQS_32	F4	GND
AK30	IO_L15N_T2_DQS_13	Y18	IO_L15N_T2_DQS_32	F8	GND
AE30	IO_L16P_T2_13	AA18	IO_L16P_T2_32	F9	GND
AF30	IO_L16N_T2_13	AB18	IO_L16N_T2_32	G1	GND
AJ28	IO_L17P_T2_13	AB19	IO_L17P_T2_32	G16	GND
AJ29	IO_L17N_T2_13	AC19	IO_L17N_T2_32	G2	GND
AG30	IO_L18P_T2_13	AB17	IO_L18P_T2_32	G26	GND
AH30	IO_L18N_T2_13	AC17	IO_L18N_T2_32	G6	GND
AC26	IO_L19P_T3_13	AE15	IO_L19P_T3_32	G9	GND
AD26	IO_L19N_T3_VREF_13	AE14	IO_L19N_T3_VREF_32	H13	GND
AJ27	IO_L20P_T3_13	AA15	IO_L20P_T3_32	H23	GND
AK28	IO_L20N_T3_13	AB15	IO_L20N_T3_32	H4	GND
AG27	IO_L21P_T3_DQS_13	AC16	IO_L21P_T3_DQS_32	H8	GND
AG28	IO_L21N_T3_DQS_13	AC15	IO_L21N_T3_DQS_32	H9	GND
AH26	IO_L22P_T3_13	AC14	IO_L22P_T3_32	J1	GND
AH27	IO_L22N_T3_13	AD14	IO_L22N_T3_32	J10	GND
AF26	IO_L23P_T3_13	AA17	IO_L23P_T3_32	J2	GND
AF27	IO_L23N_T3_13	AA16	IO_L23N_T3_32	J20	GND
AJ26	IO_L24P_T3_13	Y16	IO_L24P_T3_32	J30	GND
AK26	IO_L24N_T3_13	Y15	IO_L24N_T3_32	J6	GND
AE26	IO_25_13	AB14	IO_25_VRP_32	J9	GND
R19	IO_0_14	Y13	IO_0_VRN_33	K17	GND
P24	IO_L1P_T0_D00_MOSI_14	AA12	IO_L1P_T0_33	K27	GND
R25	IO_L1N_T0_D01_DIN_14	AB12	IO_L1N_T0_33	K4	GND
R20	IO_L2P_T0_D02_14	AA8	IO_L2P_T0_33	K8	GND
R21	IO_L2N_T0_D03_14	AB8	IO_L2N_T0_33	K9	GND
R23	IO_L3P_T0_DQS_PUDC_B_14	AB9	IO_L3P_T0_DQS_33	L1	GND
R24	IO_L3N_T0_DQS_EMCCLK_14	AC9	IO_L3N_T0_DQS_33	L14	GND
T20	IO_L4P_T0_D04_14	Y11	IO_L4P_T0_33	L2	GND
T21	IO_L4N_T0_D05_14	Y10	IO_L4N_T0_33	L24	GND
T22	IO_L5P_T0_D06_14	AA11	IO_L5P_T0_33	L6	GND
T23	IO_L5N_T0_D07_14	AA10	IO_L5N_T0_33	L9	GND
U19	IO_L6P_T0_FCS_B_14	AA13	IO_L6P_T0_33	M12	GND
U20	IO_L6N_T0_D08_VREF_14	AB13	IO_L6N_T0_VREF_33	M14	GND
P29	IO_L7P_T1_D09_14	AB10	IO_L7P_T1_33	M16	GND
R29	IO_L7N_T1_D10_14	AC10	IO_L7N_T1_33	M18	GND
P27	IO_L8P_T1_D11_14	AD8	IO_L8P_T1_33	M21	GND
P28	IO_L8N_T1_D12_14	AE8	IO_L8N_T1_33	M4	GND
R30	IO_L9P_T1_DQS_14	AC12	IO_L9P_T1_DQS_33	M8	GND

管脚	管脚名	管脚	管脚名	管脚	管脚名
T30	IO_L9N_T1_DQS_D13_14	AC11	IO_L9N_T1_DQS_33	M9	GND
P26	IO_L10P_T1_D14_14	AD9	IO_L10P_T1_33	N1	GND
R26	IO_L10N_T1_D15_14	AE9	IO_L10N_T1_33	N11	GND
R28	IO_L11P_T1_SRCC_14	AE11	IO_L11P_T1_SRCC_33	N13	GND
T28	IO_L11N_T1_SRCC_14	AF11	IO_L11N_T1_SRCC_33	N15	GND
T26	IO_L12P_T1_MRCC_14	AD12	IO_L12P_T1_MRCC_33	N17	GND
T27	IO_L12N_T1_MRCC_14	AD11	IO_L12N_T1_MRCC_33	N2	GND
U27	IO_L13P_T2_MRCC_14	AG10	IO_L13P_T2_MRCC_33	N28	GND
U28	IO_L13N_T2_MRCC_14	AH10	IO_L13N_T2_MRCC_33	N6	GND
T25	IO_L14P_T2_SRCC_14	AE10	IO_L14P_T2_SRCC_33	N9	GND
U25	IO_L14N_T2_SRCC_14	AF10	IO_L14N_T2_SRCC_33	P10	GND
U29	IO_L15P_T2_DQS_RDWR_B_14	AJ9	IO_L15P_T2_DQS_33	P12	GND
U30	IO_L15N_T2_DQS_DOUT_CSO_B_14	AK9	IO_L15N_T2_DQS_33	P16	GND
V26	IO_L16P_T2_CSI_B_14	AG9	IO_L16P_T2_33	P18	GND
V27	IO_L16N_T2_A15_D31_14	AH9	IO_L16N_T2_33	P25	GND
V29	IO_L17P_T2_A14_D30_14	AK11	IO_L17P_T2_33	P4	GND
V30	IO_L17N_T2_A13_D29_14	AK10	IO_L17N_T2_33	P8	GND
V25	IO_L18P_T2_A12_D28_14	AH11	IO_L18P_T2_33	P9	GND
W26	IO_L18N_T2_A11_D27_14	AJ11	IO_L18N_T2_33	R1	GND
V19	IO_L19P_T3_A10_D26_14	AE13	IO_L19P_T3_33	R11	GND
V20	IO_L19N_T3_A09_D25_VREF_14	AF13	IO_L19N_T3_VREF_33	R13	GND
W23	IO_L20P_T3_A08_D24_14	AK14	IO_L20P_T3_33	R17	GND
W24	IO_L20N_T3_A07_D23_14	AK13	IO_L20N_T3_33	R2	GND
U22	IO_L21P_T3_DQS_14	AH14	IO_L21P_T3_DQS_33	R22	GND
U23	IO_L21N_T3_DQS_A06_D22_14	AJ14	IO_L21N_T3_DQS_33	R6	GND
V21	IO_L22P_T3_A05_D21_14	AJ13	IO_L22P_T3_33	R9	GND
V22	IO_L22N_T3_A04_D20_14	AJ12	IO_L22N_T3_33	T10	GND
U24	IO_L23P_T3_A03_D19_14	AF12	IO_L23P_T3_33	T12	GND
V24	IO_L23N_T3_A02_D18_14	AG12	IO_L23N_T3_33	T16	GND
W21	IO_L24P_T3_A01_D17_14	AG13	IO_L24P_T3_33	T18	GND
W22	IO_L24N_T3_A00_D16_14	AH12	IO_L24N_T3_33	T19	GND
W19	IO_25_14	AD13	IO_25_VRP_33	T29	GND
M19	IO_0_15	AC6	IO_0_VRN_34	T4	GND
J23	IO_L1P_T0_AD0P_15	AD4	IO_L1P_T0_34	T8	GND
J24	IO_L1N_T0_AD0N_15	AD3	IO_L1N_T0_34	U1	GND
L22	IO_L2P_T0_AD8P_15	AC2	IO_L2P_T0_34	U11	GND
L23	IO_L2N_T0_AD8N_15	AC1	IO_L2N_T0_34	U13	GND
K23	IO_L3P_T0_DQS_AD1P_15	AD2	IO_L3P_T0_DQS_34	U17	GND
K24	IO_L3N_T0_DQS_AD1N_15	AD1	IO_L3N_T0_DQS_34	U2	GND
L21	IO_L4P_T0_AD9P_15	AC5	IO_L4P_T0_34	U26	GND
K21	IO_L4N_T0_AD9N_15	AC4	IO_L4N_T0_34	U6	GND
J21	IO_L5P_T0_AD2P_15	AD6	IO_L5P_T0_34	U9	GND
J22	IO_L5N_T0_AD2N_15	AE6	IO_L5N_T0_34	V10	GND
M20	IO_L6P_T0_15	AC7	IO_L6P_T0_34	V12	GND
L20	IO_L6N_T0_VREF_15	AD7	IO_L6N_T0_VREF_34	V14	GND
J29	IO_L7P_T1_AD10P_15	AF3	IO_L7P_T1_34	V16	GND
H29	IO_L7N_T1_AD10N_15	AF2	IO_L7N_T1_34	V18	GND
J27	IO_L8P_T1_AD3P_15	AE1	IO_L8P_T1_34	V23	GND
J28	IO_L8N_T1_AD3N_15	AF1	IO_L8N_T1_34	V4	GND
L30	IO_L9P_T1_DQS_AD11P_15	AG4	IO_L9P_T1_DQS_34	V8	GND
K30	IO_L9N_T1_DQS_AD11N_15	AG3	IO_L9N_T1_DQS_34	V9	GND
K26	IO_L10P_T1_AD4P_15	AE4	IO_L10P_T1_34	W1	GND
J26	IO_L10N_T1_AD4N_15	AE3	IO_L10N_T1_34	W11	GND
L26	IO_L11P_T1_SRCC_AD12P_15	AE5	IO_L11P_T1_SRCC_34	W13	GND
L27	IO_L11N_T1_SRCC_AD12N_15	AF5	IO_L11N_T1_SRCC_34	W15	GND
L25	IO_L12P_T1_MRCC_AD5P_15	AF6	IO_L12P_T1_MRCC_34	W17	GND
K25	IO_L12N_T1_MRCC_AD5N_15	AG5	IO_L12N_T1_MRCC_34	W2	GND
K28	IO_L13P_T2_MRCC_15	AH4	IO_L13P_T2_MRCC_34	W20	GND
K29	IO_L13N_T2_MRCC_15	AJ4	IO_L13N_T2_MRCC_34	W30	GND
M28	IO_L14P_T2_SRCC_15	AH6	IO_L14P_T2_SRCC_34	W6	GND
L28	IO_L14N_T2_SRCC_15	AH5	IO_L14N_T2_SRCC_34	W9	GND
M29	IO_L15P_T2_DQS_15	AG2	IO_L15P_T2_DQS_34	Y17	GND
M30	IO_L15N_T2_DQS_ADV_B_15	AH1	IO_L15N_T2_DQS_34	Y27	GND

管脚	管脚名	管脚	管脚名	管脚	管脚名
N27	IO_L16P_T2_A28_15	AH2	IO_L16P_T2_34	Y3	GND
M27	IO_L16N_T2_A27_15	AJ2	IO_L16N_T2_34	Y4	GND
N29	IO_L17P_T2_A26_15	AJ1	IO_L17P_T2_34	Y7	GND
N30	IO_L17N_T2_A25_15	AK1	IO_L17N_T2_34	Y8	GND
N25	IO_L18P_T2_A24_15	AJ3	IO_L18P_T2_34	Y9	GND
N26	IO_L18N_T2_A23_15	AK3	IO_L18N_T2_34	M11	VCCINT
N19	IO_L19P_T3_A22_15	AF8	IO_L19P_T3_34	M13	VCCINT
N20	IO_L19N_T3_A21_VREF_15	AG8	IO_L19N_T3_VREF_34	M15	VCCINT
N21	IO_L20P_T3_A20_15	AF7	IO_L20P_T3_34	M17	VCCINT
N22	IO_L20N_T3_A19_15	AG7	IO_L20N_T3_34	N10	VCCINT
P23	IO_L21P_T3_DQS_15	AH7	IO_L21P_T3_DQS_34	N12	VCCINT
N24	IO_L21N_T3_DQS_A18_15	AJ7	IO_L21N_T3_DQS_34	N14	VCCINT
P21	IO_L22P_T3_A17_15	AJ6	IO_L22P_T3_34	N18	VCCINT
P22	IO_L22N_T3_A16_15	AK6	IO_L22N_T3_34	P11	VCCINT
M24	IO_L23P_T3_FOE_B_15	AJ8	IO_L23P_T3_34	P17	VCCINT
M25	IO_L23N_T3_FWE_B_15	AK8	IO_L23N_T3_34	R10	VCCINT
M22	IO_L24P_T3_RS1_15	AK5	IO_L24P_T3_34	R12	VCCINT
M23	IO_L24N_T3_RS0_15	AK4	IO_L24N_T3_34	R18	VCCINT
P19	IO_25_15	AB7	IO_25_VRP_34	T11	VCCINT
F23	IO_0_16	T2	MGTXTXP3_115	T17	VCCINT
B23	IO_L1P_T0_16	V6	MGTXRXP3_115	U10	VCCINT
A23	IO_L1N_T0_16	T1	MGTXTXN3_115	U12	VCCINT
E23	IO_L2P_T0_16	V5	MGTXRXN3_115	U18	VCCINT
D23	IO_L2N_T0_16	U4	MGTXTXP2_115	V17	VCCINT
F25	IO_L3P_T0_DQS_16	W4	MGTXRXP2_115	W18	VCCINT
E25	IO_L3N_T0_DQS_16	U3	MGTXTXN2_115	P13	VCCAUX
E24	IO_L4P_T0_16	R8	MGTREFCLK0P_115	T13	VCCAUX
D24	IO_L4N_T0_16	W3	MGTXRXN2_115	V13	VCCAUX
F26	IO_L5P_T0_16	W7	MGTAVTTRCAL_115	V15	VCCAUX
E26	IO_L5N_T0_16	R7	MGTREFCLK0N_115	W14	VCCAUX
G23	IO_L6P_T0_16	W8	MGTRREF_115	W12	VCCAUX_IO_G0
G24	IO_L6N_T0_VREF_16	U7	MGTREFCLK1N_115	V11	VCCAUX_IO_G0
B27	IO_L7P_T1_16	U8	MGTREFCLK1P_115	W10	VCCAUX_IO_G0
A27	IO_L7N_T1_16	V2	MGTXTXP1_115	AA19	VCCO_32
C24	IO_L8P_T1_16	Y6	MGTXRXP1_115	AB16	VCCO_32
B24	IO_L8N_T1_16	V1	MGTXTXN1_115	AE17	VCCO_32
B28	IO_L9P_T1_DQS_16	Y5	MGTXRXN1_115	AF14	VCCO_32
A28	IO_L9N_T1_DQS_16	Y2	MGTXTXP0_115	AH18	VCCO_32
A25	IO_L10P_T1_16	AA4	MGTXRXP0_115	AJ15	VCCO_32
A26	IO_L10N_T1_16	Y1	MGTXTXN0_115	AA9	VCCO_33
D26	IO_L11P_T1_SRCC_16	AA3	MGTXRXN0_115	AC13	VCCO_33
C26	IO_L11N_T1_SRCC_16	L4	MGTXTXP3_116	AD10	VCCO_33
C25	IO_L12P_T1_MRCC_16	M6	MGTXRXP3_116	AG11	VCCO_33
B25	IO_L12N_T1_MRCC_16	L3	MGTXTXN3_116	AK12	VCCO_33
D27	IO_L13P_T2_MRCC_16	M5	MGTXRXN3_116	Y12	VCCO_33
C27	IO_L13N_T2_MRCC_16	M2	MGTXTXP2_116	AC3	VCCO_34
E28	IO_L14P_T2_SRCC_16	P6	MGTXRXP2_116	AE7	VCCO_34
D28	IO_L14N_T2_SRCC_16	M1	MGTXTXN2_116	AF4	VCCO_34
C29	IO_L15P_T2_DQS_16	L8	MGTREFCLK0P_116	AG1	VCCO_34
B29	IO_L15N_T2_DQS_16	P5	MGTXRXN2_116	AH8	VCCO_34
D29	IO_L16P_T2_16	L7	MGTREFCLK0N_116	AJ5	VCCO_34
C30	IO_L16N_T2_16	N7	MGTREFCLK1N_116	AK2	VCCO_34
B30	IO_L17P_T2_16	N8	MGTREFCLK1P_116	AC23	VCCO_12
A30	IO_L17N_T2_16	N4	MGTXTXP1_116	AD20	VCCO_12
E29	IO_L18P_T2_16	R4	MGTXRXP1_116	AF24	VCCO_12
E30	IO_L18N_T2_16	N3	MGTXTXN1_116	AG21	VCCO_12
H24	IO_L19P_T3_16	R3	MGTXRXN1_116	AK22	VCCO_12
H25	IO_L19N_T3_VREF_16	P2	MGTXTXP0_116	Y22	VCCO_12
G28	IO_L20P_T3_16	T6	MGTXRXP0_116	AA29	VCCO_13
F28	IO_L20N_T3_16	P1	MGTXTXN0_116	AB26	VCCO_13
G27	IO_L21P_T3_DQS_16	T5	MGTXRXN0_116	AD30	VCCO_13
F27	IO_L21N_T3_DQS_16	F2	MGTXTXP3_117	AE27	VCCO_13
G29	IO_L22P_T3_16	F6	MGTXRXP3_117	AH28	VCCO_13

管脚	管脚名	管脚	管脚名	管脚	管脚名
F30	IO_L22N_T3_16	F1	MGTXTXN3_117	AJ25	VCCO_13
H26	IO_L23P_T3_16	F5	MGTXRXN3_117	P30	VCCO_14
H27	IO_L23N_T3_16	H2	MGTXTXP2_117	R27	VCCO_14
H30	IO_L24P_T3_16	G4	MGTXRXP2_117	T24	VCCO_14
G30	IO_L24N_T3_16	H1	MGTXTXN2_117	U21	VCCO_14
G25	IO_25_16	G8	MGTREFCLK0P_117	V28	VCCO_14
G19	IO_0_17	G3	MGTXRXN2_117	W25	VCCO_14
K18	IO_L1P_T0_17	G7	MGTREFCLK0N_117	J25	VCCO_15
J18	IO_L1N_T0_17	J7	MGTREFCLK1N_117	K22	VCCO_15
H20	IO_L2P_T0_17	J8	MGTREFCLK1P_117	L29	VCCO_15
G20	IO_L2N_T0_17	J4	MGTXTXP1_117	M26	VCCO_15
J17	IO_L3P_T0_DQS_17	H6	MGTXRXP1_117	N23	VCCO_15
H17	IO_L3N_T0_DQS_17	J3	MGTXTXN1_117	P20	VCCO_15
J19	IO_L4P_T0_17	H5	MGTXRXN1_117	A29	VCCO_16
H19	IO_L4N_T0_17	K2	MGTXTXP0_117	B26	VCCO_16
L17	IO_L5P_T0_17	K6	MGTXRXP0_117	C23	VCCO_16
L18	IO_L5N_T0_17	K1	MGTXTXN0_117	D30	VCCO_16
K19	IO_L6P_T0_17	K5	MGTXRXN0_117	E27	VCCO_16
K20	IO_L6N_T0_VREF_17	A4	MGTXTXP3_118	F24	VCCO_16
H21	IO_L7P_T1_17	A8	MGTXRXP3_118	H28	VCCO_16
H22	IO_L7N_T1_17	A3	MGTXTXN3_118	A19	VCCO_17
D21	IO_L8P_T1_17	A7	MGTXRXN3_118	B16	VCCO_17
C21	IO_L8N_T1_17	B2	MGTXTXP2_118	D20	VCCO_17
G22	IO_L9P_T1_DQS_17	B6	MGTXRXP2_118	E17	VCCO_17
F22	IO_L9N_T1_DQS_17	B1	MGTXTXN2_118	G21	VCCO_17
D22	IO_L10P_T1_17	C8	MGTREFCLK0P_118	H18	VCCO_17
C22	IO_L10N_T1_17	B5	MGTXRXN2_118	L19	VCCO_17
F21	IO_L11P_T1_SRCC_17	C7	MGTREFCLK0N_118	C13	VCCO_18
E21	IO_L11N_T1_SRCC_17	E7	MGTREFCLK1N_118	D10	VCCO_18
F20	IO_L12P_T1_MRCC_17	E8	MGTREFCLK1P_118	F14	VCCO_18
E20	IO_L12N_T1_MRCC_17	C4	MGTXTXP1_118	G11	VCCO_18
D17	IO_L13P_T2_MRCC_17	D6	MGTXRXP1_118	J15	VCCO_18
D18	IO_L13N_T2_MRCC_17	C3	MGTXTXN1_118	K12	VCCO_18
E19	IO_L14P_T2_SRCC_17	D5	MGTXRXN1_118	AB6	VCCO_0
D19	IO_L14N_T2_SRCC_17	D2	MGTXTXP0_118	T9	VCCO_0

4.2 CSD7K325T 引出端功能定义

引出端接口信号功能说明如表 4 所示：

表 4 引出端功能说明

引脚名	类型	方向	描述
用户 IO			
IO_LXXY_# IO_XX_#	用户引脚	输入/输出	大多数用户 I/O 引脚都能用作差分信号，并配对。每个 BANK 顶部和底部的 I/O 一直是单端。用户 I/O 引脚被命名为“IO_LXXY_#”格式，其中： “IO”表示这是一个用户 IO 引脚； “LXXY”表示组（Bank）上唯一的编号为 XX 的差分对， “Y”取 P 或者 N，分别表示这对差分对的正负极； “#”表示引脚所在的组号；
配置引脚			
CCLK_0	专用引脚	输入/输出	配置时钟。主模式下为输出，从模式下为输入。
DONE_0	专用引脚	双向	DONE 信号指示配置的成功完成。（高有效）

引脚名	类型	方向	描述
INIT_B_0	专用引脚	双向 开漏输出	指示配置存储器的初始化。（低有效）
M0_0, M1_0, or M2_0	专用引脚	输入	配置模式选择。
PROGRAM_B_0	专用引脚	输入	异步复位配置逻辑。（低有效）
TCK_0	专用引脚	输入	JTAG 时钟
TDI_0	专用引脚	输入	JTAG 数据输入
TDO_0	专用引脚	输出	JTAG 数据输出
TMS_0	专用引脚	输入	JTAG 模式选择
CFGBVS_0	专用引脚	输入	该引脚为专用和复用配置 Bank0，14，15 选择预配置 I/O 标准类型。如果 Bank0，14，15 的 VCCO 是 2.5V 或者 3.3V，那么该引脚必须连接到 VCCO_0。如果 Bank0，14，15 的 VCCO 小于或者等于 1.8V，那么该引脚必须连接到地。 注意：为了避免设备损毁，该引脚必须正确连接。
D00 ~D31	复用引脚	双向	配置数据引脚
ADV_B	复用引脚	输出	BPI flash 地址有效输出（低有效）
A00 ~A28	复用引脚	输出	BPI 地址输出，地址 A00 ~A28
RS0 或 RS1	复用引脚	输出	RS0 和 RS1 修订选择输出
FCS_B	复用引脚	输出	BPI 和 SPI flash 的片选信号（低有效）
FOE_B	复用引脚	输出	BPI flash 输出使能（低有效）
MOSI	复用引脚	输出	SPI flash 命令输出。SPI 总线主模式输出，从模式输入信号。
FWE_B	复用引脚	输出	BPI flash 写使能（低有效）
DOUT	复用引脚	输出	串行菊花链的数据输出
CSO_B	复用引脚	输出	并行菊花链的片选输出（低有效）
CSI_B	复用引脚	输入	SelcetMAP 片选输入（低有效）
PUDC_B	复用引脚	输入	配置期间上拉 上电后和配置期间，PUDC_B 输入在用户 IO 引脚上使能内部上拉电阻。（低有效） • 当 PUDC_B 为低，在每一个用户 IO 引脚上使能内部上拉电阻。 • 当 PUDC_B 为高，每一个用户 IO 引脚上的内部上拉电阻被取消。 PUDC_B 必须连接到地或者直接连接到 VCCO_14（通过 1KΩ 或者更低的电阻）。
RDWR_B	复用引脚	输入	SelectMAP 数据总线方向控制信号，为高代表读配置数据，为低代表写配置数据。
EMCCLK	复用引脚	输入	外部主配置时钟。
电源/地引脚			

引脚名	类型	方向	描述
GND	专用引脚	N/A	地。
VCCAUX	专用引脚	N/A	辅助电路的 1.8V 电源支持引脚。
VCCAUX_IO_G#	专用引脚	N/A	辅助 I/O 的 1.8V/2.0V 电源支持引脚。
VCCINT	专用引脚	N/A	内部核逻辑的 0.9V/1.0V 电源支持引脚。
VCCO_#	专用引脚	N/A	输出驱动的电源支持引脚（每个 Bank）
VCCBRAM	专用引脚	N/A	FPGA 逻辑块 RAM 的 1.0V 电源支持引脚。
VCCBATT_0	专用引脚	N/A	解密秘钥存储器备份电源支持，当不使用时，该引脚应该接到合适的VCC或地。
VREF	复用引脚	N/A	电压输入门限引脚，当不需要外部电压门限时，这些引脚变为用户 I/O。（每个 Bank）
模数转换器引脚			
VCCADC_0	专用引脚	N/A	XADC模拟电源
GNDADC_0	专用引脚	N/A	XADC 模拟地
VP_0	专用引脚	输入	XADC 专用差分模拟输入（正极）
VN_0	专用引脚	输入	XADC 专用差分模拟输入（负极）
VREFP_0	专用引脚	N/A	1.25V 参考输入
VREFN_ 0	专用引脚	N/A	1.25V 参考地
AD0P ~ AD15P AD0N ~ AD15N	复用引脚	输入	XADC 差分辅助模拟输入 0-15
G bit（Multi-gigabit）串行收发器 pin（SERDES）			
MSERDESRXP[0:3]	专用引脚	Input	SERDES Quad 的差分接收端口正极
MSERDESRXN[0:3]	专用引脚	Input	SERDES Quad 的差分接收端口负极
MSERDESTXP[0:3]	专用引脚	Output	SERDES Quad 的差分发送端口正极
MSERDESTXN[0:3]	专用引脚	Output	SERDES Quad 的差分发送端口负极
MGTAVCC_G#	专用引脚	Input	发送、接收内部电路的 1.0V 模拟电源
MGTAVTT_G#	专用引脚	Input	发送驱动电路的 1.2V 模拟电源
MGTVCCAUX_G#	专用引脚	Input	发送端 1.8V 辅助模拟 Quad PLL (QPLL) 电源
MGTREFCLK0/1P	专用引脚	Input	发送端差分参考时钟正极
MGTREFCLK0/1N	专用引脚	Input	发送端差分参考时钟负极
MGTAVTTRCAL	专用引脚	N/A	为终端电阻校验电路提供偏置电流
MGTRREF	专用引脚	Input	为终端电阻调节电路提供的参考电阻
其它			
MRCC	复用引脚	Input	用于驱动 BUFRs、BUFIOs、BUFGs、MMCMs/PLLs 的时钟 I/O。此外还可以驱动 BUFMRs 提供多区域 BUFIO 和 BUFR 支持。当不需要作为时钟时为普通用户 I/O。当一个单端时钟连到差分 CC 对时必须接入差分对的 P

引脚名	类型	方向	描述
			端。当用于单个时钟域时，MRCC 可以驱动单个 Bank 的 4 个 BUFIO 和 4 个 BUFR。
SRCC	复用引脚	Input	用于驱动 BUFRs、BUFIOs、BUFGs、MMCMs/PLLs 的时钟 I/O。当不需要作为时钟时为普通用户 I/O。当一个单端时钟连到差分 CC 对时必须接入差分对的 P 端。当用于单个时钟域时，SRCC 可以驱动单个 Bank 的 4 个 BUFIO 和 4 个 BUFR。
VRN	专用引脚	N/A	参考电阻的 N 端的 DCI 电压（每个 Bank，由参考电阻上拉）
VRP	专用引脚	N/A	参考电阻的 P 端的 DCI 电压（每个 Bank，由参考电阻下拉）
DXP_0, DXN_0	专用引脚	Input	温敏二极管管脚（正极 DXP，负极 DXN）。使用位于 Bank0 的 DXP、DXN 访问二极管。不使用时接 0。为使用此二极管，必须添加适当的外部热监测 IC 电路。推荐使用 XADC 内部的温度传感器来监测温度。
T0, T1, T2, T3	复用引脚	Input	属于存储字节组的 0~3。
T0_DQS, T1_DQS, T2_DQS, T3_DQS	复用引脚	Input	DDR DQS 选通管脚，属于存储字节组的 T0~T3。

4.3 CSD7K325T 焊盘推荐

CSD7K325T 的 RF676 封装和 RF900 封装的焊盘推荐如下图 5 所示，用户可根据焊接要求进行调整。

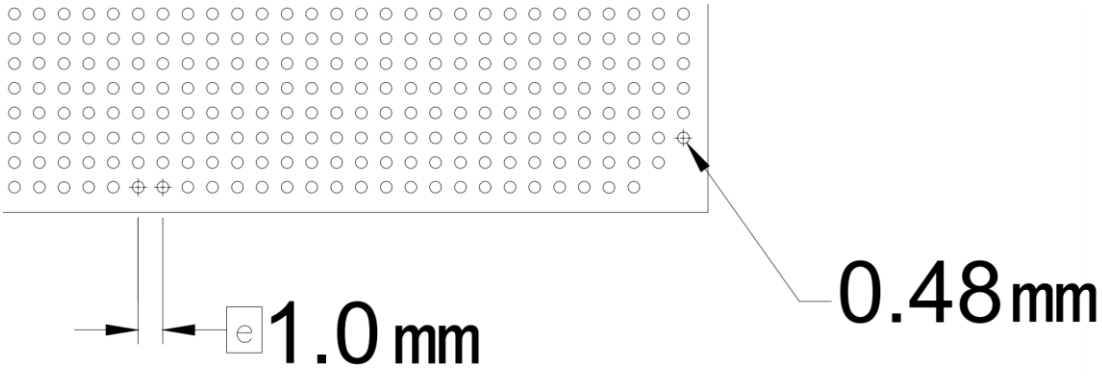


图 5　CSD7K325T 推荐焊盘图

4.4 CSD7K325T 焊接推荐

CSD7K325T 的 RF676 封装和 RF900 封装焊球材料均为 Sn96.5/Ag3.0/Cu0.5 无铅焊球，推荐回流焊曲线如下图 6 所示。

回流加热方式	热风对流，红外/热风对流
加热速度	最大 3℃/s
预热温度 150℃～200℃	60s～120s
熔点以上温度保持时间（回流时间）	60s～120s
低于峰值温度 5℃以内的保持时间	最大 30s
引脚或焊球峰值温度	最低 235℃，典型温度 245℃，不超过 260℃
降温速度	最大 6℃/s
室温到峰值温度时间	最小 3.5 分钟，典型值 5 分钟，不超过 8 分钟
建议焊膏	ALPHA OM338　SAC305
备注	请根据选用的焊膏特性作相应的调整

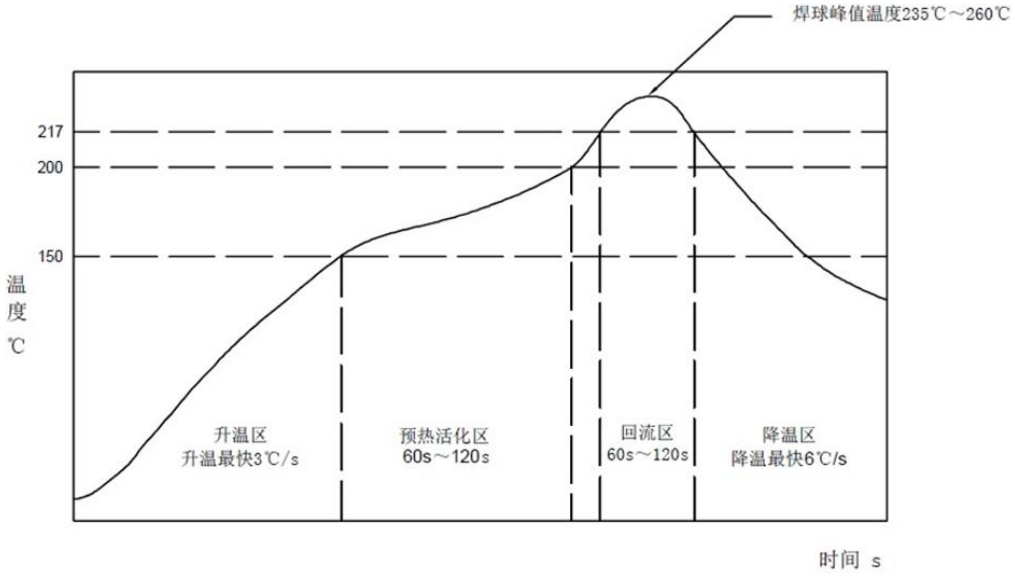


图 6　CSD7K325T 推荐焊接温度曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

表 5 绝对最大额定值

序号	标志符号	特性描述	最小	最大	单位
FPGA 逻辑					
1	V_{CCINT}	内核电源	-0.5	1.1	V
2	V_{CCAUX}	辅助电源	-0.5	2.0	V
3	V_{BRAM}	内部块 RAM 电源	-0.5	1.1	V
4	V_{CCO}	宽范围用户 IO 电源	-0.5	3.6	V
		高性能用户 IO 电源	-0.5	2.0	V
5	V_{CCAUX_IO}	辅助用户 IO 电源，当设置为 1.8V 时	-0.5	2.06	V
6	V_{REF}	输入参考电压	-0.5	2.0	V
7	V_{IN}(2)	高性能用户 IO 输入电压	-0.55	V_{CCO}+0.55	V
		宽范围用户 IO 输入电压	-0.4	V_{CCO}+0.55	V
8	V_{CCBATT}	密钥存储备用电池电压	-0.5	2.0	V
SERDES 高速收发器					
9	$V_{MGTAVCC}$	高速收发器模拟电路电源	-0.5	1.1	V
10	$V_{MGTAVTT}$	高速收发器端接电路电源	-0.5	1.32	V
11	$V_{MGTVCCAUX}$	高速收发器 QPLL 辅助电源	-0.5	1.935	V
12	$V_{MGTREFCLK}$	高速收发器参考时钟绝对输入电压	-0.5	1.32	V
13	$V_{MGTAVTTRCAL}$	高速收发器电阻校准电路模拟电源	-0.5	1.32	V
14	V_{MGTIN}	高速收发器绝对输入电压	-0.5	1.26	V
15	$I_{DCIN-FLOAT}$	RX 端浮空时 RX 输入引脚直流耦合输入电流	--	14	mA
16	$I_{DCIN-MGTAVTT}$	RX 端为 $V_{MGTAVTT}$ 时 RX 输入引脚直流耦合输入电流	--	12	mA
17	$I_{DCIN-GND}$	RX 端为 GND 时 RX 输入引脚直流耦合输入电流	--	6.5	mA
18	$I_{DCOUT-FLOAT}$	RX 端浮空时 TX 输出引脚直流耦合输出电流	--	14	mA
19	$I_{DCOUT-MGTAVTT}$	RX 端为 $V_{MGTAVTT}$ 时 TX 输出引脚直流耦合输出电流	--	12	mA
片上 ADC 模块					
20	V_{CCADC}	ADC 相对 GNDADC 的电源电压	-0.5	2.0	V
21	V_{REFP}	相对 GNDADC 外部提供的参考电压	-0.5	2.0	V
温度范围					
22	T_{STG}	储存环境温度	-65	150	℃
23	T_{SOL}	封装引脚无铅焊球最大焊接温度	--	260	℃
25	T_J	器件最大结温（工业 I 级）	-40	100	℃
27	θ_{JC}	热阻	--	0.10	℃/W

注 1：超过绝对最大额定值的应力可能会对器件造成永久性的损坏。上表内容只是用于压力评级，不包含器件在这些或任何超出上述条件下的功能操作。长时间暴露在绝对最大额定值条件下可能会影响器件可靠性。
注 2：最大极限适用于输入直流信号。输入交流信号最大过冲和过冲规格见下表 6 和表 7。

表 6　用户 I/O 最大允许的交流过冲输入电压和下冲输入电压（HPIO）

序号	交流过冲电压（V）	% of UI	交流下冲电压（V）	% of UI
1	V_{CCO} + 0.55	100	- 0.55	100
2	V_{CCO} + 0.60	50.0(3)	- 0.60	50.0(3)
3	V_{CCO} + 0.65	50.0(3)	- 0.65	50.0(3)
4	V_{CCO} + 0.70	47.0	- 0.70	50.0(3)
5	V_{CCO} + 0.75	21.2	- 0.75	50.0(3)
6	V_{CCO} + 0.80	9.71	- 0.80	50.0(3)
7	V_{CCO} + 0.85	4.51	- 0.85	28.4
8	V_{CCO} + 0.90	2.12	- 0.90	12.7
9	V_{CCO} + 0.95	1.01	- 0.95	5.79

注 1：每个 IO Bank 合计不能超过 200 mA。
注 2：过冲或下冲的峰值电压、在 V_{CCO} + 0.20V 以上或 GND - 0.20V 以下的持续时间不得超过上表中的值。
注 3：UI 持续时间小于 20μs。

表 7　用户 I/O 最大允许的交流过冲输入电压和下冲输入电压（HRIO）

序号	交流过冲电压（V）	% of UI	交流下冲电压（V）	% of UI
1	V_{CCO} + 0.55	100	- 0.40	100
			- 0.45	61.7
			- 0.50	25.8
			- 0.55	11.0
2	V_{CCO} + 0.60	46.6	- 0.60	4.77
3	V_{CCO} + 0.65	21.2	- 0.65	2.10
4	V_{CCO} + 0.70	9.75	- 0.70	0.94
5	V_{CCO} + 0.75	4.55	- 0.75	0.43
6	V_{CCO} + 0.80	2.15	- 0.80	0.20
7	V_{CCO} + 0.85	1.02	- 0.85	0.09
8	V_{CCO} + 0.90	0.49	- 0.90	0.04
9	V_{CCO} + 0.95	0.24	- 0.95	0.02

注 1：每个 IO Bank 合计不能超过 200 mA。
注 2：过冲或下冲的峰值电压、在 V_{CCO} + 0.20V 以上或 GND - 0.20V 以下的持续时间不得超过上表中的值。

5.2 推荐工作范围

表 8 推荐工作条件

序号	标志符号	特性描述	最小	典型	最大	单位
FPGA 逻辑						
1	V_{CCINT}(2)	内核电源	0.97	1.00	1.03	V
2	V_{CCBRAM}(2)	内部块 RAM 电源	0.97	1.00	1.03	V
3	V_{CCAUX}	辅助电源	1.71	1.80	1.89	V
4	V_{CCO}(3)	高性能用户 HPIO 电源	1.14	—	1.89	V
		宽范围用户 HRIO 电源	1.14	—	3.465	V
5	V_{CCAUX_IO}	IO 辅助电源，当设置为 1.8V 时	1.71	1.80	1.89	V
		IO 辅助电源，当设置为 2.0V 时	1.94	2.00	2.06	V
6	V_{IN}	IO 输入电压	-0.2	—	V_{CCO}+0.2	V
		当 V_{CCO} 为 3.3V 时，对于 V_{REF} 和差分电平标准（TMDS33 除外）的 IO 输入电压	-0.2	—	2.625	V
7	I_{IN}(4)	在通电或无电状态下，当引脚的箝位二极管处于正向偏置时允许通过任何引脚的最大电流	—	—	10	mA
8	V_{CCBATT}(5)	密钥存储备用电池电压	1.0	—	1.89	V
高速串行收发器						
10	$V_{MGTAVCC}$(6)	高速收发器 QPLL 模拟电源电压 QPLL 频率范围≤10.3125GHz	0.97	1.00	1.08	V
		高速收发器 QPLL 模拟电源电压 QPLL 频率范围＞10.3125GHz	1.02	1.05	1.08	V
11	$V_{MGTAVTT}$(6) (7)	高速收发器端接电路电源	1.17	1.20	1.23	V
12	$V_{MGTVCCAUX}$(6)	高速收发器 QPLL 辅助电源	1.75	1.80	1.85	V
13	$V_{MGTAVTTRCAL}$(6) (7)	高速收发器电阻校准电路模拟电源	1.17	1.20	1.23	V
片上 ADC 模块						
14	V_{CCADC}	ADC 相对 GNDADC 的电源电压	1.71	1.80	1.89	V
15	V_{REFP}	外部提供的参考电压	1.20	1.25	1.30	V
工作温度范围						
16	T_j	器件最大结温（工业 I 级）	-40	—	100	℃

注 1：所有的电压值都是相对于大地的。
注 2：VCCINT 和 VCCBRAM 应该连接到相同的供电电源。
注 3：即使 VCCO 下降到 0V，配置数据仍然会被保留。VCCO 包含 1.2V、1.35V、1.5V、1.8V、2.5V（仅 HRIO）、3.3V（仅 HRIO）范围±5%的。
注 4：每个 IO Bank 总和不能超过 200 mA。
注 5：只有在使用位流加密时才需要 VCCBATT；如果没有使用电池，VCCBATT 连接到大地或 VCCAUX。
注 6：列出的每个电压都需要采用本器件的产品应用手册中描述的滤波电路。
注 7：VMGTAVTT 与 VMGTAVTTRCAL 短接使用。

表 9　器件典型静态所需供电电流

序号	标志符号	特性描述	参考最大值	单位
1	I_{CCINTQ}	V_{CCINT}静态供电电流	4000	mA
2	I_{CCAUXQ}	V_{CCAUX}静态供电电流	250	mA
3	I_{CCOQ}	V_{CCO}静态供电电流	5	mA
4	I_{CCAUX_IOQ}	V_{CCAUX_IO}静态供电电流	5	mA
5	$I_{CCBRAMQ}$	V_{CCBRAM}静态供电电流	250	mA
6	I_{CCADC}	ADC模拟电源电流，模拟电路处于通电状态	25	mA
7	I_{FS}	eFUSE 编程 V_{CCAUX} 供电电流	115	mA
注 1：最大值是在标称的最大工作电压、在工作温度范围和 IO 资源选择为单端工作模式的条件下。 注 2：器件为空白配置、没有输出电流负载、没有活跃输入上拉电阻、所有 I/O 引脚为三态和悬空条件下。				

表 10　器件上电需求最小电流

器件	$I_{CCINTMIN}$	$I_{CCAUXMIN}$	I_{CCOMIN}	I_{CCAUX_IOMIN}	$I_{CCBRAMMIN}$	单位
CSD7K325T	I_{CCINTQ} + 600	I_{CCAUXQ} + 80	I_{CCOQ} + 40 mA /IO岸组	I_{CCOAUX_IOQ} + 40 mA /IO岸组	$I_{CCBRAMQ}$ + 40	mA

表 11 器件上电上升时间

序号	标志符号	特性描述	条件	极限值		单位
				最小	最大	
1	t_{VCCINT}(1)	从 GND 到 90% V_{CCINT} 的爬升时间	--	0.2	50	ms
2	t_{VCCO}	从 GND 到 90% V_{CCO} 的爬升时间	--	0.2	50	ms
3	t_{VCCAUX}	从 GND 到 90% V_{CCAUX} 的爬升时间	--	0.2	50	ms
4	t_{VCCAUX_IO}	从 GND 到 90% V_{CCAUX_IO} 的爬升时间	--	0.2	50	ms
5	$t_{VCCBRAM}$	从 GND 到 90% V_{CCBRAM} 的爬升时间	--	0.2	50	ms

6	$t_{MGTAVCC}$(2)	从 GND 到 90% $V_{MGTAVCC}$ 的爬升时间	--	0.2	50	ms
7	$t_{MGTAVTT}$	从 GND 到 90% $V_{MGTAVTT}$ 的爬升时间	--	0.2	50	ms
8	$t_{MGTVCCAUX}$	从 GND 到 90% $V_{MGTVCCAUX}$ 的爬升时间	--	0.2	50	ms

注 1：要求的上电电源顺序为 V_{CCINT}、V_{CCBRAM}、V_{CCAUX}、V_{CCAUX_IO} 和 V_{CCO}，以实现最小的上电电流并确保 I/Os 在上电过程中状态为三态。要求的掉电电源顺序与上电电源顺序相反。

注 2：为实现高速收发器 SerDes 最小的上电电流，推荐的上电电源顺序为 V_{CCINT}、$V_{MGTAVCC}$、$V_{MGTAVTT}$ 或 $V_{MGTAVCC}$、V_{CCINT}、$V_{MGTAVTT}$；对于 $V_{MGTVCCAUX}$ 没有推荐的上电顺序。推荐的掉电电源顺序与上电电源顺序相反。

注 3：如果 V_{CCINT} 和 V_{CCBRAM} 为相同的电压值它们可以被同一个电源驱动和同时上电；

注 4：如果 V_{CCAUX}、V_{CCAUX_IO} 和 V_{CCO} 为相同的电压值它们可以被同一个电源驱动和同时上电。

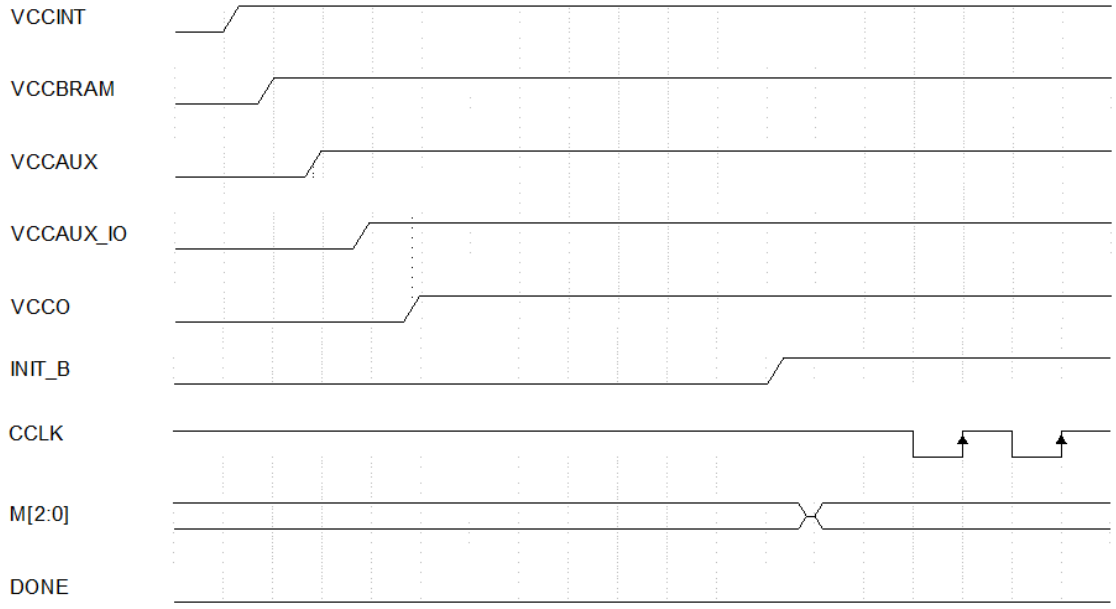


图 7　上电时序

6 电特性参数

6.1 直流特性

表 12 直流电参数表

序号	特性	符号	条 件	极限值		单位
				最小值	最大值	
1	数据保持 V_{CCINT} 电压	V_{DRINT}	V_{CCBRAM}=0.97V,V_{CCAUX}=1.71V, V_{CCAUX_IO}=1.71V,V_{CCO}=1.71V	0.75	—	V
2	数据保持 V_{CCAUX} 电压	V_{DRI}	V_{CCINT}=0.97V,V_{CCBRAM}=0.97V, V_{CCAUX_IO}=1.71V,V_{CCO}=1.71V	1.5	—	V
3	V_{REF} 漏电流	I_{REF}	V_{CCINT}=1.03V,V_{CCBRAM}=1.03V,V_{CCAUX}=1.89V, V_{CCAUX_IO}=1.89V,V_{CCO}=1.89V,V_{REF}=0.9V	—	15	μA
4	引脚输入或输出漏电流	I_L	V_{CCINT}=1.03V,V_{CCBRAM}=1.03V,V_{CCAUX}=1.89V, V_{CCAUX_IO}=1.89V,V_{CCO}=1.89V	—	15	μA
5	管脚上拉电流	I_{RPU}	管脚上拉使能时,V_{IN}=0V,V_{CCO}=3.3V, V_{CCINT}=1.00V,V_{CCBRAM}=1.00V, V_{CCAUX}=1.80V,V_{CCAUX_IO}=1.80V	80	330	μA
			管脚上拉使能时,V_{IN}=0V,V_{CCO}=2.5V, V_{CCINT}=1.00V,V_{CCBRAM}=1.00V, V_{CCAUX}=1.80V,V_{CCAUX_IO}=1.80V	68	250	μA
			管脚上拉使能时,V_{IN}=0V,V_{CCO}=1.8V, V_{CCINT}=1.00V,V_{CCBRAM}=1.00V, V_{CCAUX}=1.80V,V_{CCAUX_IO}=1.80V	34	220	μA
			管脚上拉使能时，V_{IN}=0V，V_{CCO}=1.5V， V_{CCINT}=1.00V,V_{CCBRAM}=1.00V, V_{CCAUX}=1.80V,V_{CCAUX_IO}=1.80V	23	150	μA
			管脚上拉使能时，V_{IN}=0V，V_{CCO}=1.2V， V_{CCINT}=1.00V,V_{CCBRAM}=1.00V, V_{CCAUX}=1.80V,V_{CCAUX_IO}=1.80V	12	120	μA
6	管脚下拉电流	I_{RPD}	管脚下拉使能时,V_{IN}=3.3V,V_{CCO}=3.3V, V_{CCINT}=1.00V,V_{CCBRAM}=1.00V, V_{CCAUX}=1.80V,V_{CCAUX_IO}=1.80V	68	330	μA
			管脚下拉使能时,V_{IN}=1.8V,V_{CCO}=1.8V, V_{CCINT}=1.00V,V_{CCBRAM}=1.00V, V_{CCAUX}=1.80V,V_{CCAUX_IO}=1.80V	45	180	μA
7	ADC 模拟电源电流，模拟电路处于通电状态	I_{CCADC}	V_{CCINT}=1.00V,V_{CCBRAM}=1.00V,V_{CCAUX}=1.80V, V_{CCAUX_IO}=1.80V, V_{CCO}=1.80V, V_{CCADC}=1.89V, *VREFP*=1.25V	—	25	mA

表 13　单端输入低电平电压

特 性	符号	条　　件		极限值		单位
				最小	最大	
输入低电平电压	V_{IL}	LVTTL，V_{CCO}=3.3×（1±5%）V		-0.3	0.8	V
		PCI33_3，V_{CCO}=3.3×（1±5%）V		-0.4	30%V_{CCO}	V
		MOBILE_DDR，V_{CCO}=1.8×（1±5%）V		-0.3	20%V_{CCO}	V
		LVCMOS33，V_{CCO}=3.3×（1±5%）V		-0.3	0.8	V
		LVCMOS25，V_{CCO}=2.5×（1±5%）V		-0.3	0.7	V
		LVCMOS18，V_{CCO}=1.8×（1±5%）V		-0.3	35%V_{CCO}	V
		LVCMOS15，V_{CCO}=1.5×（1±5%）V		-0.3	35%V_{CCO}	V
		LVCMOS12，V_{CCO}=1.2×（1±5%）V		-0.3	35%V_{CCO}	V
		HSTL_I，V_{CCO}=1.5×（1±5%）V	V_{REF}=V_{CCO}/2	-0.3	V_{REF}-0.1	V
		HSTL_II，V_{CCO}=1.5×（1±5%）V		-0.3	V_{REF}-0.1	V
		SSTL15，V_{CCO}=1.5×（1±5%）V		-0.3	V_{REF}-0.1	V
		HSTL_I_18,V_{CCO}=1.8×（1±5%）V	V_{REF}=V_{CCO}/2	-0.3	V_{REF}-0.1	V
		HSTL_II_18,V_{CCO}=1.8×（1±5%）V		-0.3	V_{REF}-0.1	V
		SSTL18_I，V_{CCO}=1.8×（1±5%）V		-0.3	V_{REF}-0.125	V
		SSTL18_II，V_{CCO}=1.8×（1±5%）V		-0.3	V_{REF}-0.125	V
		HSTL_I_12，V_{CCO}=1.2×（1±5%）V	V_{REF}=V_{CCO}/2	-0.3	V_{REF}-0.08	V
		HSUL_12，V_{CCO}=1.2×（1±5%）V		-0.3	V_{REF}-0.13	V
		SSTL12，V_{CCO}=1.2×（1±5%）V		-0.3	V_{REF}-0.1	V
		SSTL135，V_{CCO}=1.35×（1±5%）V	V_{REF}=V_{CCO}/2	-0.3	V_{REF}-0.09	V

表 14　单端输入高电平电压

特性	符号	条　　件		极限值		单位
				最小值	最大值	
输入高电平电压	V_{IH}	LVCMOS18，V_{CCO} =1.8×（1±5%）V		65% V_{CCO}	V_{CCO} +0.3	V
		LVCMOS25，V_{CCO} =2.5×（1±5%）V		1.7	V_{CCO} +0.3	V
		LVCMOS33/LVTTL，V_{CCO} =3.3×（1±5%）V		2.0	3.450	V
		LVCMOS15，V_{CCO} =1.5×（1±5%）V		65% V_{CCO}	V_{CCO} +0.3	V
		LVCMOS12，V_{CCO} =1.2×（1±5%）V		65% V_{CCO}	V_{CCO} +0.3	V
		MOBILE_DDR，V_{CCO} =1.8×（1±5%）V		80% V_{CCO}	V_{CCO} +0.3	V
		PCI33_3，V_{CCO} =3.3×（1±5%）V		50% V_{CCO}	V_{CCO} +0.5	V
		HSTL_I，V_{CCO} =1.5×（1±5%）V	V_{REF}=V_{CCO}/2	V_{REF} +0.1	V_{CCO} +0.3	V
		HSTL_II，V_{CCO} =1.5×（1±5%）V		V_{REF} +0.1	V_{CCO} +0.3	V

特性	符号	条　　件		极限值		单位
				最小值	最大值	
		SSTL15，V_{CCO} =1.5×（1±5%）V		V_{REF} +0.1	V_{CCO} +0.3	V
		HSTL_I_18, V_{CCO} =1.8×（1±5%）V	V_{REF}=V_{CCO}/2	V_{REF} +0.1	V_{CCO} +0.3	V
		HSTL_II_18，V_{CCO} =1.8×（1±5%）V		V_{REF} +0.1	V_{CCO} +0.3	V
		SSTL18_I，V_{CCO} =1.8×（1±5%）V		V_{REF} +0.125	V_{CCO} +0.3	V
		SSTL18_II，V_{CCO} =1.8×（1±5%）V		V_{REF} +0.125	V_{CCO} +0.3	V
		HSTL_I_12，V_{CCO} =1.2×（1±5%）V	V_{REF}=V_{CCO}/2	V_{REF} +0.08	V_{CCO} +0.3	V
		HSUL_12，V_{CCO} =1.2×（1±5%）V		V_{REF} +0.13	V_{CCO} +0.3	V
		SSTL12，V_{CCO} =1.2×（1±5%）V		V_{REF} +0.1	V_{CCO} +0.3	V
		SSTL135，V_{CCO} =1.35×（1±5%）V	V_{REF}=V_{CCO}/2	V_{REF} +0.09	V_{CCO} +0.3	V

表 15　单端输出低电平电压

特性	符号	条　　件	极限值		单位
			最小值	最大值	
输出低电平电压	V_{OL}	LVCMOS18，V_{CCO} =1.8×（1±5%）V，I_{OL} =16mA	—	0.45	V
		LVCMOS25，V_{CCO} =2.5×（1±5%）V，I_{OL} =16mA	—	0.4	V
		LVCMOS33，V_{CCO} =3.3×（1±5%）V，I_{OL} =16mA	—	0.4	V
		LVTTL，V_{CCO} =3.3×（1±5%）V，I_{OL} =24mA	—	0.4	V
		LVCMOS15，V_{CCO} =1.5×（1±5%）V，I_{OL} =16mA	—	25% V_{CCO}	V
		LVCMOS12，V_{CCO} =1.2×（1±5%）V，I_{OL} =8mA	—	0.4	V
		MOBILE_DDR，V_{CCO} =1.8×（1±5%）V，I_{OL} =0.1mA	—	10% V_{CCO}	V
		PCI33_3，V_{CCO} =3.3×（1±5%）V，I_{OL} =1.5mA	—	10% V_{CCO}	V
		HSTL_I，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OL} =8mA	—	0.4	V
		HSTL_II，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OL} =16mA	—	0.4	V
		SSTL15，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OL} =13mA	—	V_{CCO}/2-0.175	V
		HSTL_I_18，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OL} =8mA	—	0.4	V
		HSTL_II_18，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =16mA	—	0.4	V
		SSTL18_I，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =8mA	—	V_{CCO}/2-0.47	V
		SSTL18_II，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =13.4mA	—	V_{CCO}/2-0.6	V

特性	符号	条　　件	极限值		单位
			最小值	最大值	
		HSTL_I_12，V_{CCO} =1.2×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =6.3mA	—	25% V_{CCO}	V
		HSUL_12，V_{CCO} =1.2×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =0.1mA	—	20% V_{CCO}	V
		SSTL12，V_{CCO}=1.2×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =14.25mA	—	V_{CCO}/2-0.15	V
		SSTL135，V_{CCO} =1.35×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =13mA	—	V_{CCO}/2-0.15	V

表 16　单端输出高电平电压

特性	符号	条　　件	极限值		单位
			最小值	最大值	
输出高电平电压	V_{OH}	LVCMOS18，V_{CCO} =1.8×（1±5%）V，I_{OH} =-16mA	V_{CCO} -0.45	—	V
		LVCMOS25，V_{CCO} =2.5×（1±5%）V，I_{OH} =-16mA	V_{CCO} -0.4	—	V
		LVTTL，V_{CCO} =3.3×（1±5%）V，I_{OH} =-24mA	2.4	—	V
		LVCMOS33，V_{CCO} =3.3×（1±5%）V，I_{OH} =-16mA	V_{CCO} -0.4	—	V
		LVCMOS15，V_{CCO} =1.5×（1±5%）V，I_{OH} =-16mA	75% V_{CCO}	—	V
		LVCMOS12，V_{CCO} =1.2×（1±5%）V，I_{OH} =-8mA	V_{CCO} -0.4	—	V
		MOBILE_DDR，V_{CCO} =1.8×（1±5%）V，I_{OH} =-0.1mA	90% V_{CCO}	—	V
		PCI33_3，V_{CCO} =3.3×（1±5%）V，I_{OH} =-0.5mA	90% V_{CCO}	—	V
		HSTL_I，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-8mA	V_{CCO} -0.4	—	V
		HSTL_II，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-16mA	V_{CCO} -0.4	—	V
		SSTL15，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-13mA	V_{CCO} /2+0.175	—	V
		HSTL_I_18，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-8mA	V_{CCO} -0.4	—	V
		HSTL_II_18，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-16mA	V_{CCO} -0.4	—	V
		SSTL18_I，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-8mA	V_{CCO}/2+0.47	—	V
		SSTL18_II，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-13.4mA	V_{CCO} /2+0.6	—	V
		HSTL_I_12，V_{CCO} =1.2×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-6.3mA	75% V_{CCO}	—	V
		HSUL_12，V_{CCO} =1.2×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-0.1mA	80% V_{CCO}	—	V

特性	符号	条　　件	极限值		单位
			最小值	最大值	
		SSTL12，V_{CCO} =1.2×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-14.25mA	V_{CCO}/2+0.15	—	V
		SSTL135，V_{CCO} =1.35×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-13mA	V_{CCO}/2+0.15	—	V

表 17　IOB 差分接口标准输出性能指标（LVDS）

特性	符号	条　　件	极限值			单位
			最小值	典型值	最大值	
LVDS						
输出高电平电压	V_{OH}	RT=100Ω，跨接于 Q 和 QB 端口	–	–	1.675	V
输出低电平电压	V_{OL}	RT=100Ω，跨接于 Q 和 QB 端口	0.825	–	–	V
输出差模电压	V_{ODIFF}	RT=100Ω，跨接于 Q 和 QB 端口	247	350	600	mV
输出共模电压	V_{OCM}	RT=100Ω，跨接于 Q 和 QB 端口	1.000	1.250	1.425	V
输入差模电压	V_{IDIFF}	输入共模电压= 1.25V	100	350	600	mV
输入共模电压	V_{ICM}	输入差模电压= ±350 mV	0.300	1.200	1.425	V

表 18　IOB 差分接口标准输出性能指标（LVDS_25）

特性	符号	条　　件	极限值			单位
			最小值	典型值	最大值	
LVDS_25						
输出高电平电压	V_{OH}	RT=100Ω，跨接于 Q 和 QB 端口	–	–	1.675	V
输出低电平电压	V_{OL}	RT=100Ω，跨接于 Q 和 QB 端口	0.700	–	–	V
输出差模电压	V_{ODIFF}	RT=100Ω，跨接于 Q 和 QB 端口	247	350	600	mV
输出共模电压	V_{OCM}	RT=100Ω，跨接于 Q 和 QB 端口	1.000	1.250	1.425	V
输入差模电压	V_{IDIFF}	-	100	350	600	mV
输入共模电压	V_{ICM}	-	0.300	1.200	1.5	V

表 19　IOB 差分接口电平标准

序号	特性	符号	条　　件	极限值			单位
				最小值	典型值	最大值	
DIFF_HSTL_I							
1	输出高电平电流	I_{OH}	V_{CCO}=1.5V ±5%	-8.00	–	–	mA
2	输出低电平电流	I_{OL}		–	–	8.00	mA
3	输出高电平电压	V_{OH}		V_{CCO}-0.400	–	–	V
4	输出低电平电压	V_{OL}		–	–	0.400	V

序号	特性	符号	条　　件	极限值			单位
				最小值	典型值	最大值	
5	输入差模电压	V_{ID}		0.100	–	–	V
6	输入共模电压	V_{ICM}		0.300	0.750	1.125	V
DIFF_HSTL_I_18							
7	输出高电平电流	I_{OH}	V_{CCO}=1.8V±5%	-8.00	–	–	mA
8	输出低电平电流	I_{OL}		–	–	8.00	mA
9	输出高电平电压	V_{OH}		V_{CCO}-0.400	–	–	V
10	输出低电平电压	V_{OL}		–	–	0.400	V
11	输入差模电压	V_{ID}		0.100	–	–	V
12	输入共模电压	V_{ICM}		0.300	0.900	1.425	V
DIFF_HSTL_II							
13	输出高电平电流	I_{OH}	V_{CCO}=1.5V±5%	-16.00	–	–	mA
14	输出低电平电流	I_{OL}		–	–	16.00	mA
15	输出高电平电压	V_{OH}		V_{CCO}-0.400	–	–	V
16	输出低电平电压	V_{OL}		–	–	0.400	V
17	输入差模电压	V_{ID}		0.100	–	–	V
18	输入共模电压	V_{ICM}		0.300	0.750	1.125	V
DIFF_HSTL_II_18							
19	输出高电平电流	I_{OH}	V_{CCO}=1.8V±5%	-16.00	–	–	mA
20	输出低电平电流	I_{OL}		–	–	16.00	mA
21	输出高电平电压	V_{OH}		V_{CCO}-0.400	–	–	V
22	输出低电平电压	V_{OL}		–	–	0.400	V
23	输入差模电压	V_{ID}		0.100	–	–	V
24	输入共模电压	V_{ICM}		0.300	0.900	1.425	V
DIFF_HSUL_12							
25	输出高电平电流	I_{OH}	V_{CCO}=1.2V±5%	-0.100	–	–	mA
26	输出低电平电流	I_{OL}		–	–	0.100	mA
27	输出高电平电压	V_{OH}		80% V_{CCO}	–	–	V
28	输出低电平电压	V_{OL}		–	–	20% V_{CCO}	V
29	输入差模电压	V_{ID}		0.100	–	–	V
30	输入共模电压	V_{ICM}		0.300	0.600	0.850	V
DIFF_MOBILE_DDR							
31	输出高电平电流	I_{OH}	V_{CCO}=1.8V±5%	-0.100	–	–	mA

序号	特性	符号	条　　件	极限值			单位
				最小值	典型值	最大值	
32	输出低电平电流	I_{OL}		–	–	0.100	mA
33	输出高电平电压	V_{OH}		90% V_{CCO}	–	–	V
34	输出低电平电压	V_{OL}		–	–	10% V_{CCO}	V
35	输入差模电压	V_{ID}		0.100	–	–	V
36	输入共模电压	V_{ICM}		0.300	0.900	1.425	V
DIFF_SSTL12							
37	输出高电平电流	I_{OH}	V_{CCO}=1.2V ±5%	-14.25	–	–	mA
38	输出低电平电流	I_{OL}		–	–	14.25	mA
39	输出高电平电压	V_{OH}		V_{CCO} /2 + 0.15	–	–	V
40	输出低电平电压	V_{OL}		–	–	V_{CCO}/2 - 0.15	V
41	输入差模电压	V_{ID}		0.100	–	–	V
42	输入共模电压	V_{ICM}		0.300	0.600	0.850	V
DIFF_SSTL135							
43	输出高电平电流	I_{OH}	V_{CCO}=1.35V ±5%	-13	–	–	mA
44	输出低电平电流	I_{OL}		–	–	13	mA
45	输出高电平电压	V_{OH}		V_{CCO} /2 + 0.15	–	–	V
46	输出低电平电压	V_{OL}		–	–	V_{CCO}/2 - 0.15	V
47	输入差模电压	V_{ID}		0.100	–	–	V
48	输入共模电压	V_{ICM}		0.300	0.675	1.000	V
DIFF_SSTL135_R							
49	输出高电平电流	I_{OH}	V_{CCO}=1.35V ±5%	-8.9	–	–	mA
50	输出低电平电流	I_{OL}		–	–	8.9	mA
51	输出高电平电压	V_{OH}		V_{CCO} /2 + 0.15	–	–	V
52	输出低电平电压	V_{OL}		–	–	V_{CCO}/2 - 0.15	V
53	输入差模电压	V_{ID}		0.100	–	–	V
54	输入共模电压	V_{ICM}		0.300	0.675	1.000	V
DIFF_SSTL15							
55	输出高电平电流	I_{OH}	V_{CCO}=1.5V ±5%	-13.0	–	–	mA
56	输出低电平电流	I_{OL}		–	–	13.0	mA
57	输出高电平电压	V_{OH}		V_{CCO} /2 + 0.175	–	–	V
58	输出低电平电压	V_{OL}		–	–	V_{CCO}/2 - 0.175	V
59	输入差模电压	V_{ID}		0.100	–		V

序号	特性	符号	条　　件	极限值			单位
				最小值	典型值	最大值	
60	输入共模电压	V_{ICM}		0.300	0.750	1.125	V
DIFF_SSTL15_R							
61	输出高电平电流	I_{OH}	V_{CCO}=1.5V ±5%	-8.9	–	–	mA
62	输出低电平电流	I_{OL}		–	–	8.9	mA
63	输出高电平电压	V_{OH}		V_{CCO} /2 + 0.175	–	–	V
64	输出低电平电压	V_{OL}		–	–	V_{CCO}/2 - 0.175	V
65	输入差模电压	V_{ID}		0.100	–		V
66	输入共模电压	V_{ICM}		0.300	0.750	1.125	
DIFF_SSTL18_I							
67	输出高电平电流	I_{OH}	V_{CCO}=1.8V ±5%	-8.00	–	–	mA
68	输出低电平电流	I_{OL}		–	–	8.00	mA
69	输出高电平电压	V_{OH}		V_{CCO} /2 + 0.47	–	–	V
70	输出低电平电压	V_{OL}		–	–	V_{CCO}/2 - 0.47	V
71	输入差模电压	V_{ID}		0.100	–	–	V
72	输入共模电压	V_{ICM}		0.300	0.900	1.425	V
DIFF_SSTL18_II							
73	输出高电平电流	I_{OH}	V_{CCO}=1.8V ±5%	-13.4	–	–	mA
74	输出低电平电流	I_{OL}		–	–	13.4	mA
75	输出高电平电压	V_{OH}		V_{CCO}/2+ 0.600	–	–	V
76	输出低电平电压	V_{OL}		–	–	V_{CCO}/2 - 0.600	V
77	输入差模电压	V_{ID}		0.100	–	–	V
78	输入共模电压	V_{ICM}		0.300	0.900	1.425	V

6.2 交流开关特性

6.2.1 性能特征

表 20 网络应用接口性能

特性描述	标志符号	条　　件	极限值	单位
SDR LVDS 发送端速率	$DR_{SDR_LVDS_TX}$	使用 OSERDES，数据位宽 4 到 8	625	Mb/s
DDR LVDS 发送端速率	$DR_{DDR_LVDS_TX}$	使用 OSERDES，数据位宽 4 到 14	1250（HPIO）	Mb/s
			950（HRIO）	
SDR LVDS 接收端速率	$DR_{SDR_LVDS_RX}$	SPI-4.1(1)	625	Mb/s
DDR LVDS 接收端速率	$DR_{DDR_LVDS_RX}$	SPI-4.1(1)	1250（HPIO）	Mb/s
			950（HRIO）	
注 1：LVDS 接收端所实现性能必须依靠于特定的动态相位对准（DPA：dynamic phase-alignment）算法				

表 21 存储器接口生成器可用的存储器接口 IP 的最大物理接口（PHY）速率

特性	符号	条　　件	极限值	单位
4:1 存储器控制				
DDR3	$PHYR_{DDR3_4}$	V_{CCAUX_IO}=2.0V	1600（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	1066（HPIO）	Mb/s
		-	800（HRIO）	Mb/s
DDR3L	$PHYR_{DDR3L_4}$	V_{CCAUX_IO}=2.0V	1333（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	800（HPIO）	Mb/s
		-	667（HRIO）	Mb/s
DDR2	$PHYR_{DDR2_4}$	V_{CCAUX_IO}=2.0V	800（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	800（HPIO）	Mb/s
		-	800（HRIO）	Mb/s
RLDRAM III	$PHYR_{RLDRAMIII_4}$	V_{CCAUX_IO}=2.0V	667（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	450（HPIO）	Mb/s
2:1 存储器控制				
DDR3	$PHYR_{DDR3_2}$	V_{CCAUX_IO}=2.0V	800（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	800（HPIO）	Mb/s
		-	800（HRIO）	Mb/s
DDR3L	$PHYR_{DDR3L_2}$	V_{CCAUX_IO}=2.0V	800（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	800（HPIO）	Mb/s

特性	符号	条　　件	极限值	单位
		-	667（HRIO）	Mb/s
DDR2	$PHYR_{DDR2_2}$	V_{CCAUX_IO}=2.0V	800（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	800（HPIO）	Mb/s
		-	800（HRIO）	Mb/s
QDR II+(2)	$PHYR_{QDRIIP_2}$	V_{CCAUX_IO}=2.0V	450（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	450（HPIO）	Mb/s
		-	400（HRIO）	Mb/s
RLDRAM II	$PHYR_{RLDRAMII_2}$	V_{CCAUX_IO}=2.0V	450（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	450（HPIO）	Mb/s
		-	450（HRIO）	Mb/s
LPDDR2	$PHYR_{LPDDR2_2}$	V_{CCAUX_IO}=2.0V	667（HPIO）	Mb/s
		V_{CCAUX_IO}=1.8V	667（HPIO）	Mb/s
		-	667（HRIO）	Mb/s
注 1：当使用内部 V_{REF} 时，最大数据率为 800Mb/s（400MHz） 注 2：QDR II+最大性能规范适用于突发长度为 4（BL＝4）的应用实现				

6.2.2　Block RAM and FIFO 模块特性

表 22　Block RAM 和 FIFO 模块频率特性

特性描述	标志符号	极限值	单位
最大频率			
非 SDP RF 模式，最大工作频率（Write first 和 No change 模式）	$f_{MAX_BRAM_WF_NC}$	458.09	MHz
SDP RF 模式，但端口 A 和端口 B 之间无地址重叠时，最大工作频率	$f_{MAX_BRAM_RF_PERFORMANCE}$	458.09	MHz
当在 SDP RF 模式下且端口 A 和端口 B 之间有地址重叠可能的情况下，最大工作频率	$f_{MAX_BRAM_RF_DELAYED_WRITE}$	400.80	MHz
级联但不在 RF 模式下，级联的最大工作频率（Write first, No change）	$f_{MAX_CAS_WF_NC}$	408.00	MHz
在级联、RF 模式且端口地址不可能重叠/一个端口不打开的情况下，BRAM 级联的最大工作频率（Read first,性能模式）	$f_{MAX_CAS_RF_PERFORMANCE}$	408.00	MHz
在级联、RF 模式且端口 A 和端口 B 之间有地址重叠可能的情况下，BRAM 的最大工作频率	$f_{MAX_CAS_RF_DELAYED_WRITE}$	350.88	MHz
不使用 ECC 时，FIFO 的所有模式的最大工作频率	f_{MAX_FIFO}	458.09	MHz
使用 ECC 时，BRAM 和 FIFO 的最大工作频率	f_{MAX_ECC}	351.12	MHz

6.2.3 DSP48E1 模块特性

表 23 DSP48E1 模块频率特性

特性描述	标志符号	极限值	单位
所有寄存器都使用上	f_{MAX}	547.95	MHz
使用模型（pattern）检测	f_{MAX_PATDET}	463.61	MHz
不带 M 寄存器的 2 级流水线乘法器	$f_{MAX_MULT_NOMREG}$	303.77	MHz
不带 M 寄存器的 2 级流水线乘法器，使用模型（pattern）检测	$f_{MAX_MULT_NOMREG_PATDET}$	276.01	MHz
不使用 AD 寄存器	$f_{MAX_PREADD_MULT_NOADREG}$	342.70	MHz
不使用 AD 寄存器，使用模型（pattern）检测	$f_{MAX_PREADD_MULT_NOADREG_PATDET}$	342.70	MHz
不使用流水线寄存器(M 寄存器，AD 寄存器)	$f_{MAX_NOPIPELINEREG}$	225.02	MHz
不使用流水线寄存器(M 寄存器，AD 寄存器)，使用模型（pattern）检测	$f_{MAX_NOPIPELINEREG_PATDET}$	209.38	MHz

6.2.4 时钟缓冲器和网络特性

表 24 时钟缓冲器和网络频率特性

特性描述	标志符号	极限值	单位
全局时钟树最大频率	f_{MAX_BUFG}	625.00	MHz
I/O 时钟树最大频率	f_{MAX_BUFIO}	710.00	MHz
区域时钟树最大频率	f_{MAX_BUFR}	450.00	MHz
水平时钟缓冲器最大频率	f_{MAX_BUFH}	625.00	MHz

6.2.5 MMCM 模块特性

表 25 MMCM 模块特性

特性描述	标志符号	条　　件	极限值	单位
最大时钟输入频率	$MMCM_f_{INMAX}$		800	MHz
最小时钟输入频率	$MMCM_f_{INMIN}$		10	MHz
允许的输入占空比	$MMCM_f_{INDUTY}$	输入频率 10—49 MHz	25	%
		输入频率 50—199 MHz	30	%
		输入频率 200—399 MHz	35	%
		输入频率 400—499 MHz	40	%

特性描述	标志符号	条　　件	极限值	单位
		输入频率≥500 MHz	45	%
最大时钟输入抖动	*MMCM_f*INJITTER		小于输入参考频率周期的 20%或者小于 1ns	
最小动态相移时钟频率	*MMCM_f*MIN_PSCLK		0.01	MHz
最大动态相移时钟频率	*MMCM_f*MAX_PSCLK		450	MHz
最小 MMCM VCO 频率	*MMCM_f*VCOMIN		600	MHz
最大 MMCM VCO 频率	*MMCM_f*VCOMAX		1200	MHz
最大输出频率	*MMCM_f*OUTMAX		800	MHz
最小输出频率	*MMCM_f*OUTMIN		4.69	MHz
最小复位脉冲宽度	*MMCM_RSt*MINPULSE		5	ns
鉴相器的最大频率	*MMCM_f*PFDMAX		450	MHz
鉴相器的最小频率	*MMCM_f*PFDMIN		10	MHz

6.2.6　PLL 模块特性

表 26　PLL 模块特性

特性描述	标志符号	条　　件	极限值	单位
最大时钟输入频率	*PLL_f*INMAX		800	MHz
最小时钟输入频率	*PLL_f*INMIN		19	MHz
允许的输入占空比	*PLL_f*INDUTY	输入频率 10—49 MHz	25	%
		输入频率 50—199 MHz	30	%
		输入频率 200—399 MHz	35	%
		输入频率 400—499 MHz	40	%
		输入频率≥500 MHz	45	%
最大时钟输入抖动	*PLL_f*INJITTER		小于输入参考频率周期的 20%或者小于 1ns	
最小 PLL VCO 频率	*PLL_f*VCOMIN		800	MHz
最大 PLL VCO 频率	*PLL_f*VCOMAX		1600	MHz
最大输出频率	*PLL_f*OUTMAX		800	MHz
最小输出频率	*PLL_f*OUTMIN		6.25	MHz
最小复位脉冲宽度	*PLL_RSt*MINPULSE		5	ns
鉴相器的最大频率	*PLL_f*PFDMAX		450	MHz
鉴相器的最小频率	*PLL_f*PFDMIN		19	MHz

6.2.7 引脚到引脚（Pin-to-Pin） 输入及输出参数

表 27 引脚到引脚（Pin-to-Pin）输入及输出参数

特性描述	标志符号	条　　件	极限值	单位
引脚到引脚（Pin-to-Pin）输出参数				
时钟输入引脚到输出触发器输出引脚（最靠近 BUFGs）的延迟	t_{ICKOF}	SSTL15，Fast Slew Rate，不使用 MMCM 和 PLL	7.79	ns
时钟输入引脚到输出触发器输出引脚（距离 BUFGs 最远）的延迟	$t_{ICKOFFAR}$	SSTL15，Fast Slew Rate，不使用 MMCM 和 PLL	8.62	ns
时钟输入引脚到输出触发器输出引脚的延迟（使用 MMCM）	$t_{ICKOFMMCMCC}$	SSTL15，Fast Slew Rate 使用 MMCM	1.30	ns
时钟输入引脚到输出触发器输出引脚的延迟（使用 PLL）	$t_{ICKOFPLLCC}$	SSTL15，Fast Slew Rate 使用 PLL	1.19	ns
时钟输入引脚到输出触发器输出引脚的延迟(使用 BUFIO) 在 HR I/O banks	$t_{ICKOFCS}$	SSTL15，Fast Slew Rate	6.82	ns
时钟输入引脚到输出触发器输出引脚的延迟(使用 BUFIO) 在 HP I/O banks			6.72	ns
引脚到引脚（Pin-to-Pin）输入参数				
输入引脚到时钟输入引脚的建立保持时间（无延迟、使用输入触发器或者锁存器，使用 MMCM）	$t_{PSMMCMCC}$ /$t_{PHMMCMCC}$	SSTL15，Fast Slew Rate，使用 MMCM	3.14/ -0.16	ns
输入引脚到时钟输入引脚的建立保持时间（无延迟、使用输入触发器或者锁存器，使用 PLL）	$t_{PSPLLCC}$ /$t_{PHPLLCC}$	SSTL15，Fast Slew Rate 使用 PLL	3.54/ –0.27	ns
输入引脚到转作为时钟输入引脚的建立保持时间（使用 BUFIO）在 HR I/O banks	t_{PSCS}/t_{PHCS}	SSTL15，Fast Slew Rate	-0.36/ 1.70	ns
输入引脚到转作为时钟输入引脚的建立保持时间（使用 BUFIO）在 HP I/O banks			–0.34/ 1.73	ns
注 1：该参数表示器件 DDR 输入寄存器的总采样误差；使用 MMCM 来捕获 DDR 输入寄存器操作边沿；该测量中包括 MMCM 抖动、MMCM 相位偏移和 MMCM 相移分辨率；该测量中不包含封装和时钟偏斜。 注 2：该参数表示器件 DDR 输入寄存器的总采样误差；使用 BUFIO 时钟网络和 IDELAY 来捕获 DDR 输入寄存器的操作边沿；该测量中不包含封装和时钟偏斜。				

6.3 集成 SerDes 模块参数特性

6.3.1 SerDes 收发器直流参数特性

表 28 SerDes 收发器直流参数特性

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
差分峰到峰输入电压(1)（外部 AC 耦合）	DV_{PPIN}	>10.3125 Gb/s	150	-	1250	mV
		6.6 Gb/s to 10.3125 Gb/s	150	-	1250	mV
		≤ 6.6 Gb/s	150	-	2000	mV
单端输入电压（相对大地）	V_{IN}	DC 耦合，$V_{MGTAVTT}$ = 1.2V	–200	-	$V_{MGTAVTT}$	mV
共模输入电压	V_{CMIN}	DC 耦合，$V_{MGTAVTT}$ = 1.2V	-	$2/3V_{MGTAVTT}$	-	mV
差分峰到峰输出电压	DV_{PPOUT}	发射端输出幅度设置为最大	1000	-	-	mV
共模输出电压: DC 耦合	$V_{CMOUTDC}$	基于计算公式	$V_{MGTAVTT}–DV_{PPOUT}/4$			mV
共模输出电压: AC 耦合	$V_{CMOUTAC}$	基于计算公式	$V_{MGTAVTT}–DV_{PPOUT}/2$			mV
差分输入电阻	R_{IN}	-	-	100	-	Ω
差分输出电阻	R_{OUT}	-	-	100	-	Ω
发射端输出对（TXP 和 TXN）差分对内延迟差	t_{OSKEW}	-	-	-	12	ps
注 1：推荐外部 AC 耦合电容典型值为 100nF						

表 29 SerDes 收发器时钟输入直流参数特性

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
差分峰到峰输入电压	V_{IDIFF}	DC 耦合，$V_{MGTAVTT}$ = 1.2V	250	-	2000	mV
差分输入电阻	R_{IN}	DC 耦合，$V_{MGTAVTT}$ = 1.2V	-	100	-	Ω
注 1：推荐外部 AC 耦合电容典型值为 100nF						

6.3.2 SerDes 收发器开关特性

表 30 SerDes 收发器频率特性

特性描述	标志符号	条　　件	极限值	单位
SerDes 收发器最大数据速率	f_{GTXMAX}		12.5	Gb/s
SerDes 收发器最小数据速率	f_{GTXMIN}		0.500	Gb/s
CPLL 线路速率范围	$f_{GTXCRANGE}$	输出分频：1	3.2~6.6	Gb/s
		输出分频：2	1.6~3.3	Gb/s
		输出分频：4	0.8~1.65	Gb/s
		输出分频：8	0.5~0.825	Gb/s
QPLL 线路速率范围 1	$f_{GTXQRANGE1}$	输出分频：1	5.93~8.0	Gb/s
		输出分频：2	2.965~4.0	Gb/s
		输出分频：4	1.4825~2.0	Gb/s
		输出分频：8	0.74125~1.0	Gb/s
QPLL 线路速率范围 2	$f_{GTXQRANGE2}$	输出分频：1	9.8~10.3125	Gb/s
		输出分频：2	4.9~5.15625	Gb/s
		输出分频：4	2.45~2.578125	Gb/s
		输出分频：8	1.225~1.2890625	Gb/s
		输出分频：16	0.6125~0.64453125	Gb/s
SerDes 收发器 CPLL 频率范围	$f_{GCPLLRANGE}$	-	1.6~3.3	GHz
SerDes 收发器 QPLL 频率范围 1	$f_{GQPLLRANGE1}$	-	5.93~8.0	GHz
SerDes 收发器 QPLL 频率范围 2	$f_{GQPLLRANGE2}$	-	9.8~10.3125	GHz
SerDes 收发器动态重配置端口频率特性				
SerDes DRPCLK 最大频率	$f_{GTXDRPCLK}$		175.01	MHz
注 1：当线速率大于 10.3125Gb/s，$V_{MGTAVCC}$ 的典型电压为 1.05V。				

表 31　SerDes 收发器参考时钟开关特性

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
参考时钟频率范围	f_{GCLK}	—	60	–	670	MHz
参考时钟上升时间	f_{RCLK}	上升时间的 20% – 80%	–	200	–	ps
参考时钟下降时间	f_{FCLK}	下降时间的 80% – 20%	–	200	–	ps
参考时钟占空比	f_{DCREF}	仅适用于 SerDes 收发器 PLL	40	50	60	%

表 32　SerDes 收发器用户时钟频率特性

特性描述	标志符号	条　　件		极限值	单位
		内部逻辑数据宽度	互联逻辑数据宽度		
TXOUTCLK 最大频率	f_{TXOUT}	—		412.500	MHz
RXOUTCLK 最大频率	f_{RXOUT}	—		412.500	MHz
TXUSRCLK 最大频率	f_{TXIN}	16-bit	16-bit 和 32-bit	412.500	MHz
		32-bit	32-bit	322.266	MHz
RXUSRCLK 最大频率	f_{RXIN}	16-bit	16-bit 和 32-bit	412.500	MHz
		32-bit	32-bit	322.266	MHz
TXUSRCLK2 最大频率	f_{TXIN2}	16-bit	16-bit	412.500	MHz
		16-bit 和 32-bit	32-bit	322.266	MHz
		32-bit	64-bit	161.133	MHz
RXUSRCLK2 最大频率	f_{RXIN2}	16-bit	16-bit	412.500	MHz
		16-bit 和 32-bit	32-bit	322.266	MHz
		32-bit	64-bit	161.133	MHz

表 33　SerDes 发射端的开关特性

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
串行数据速率范围	$f_{SerDesTX}$		0.500	—	12.5	Gb/s
12.5Gb/s 总抖动	$tj_{12.5}$	11.3 Gb/s 使用 QPLL_FBDIV = 40，20 位内部数据宽度，误码率小于 1^{e-12}	—	—	0.28	UI
12.5Gb/s 确定性抖动	$dj_{12.5}$		—	—	0.17	UI
11.18Gb/s 总抖动	$tj_{11.18}$	11.18 Gb/s	—	—	0.28	UI

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
11.18 Gb/s 确定性抖动	$dj_{11.18}$	使用 QPLL_FBDIV = 40，20 位内部数据宽度，误码率小于 1^{e-12}	—	—	0.17	UI
10.3125Gb/s 总抖动	$tj_{10.3125}$	10.3125 Gb/s 使用 QPLL_FBDIV = 40，20 位内部数据宽度，误码率小于 1^{e-12}	—	—	0.28	UI
10.3125 Gb/s 确定性抖动	$dj_{10.3125}$		—	—	0.17	UI
9.953Gb/s 总抖动	$tj_{9.953}$	9.953Gb/s 使用 QPLL_FBDIV = 40，20 位内部数据宽度，误码率小于 1^{e-12}	—	—	0.28	UI
9.953Gb/s 确定性抖动	$dj_{9.953}$		—	—	0.17	UI
9.8Gb/s 总抖动	$tj_{9.8}$	9.8Gb/s 使用 QPLL_FBDIV = 40，20 位内部数据宽度，误码率小于 1^{e-12}	—	—	0.28	UI
9.8Gb/s 确定性抖动	$dj_{9.8}$		—	—	0.17	UI
8.0Gb/s 总抖动	$tj_{8.0}$	8.0 Gb/s 使用 QPLL_FBDIV = 40，20 位内部数据宽度，误码率小于 1^{e-12}	—	—	0.30	UI
8.0 Gb/s 确定性抖动	$dj_{8.0}$		—	—	0.15	UI
6.6Gb/s 总抖动，使用 QPLL	$Tj_{6.6_QPLL}$	6.6 Gb/s 使用 CPLL_FBDIV = 40，20 位内部数据宽度，误码率小于 1^{e-12}	—	—	0.28	UI
6.6 Gb/s 确定性抖动，使用 QPLL	$Dj_{6.6_QPLL}$		—	—	0.17	UI
6.6Gb/s 总抖动，使用 CPLL	$tj_{6.6_CPLL}$	6.6 Gb/s 使用 CPLL_FBDIV = 2，20 位内部数据宽度，误码率小于 1^{e-12}	—	—	0.30	UI
6.6 Gb/s 确定性抖动，使用 CPLL	$dj_{6.6_CPLL}$		—	—	0.15	UI
5Gb/s 总抖动	$tj_{5.0}$	5.0 Gb/s 使用 CPLL_FBDIV = 2，20 位内部数据宽度，误码率小于 1^{e-12}	—	—	0.30	UI
5 Gb/s 确定性抖动	$dj_{5.0}$		—	—	0.15	UI
4.25Gb/s 总抖动	$tj_{4.25}$	4.25 Gb/s 使用 CPLL_FBDIV = 2，20 位内部数据宽度，误码率小于 1^{e-12}	—	—	0.30	UI
4.25 Gb/s 确定性抖动	$dj_{4.25}$		—	—	0.15	UI
3.75Gb/s 总抖动	$tj_{3.75}$	3.75 Gb/s 使用 CPLL_FBDIV = 2，20 位内部数据宽度，误码率小于 1^{e-12}	—	—	0.30	UI
3.75 Gb/s 确定性抖动	$dj_{3.75}$		—	—	0.15	UI
TXOUT_DIV = 2，3.2Gb/s 总抖动	$tj_{3.20}$	3.20 Gb/s 使用 CPLL_FBDIV = 2，20 位内部数据宽度，误码率小于 $1^{e-12,}$ CPLL 频率为 3.2 GHz 、TXOUT_DIV = 2	—	—	0.2	UI
TXOUT_DIV = 2 时，3.2 Gb/s 确定性抖动	$dj_{3.20}$		—	—	0.1	UI
TXOUT_DIV = 1 时，	$tj_{3.20L}$	3.20 Gb/s	—	—	0.32	UI

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
3.2Gb/s 总抖动		使用 CPLL_FBDIV = 2，20 位内部数据宽度，误码率小于 1^{e-12} ，CPLL 频率为 1.6 GHz 、TXOUT_DIV = 1				
TXOUT_DIV = 1 时，3.2 Gb/s 确定性抖动	$dj_{3.20L}$		—	—	0.16	UI
2.5Gb/s 总抖动	$tj_{2.5}$	2.5 Gb/s 使用 CPLL_FBDIV = 2，20 位内部数据宽度，误码率小于 1^{e-12} ，CPLL 频率为 2.5 GHz 、TXOUT_DIV = 2	—	—	0.20	UI
2.5Gb/s 确定性抖动	$dj_{2.5}$		—	—	0.08	UI
1.25Gb/s 总抖动	$tj_{1.25}$	1.25 Gb/s 使用 CPLL_FBDIV = 2，20 位内部数据宽度，误码率小于 1^{e-12} ，CPLL 频率为 2.5 GHz 、TXOUT_DIV = 4	—	—	0.15	UI
1.25 Gb/s 确定性抖动	$dj_{1.25}$		—	—	0.06	UI
500 Mb/s 总抖动	tj_{500}	500 Mb/s 使用 CPLL_FBDIV = 2，20 位内部数据宽度，误码率小于 1^{e-12}	—	—	0.1	UI
500 Mb/s 确定性抖动	dj_{500}		—	—	0.03	UI

表 34　SerDes 接收端的开关特性

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
串行数据速率范围	$f_{SerDesRX}$		0.500	—	f_{GTXMAX}	Gb/s
OOB 检测峰峰值阈值	$RX_{OOBVDPP}$		60	—	150	mV
运行长度（CID）	RX_{RL}		—	—	512	UI
接收器扩展频谱跟踪	RX_{SST}	RXOUT_DIV = 1, 2, and 4，调制 33 kHz	–5000	—	0	ppm
数据/参考时钟 PPM 偏移公差	RX_{PPMTOL}	比特率 ≤ 6.6 Gb/s	–1250	—	1250	ppm
		6.6 Gb/s<比特率≤8.0Gb/s	–700	—	700	ppm
		比特率 > 8.0 Gb/s	–200	—	200	ppm
12.5 Gb/s 正弦抖动容限，使用 QPLL	$jt_sj_{12.5}$	12.5 Gb/s 正弦抖动（注入的正弦抖动频率为 80mhz）（QPLL）	0.30	—	—	UI
11.18 Gb/s 正弦抖动容限，使用 QPLL	$jt_sj_{11.18}$	11.18 Gb/s 正弦抖动（注入的正弦抖动频率为 80mhz）（QPLL）	0.30	—	—	UI
10.32 Gb/s 正弦抖动容限，使用 QPLL	$jt_sj_{10.32}$	10.32 Gb/s 正弦抖动（注入的正弦抖动频	0.30	—	—	UI

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
		率为 80mhz）（QPLL）				
9.95 Gb/s 正弦抖动容限，使用 QPLL	$jt_sj_{9.95}$	9.8 Gb/s 正弦抖动（注入的正弦抖动频率为 80mhz）（QPLL）	0.30	—	—	UI
8.0 Gb/s 正弦抖动容限，使用 QPLL	$jt_sj_{8.0}$	8.0 Gb/s 正弦抖动（注入的正弦抖动频率为 80mhz）（QPLL）	0.44	—	—	UI
6.6 Gb/s 正弦抖动容限，使用 QPLL	$jt_sj_{6.6_QPLL}$	6.6 Gb/s 正弦抖动（注入的正弦抖动频率为 80mhz）（CPLL）	0.48	—	—	UI
6.6 Gb/s 正弦抖动容限，使用 CPLL	$jt_sj_{6.6_CPLL}$	6.6 Gb/s 正弦抖动（注入的正弦抖动频率为 80mhz）（CPLL）	0.44	—	—	UI
5.0 Gb/s 正弦抖动容限，使用 CPLL	$jt_sj_{5.0}$	5.0 Gb/s 正弦抖动（注入的正弦抖动频率为 80mhz）（CPLL）	0.44	—	—	UI
4.25 Gb/s 正弦抖动容限，使用 CPLL	$jt_sj_{4.25}$	4.25 Gb/s 正弦抖动（注入的正弦抖动频率为 80mhz）（CPLL）	0.44	—	—	UI
3.75 Gb/s 正弦抖动容限，使用 CPLL	$jt_sj_{3.75}$	3.75 Gb/s 正弦抖动（注入的正弦抖动频率为 80mhz）（CPLL）	0.44	—	—	UI
使用 CPLL 、RXOUT_DIV = 2.，正弦抖动容限 3.2 Gb/s	$jt_sj_{3.2}$	3.2 Gb/s 正弦抖动（注入的正弦抖动频率为 80mhz）、CPLL 频率为 3.2 GHz 且 RXOUT_DIV = 2	0.45	—	—	UI
使用 CPLL、RXOUT_DIV = 2.，正弦抖动容限 8.0 Gb/s	$jt_sj_{3.2L}$	3.2 Gb/s 正弦抖动（注入的正弦抖动频率为 80mhz）、CPLL 频率为 1.6 GHz 且 RXOUT_DIV = 1	0.45	—	—	UI
使用 CPLL，正弦抖动容限 2.5Gb/s	$jt_sj_{2.5}$	2.5 Gb/s 正弦抖动（注入的正弦抖动频率为 80mhz）、CPLL 频率为 2.5 GHz 且 RXOUT_DIV = 2	0.5	—	—	UI
使用 CPLL，正弦抖动容限 1.25Gb/s	$jt_sj_{1.25}$	1.25 Gb/s 正弦抖动（注入的正弦抖动频率为 80mhz）、CPLL 频率为 2.5 GHz 且 RXOUT_DIV = 4	0.5	—	—	UI
使用 CPLL，正弦抖动容限 500Mb/s	jt_sj_{500}	500 Mb/s 正弦抖动（注入的正弦抖动频	0.4	—	—	UI

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
		率为 80mhz）（CPLL）				
带压力眼的总抖动（在 LPM 或 DFE 模式下与 RX 合成抖动）	$jt_sjse_{3.2}$	3.2 Gb/s	0.70	—	—	UI
	$jt_sjse_{6.6}$	6.6 Gb/s	0.70	—	—	UI
带压力眼的正弦抖动（在LPM或DFE模式下与 RX 合成抖动）	$jt_sjse_{3.2}$	3.2 Gb/s	0.1	—	—	UI
	$jt_sjse_{6.6}$	6.6 Gb/s	0.1	—	—	UI

6.4　集成 PCIE 模块开关特性

表 35　集成 PCIe 模块开关特性

特性描述	标志符号	条　　件	极限值	单位
PIPE 时钟最大频率	$f_{PIPECLK}$		250.00	MHz
用户时钟最大频率	$f_{USERCLK}$		500.00	MHz
用户时钟 2 最大频率	$f_{USERCLK2}$		250.00	MHz
动态重配置端口 DRP 最大时钟频率	f_{DRPCLK}		250.00	MHz

6.5　集成 ADC 模块参数特性

表 36　集成 ADC 模块参数特性

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
V_{CCADC}=1.8V±5%，V_{REFP} = 1 .25V，V_{REFN} = 0V，ADCCLK = 26 MHz，						
ADC 精度（自动校准功能启用）						
分辨率	RES		12	–	–	Bits
积分非线性	INL	线性增强模式开启	–	–	±3	LSBs
差分非线性	DNL	没有编码丢失，保证无变化	–	–	±1	LSBs
偏移误差	Err_offset	偏移校准开启	–	–	±6	LSBs
增益误差	Err_gain	增益校准开启	–	–	±0.5	%
偏移匹配	Match_offset	偏移校准开启	–	–	4	LSBs

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
增益匹配	Match_gain	增益增校校准开启	–	–	0.3	%
采样速率	f_{sample}		–	–	1	MS/s
信噪比	SNR	f_{SAMPLE} = 500KS/s, f_{IN} = 20 kHz 线性增强模式开启	60	–	–	dB
随机信号编码噪声	Noise_code	外部参考电压 1.25V	–	–	2	LSBs
		片上基准	–	3	–	LSBs
总谐波失真	THD	f_{SAMPLE} = 500KS/s, f_{IN} = 20 kHz 线性增强模式开启	–	70	–	dB
扩展温度范围的 ADC 精度						
分辨率			10	–	–	Bits
积分非线性	INL	(分辨率 10 bits)线性增强模式开启	–	–	±1	LSB
差分非线性	DNL	没有编码丢失，保证无变化, (分辨率 10 bits)	–	–	±1	
模拟输入						
ADC 输入范围	FS	单极性操作	0	–	1	V
		双极性操作	–0.5	–	+0.5	V
		单极性普通模式范围（FS 输入端）	0	–	+0.5	V
		双极性普通模式范围（FS 输入端）	+0.5	–	+0.6	V
最大的外部通道输入范围	FS_{AUX}	在这个范围内设置的相邻通道不应破坏相邻通道上的测量	–0.1	–	V_{CCADC}	V
辅助通道的全分辨率带宽	FRBW	–	250	–	–	kHz
片上传感器						
温度传感器误差	Err_temp	T_J = –40 ℃ to 100 ℃	–	–	±4	℃
		T_J= –55 ℃ to +125 ℃	–	–	±6	℃
供电传感器误差	Err_supply	V_{CCAUX} =1.8V ±5% T_J= –40 ℃ to +100 ℃	–	–	±1	%
		V_{CCAUX} =1.8V ±5% T_J= –55 ℃ to +125 ℃	–	–	±2	%
转换速率						
连续转换时间	t_{CONV}	ADCCLK 周期数	26	–	32	Cycles

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
事件转换时间	t_{CONV}	CLK 周期数	–	–	21	Cycles
动态重配置端口的时钟频率	f_{DCLK}	动态重配置端口 DRP 时钟频率	8	–	250	MHz
ADC 的时钟频率	f_{ADCCLK}	来自于 DCLK	1	–	26	MHz
DCLK 占空比	$f_{DCDCLKXADC}$		40	–	60	%
XADC 参考电压						
外部参考	V_{REFP}	外部输入参考电压	1.20	1.25	1.30	V
内部参考	V_{REFP_IN}	-	1.2375	1.25	1.2625	V

6.6　配置模块开关特性

表 37　配置模块开关特性

特性描述	标志符号	条件	极限值		单位
			最小值	最大值	
上电时间特性参数					
编程延迟	t_{PL}		—	5	ms
编程脉冲宽度	$t_{PROGRAM}$		250	—	ns
上电复位时间	t_{POR}	50ms 上电爬升时间	10	50	ms
		1ms 上电爬升时间	10	35	ms
CCLK 输出(主模式)					
主 CCLK 输出延迟	t_{ICCK}		150	—	ns
主 CCLK 时钟低电平占空比	t_{MCCKL}		40	60	%
主 CCLK 时钟高电平	t_{MCCKH}		40	60	%
主 CCLK 频率	f_{MCCK}		—	100	MHz
16 位加密情况下，主 CCLK 频率			—	50	MHz
配置刚开始主 CCLK 频率	f_{MCCK_START}		3（典型值）		MHz
主模式 CCLK 相对标称值得频率公差	$f_{MCCKTOL}$		—	±50	%

特性描述	标志符号	条件	极限值		单位
			最小值	最大值	
CCLK Input (从模式)					
从模式 CCLK 时钟最小低电平时间	t_{SCCKL}		2.5	—	ns
从模式 CCLK 时钟最小高电平时间	t_{SCCKH}		2.5	—	ns
从模式 CCLK 频率	f_{SCCK}		—	100	MHz
EMCCLK 输入(主模式)					
外部主模式 CCLK 最小低电平时间	t_{EMCCKL}		2.5	—	ns
外部主模式 CCLK 最小高电平时间	t_{EMCCKH}		2.5	—	ns
外部主模式 CCLK 频率	f_{EMCCK}		—	100	MHz
内部配置访问端					
内部配置访问端频率（ICAPE2）	f_{ICAPCK}		—	100	MHz
串行模式编程开关特性					
DIN 端建立/保持时间	t_{DCCK_SS}/t_{CCKD_SS}	采用从模式测试	4.0/0.0	—	ns
时钟到 DOUT 端输出的延迟	t_{CCO_SS}		—	8.0	ns
并行模式编程开关特性					
D[31:00]端建立/保持时间	t_{SMDCCK}/t_{SMCCKD}		4.0/0.0	—	ns
CSI_B 端建立/保持时间	$t_{SMCSCCK}/t_{SMCCKCS}$		4.0/0.0	—	ns
RDWR_B 端时间保持/时间	t_{SMWCCK}/t_{SMCCKW}		10.0/0.0	—	ns
时钟到 CSO_B 端输出延迟	$t_{SMCKCSO}$	CSO_B 需要外接上拉 330 Ω 电阻	—	7.0	ns
时钟到 D[31:00]端回读延迟	t_{SMCO}		—	8.0	ns
回读最大频率	f_{RBCCK}		—	100	MHz
边界扫描端口时间参数特性					
TMS 和 TDI 端建立/保持时间	t_{TAPTCK}/t_{TCKTAP}		3.0/2.0	—	ns
TCK 下降沿到 TDO 端输出延迟	t_{TCKTDO}		—	7.0	ns
TCK 最大频率	f_{TCK}		—	66	MHz

特性描述	标志符号	条件	极限值		单位
			最小值	最大值	
内部配置访问端口					
内部配置访问端口速率(ICAPE2)	f_{ICAPCK}		—	100	MHz
BPI Flash 主模式编程开关特性					
时钟到 A[28:00], RS[1:0], FCS_B, FOE_B, FWE_B, ADV_B 端输出延迟	t_{BPICCO}	仅在配置期间，由 I/O 中弱上拉/下拉电阻所决定的最后时钟边沿	—	8.5	ns
D[15:00]端建立/保持时间	t_{BPIDCC}/t_{BPICCD}		4.0/0.0	—	ns
SPI Flash 主模式编程开关特性					
D[03:00]端建立/保持时间	t_{SPIDCC}/t_{SPICCD}		3.0/0.0	—	ns
时钟到 MOSI 端输出延迟	t_{SPICCM}		—	8.0	ns
时钟到 FCS_B 端输出延迟	$t_{SPICCFC}$		—	8.0	ns
STARTUPE2 端口					
USRCCLKO 输入到 CCLK 输出延迟	$t_{USRCCLKO}$		0.50	7.50	ns
CFGMCLK 输出频率	$f_{CFGMCLK}$		65（典型值）		MHz
CFGMCLK 输出频率公差	$f_{CFGMCLKTOL}$		—	±50	%
器件 DNA 访问端口					
DNA 访问端口频率	f_{DNACK}		—	100	MHz

6.7 eFUSE 编程条件

表 38 eFUSE 编程特性

特性描述	标志符号	条　　件	极限值		单位
			最小值	最大值	
编程温度范围	T_J		15	100	℃
V_{CCAUX} 编程电流	I_{FS}		—	115	mA
注 1：FPGA 器件在 eFUSE 编程过程中必须禁止配置。					

7 功能描述

7.1 概述

CSD7K325T 包含 2 列 IO（1 列 HPIO，1 列 HRIO），2 列 CMT，1 列 GTX，7 列 BRAM，6 列 DSP，77 列 CLB，1 列 GCK 以及 1 列配置列 VFRAME。CSD7K325T 的高度为 7 个时钟域高度（1 个时钟区域高度为 50 个 CLB 或 50 个 IOB），1 个时钟区域的宽度为横跨半个产品，所以 CSD7K325T 总共有 14 个时钟区域。最右侧为 HPIO 和 GTX 共同构成，最左侧为 HRIO。

7.2 器件工作原理

CSD7K325T 是 SRAM 型的 FPGA，器件在掉电后将会丢失配置，通常使用一个外部的如 Flash 的存储器件，从而在生产场合下防止电源掉电后丢失配置数据；也可以通过电缆进行编程而不需要外部存储器件。

配置或编程 CSD7K325T 主要有必不可少的三步。

第 1 步：设计输入

软件设计输入工具被用来建立一个 VHDL、Verilog、ABEL 或原理图（Schematic）形式的设计。

第 2 步：实现

软件实现工具被用来将设计网表适配到所需的CSD7K325T器件结构中去并生成一个配置用的比特流。

第 3 步：配置或输入

配置是用外部的数据源（如 FLASH）将配置数据下载到 FPGA 中的一个过程。

CSD7K325T 支持的配置模式包含：

- 主-串配置模式
- 从-串配置模式
- 主-选择映射（并行）配置模式（x8 和 x16）
- 从-选择映射（并行）配置模式（x8，x16 和 x32）
- JTAG/边界扫描配置模式
- SPI Flash 配置模式（x1, x2, x4）
- BPI Flash 配置模式（x8, x16）使用并联 NOR Flash

器件的配置流程如下：

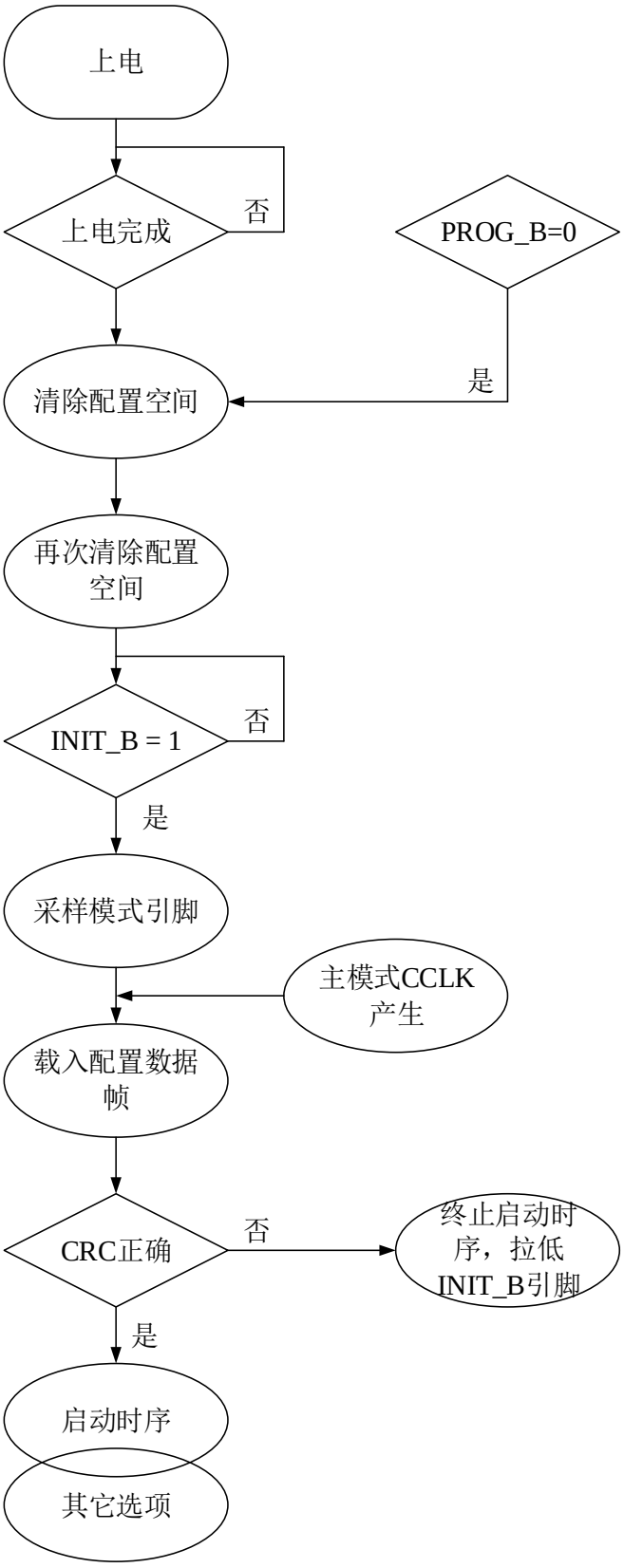


图 8　CSD7K325T 的配置流程图

7.3 功能描述

7.3.1 高性能 IO 模块

高性能 IO 模块由 IO 输入输出模块(IOB)、IDELAYE、ODELAYE，以及相对应的 ILOGICE/ISERDESE、OLOGICE/OSERDESE 组成，其适用于高性能要求的 IO，例如高速存储接口或者高达 1.8V 电压的片间连接。

表 39 高性能 IO Bank 支持的电平特性

序号	特性	高性能 IO Bank
1	3.3V IO	NA
2	2.5V IO	NA
3	1.8V IO	支持
4	1.5V IO	支持
5	1.35V IO	支持
6	1.2V IO	支持
7	LVDS 电平	支持
8	24mA LVCMOS18、LVTTL 输出	NA
9	V_{CCAUX_IO} 电源	支持
10	数字控制阻抗（DCI）及 DCI 级联	支持
11	内部 V_{REF}	支持
12	内部差分终端（DIFF_TERM）	支持
13	IDELAY	支持
14	ODELAY	支持
15	IDELAYCTRL	支持
16	ISERDES	支持
17	OSERDES	支持
18	ZHOLD_DELAY	NA

表 40 高性能 IO 模块功能列表

序号	模块内部功能
1	三态
2	边沿触发式 D 触发器输入/输出功能
3	电平敏感型锁存器输入/输出功能

序号	模块内部功能
4	不同模式 IDDR 功能（OPPOSITE_EDGE/SAME_EDGE/SAME_EDGE_PIPELINED）
5	不同模式的 ODDR 功能（SAME_EDGE，OPPOSITE_EDGE）
6	输入串并转换功能
7	输出并串转换功能
8	IDELAY/ODELAY 功能
9	IO_FIFO 功能（4x4,4x8/8x4，级联）

7.3.2 宽范围 IO 模块

CSD7K325T 的宽范围（HR）的 I/O 组（bank）的 IO 模块（tile）包含两个 IOB，两个 ILOGIC，两个 OLIGIC 和两个 IDELAY。HRIO 组支持更广泛的 I/O 标准，电压最高 3.3V。

表 41　宽范围 IO Bank 支持的电平特性

序号	特性	宽范围 IO Bank
1	3.3V I/O 标准	支持
2	2.5V I/O 标准	支持
3	1.8V I/O 标准	支持
4	1.5V I/O 标准	支持
5	1.35V I/O 标准	支持
6	1.2V I/O 标准	支持
7	LVDS 信号	支持
8	24mA LVCMOS18、LVTTL 输出	支持
9	VCCAUX_IO 电源	N/A
10	DCI 和 DCI 级联	N/A
11	内部 VREF	支持
12	内部差分终端（DIFF_TERM）	支持
13	IDELAY	支持
14	ODELAY	N/A
15	IDELAYCTRL	支持
16	ISERDES	支持
17	OSERDES	支持
18	ZHOLD_DELAY	支持

表 42　宽范围 IO 模块功能列表

序号	模块内部功能
1	三态
2	边沿触发式 D 触发器输入/输出功能
3	电平敏感型锁存器输入/输出功能
4	不同模式的 IDDR 功能（OPPOSITE_EDGE，SAME_EDGE，SAME_EDGE_PIPELINED）
5	不同模式的 ODDR 功能（SAME_EDGE，OPPOSITE_EDGE）
6	输入串并转换功能
7	输出并串转换功能
8	IDELAY 功能
9	ZHOLD_DELAY 功能

7.3.3　CLB 模块

可编程逻辑单元（CLB）是实现用户自定义时序逻辑、组合逻辑功能的主要模块。可编程逻辑单元可以通过互联矩阵实现互联，也可以通过互联阵列和产品内其他资源连接。可编程逻辑单元的复杂度和数量是产品可编程能力的重要参数。

CSD7K325T 的 CLB 模块主要特征有：

- 真 6 输入查找表（LUT）
- 双 LUT5（5 输入 LUT）操作
- 分布式存储和移位寄存器逻辑
- 为算术功能提供专用的进位逻辑
- 宽多路复用器用于高效使用

每个 LUT 可以配置为 6 输入 1 输出的 LUT ，或者 2 个 5 输入 2 个独立输出的 LUT，但使用共同的地址或者输入逻辑。每个 LUT 输出都可以选择寄存器输出。一个 Slice 单元中包含 4 个 6 输入 LUT 以及配套的 8 个触发器，复接器和算术进位逻辑。2 个 Slice 单元构成 1 个 CLB 模块。每个 Slice 单元的 4 个触发器（每个 LUT 一个触发器）可以配置为锁存器操作，同时剩下的 4 个触发器必须保持未使用。

CSD7K325T 大约 2/3 的 CLB 单元是 SLICEL 逻辑，剩余的是 SLICEM 逻辑，SLICEM 逻辑可以使用他们的 LUT 作为分布式 64bit RAM 或者 32bit 移位寄存器（SRL32）或者 2 个 SRL16。

表 43　CLB 模块主要功能列表

序号	模块内部功能
1	查找表功能：1 个 6 输入、2 个 5 输入
2	存储元件功能：边沿式 D 触发器、电平敏感型锁存器
3	分布式 RAM 功能（SLICEM）： RAM：32x1S，32x1D，64x1Q，64x3DSP，256x1S；
4	ROM(SLICEM&SLICEL)：64x1、256x1
5	移位寄存器（SR）（SLICEM）：32bit、Dual 16bit、128bit
6	多路选择器（MUX）：16:1
7	进位链功能：10 输入、8 输出进位链功能

7.3.4　BRAM 模块

BRAM 模块即 Block RAM 模块，可以存储 36K bit 的数据，也可以分成两个独立的 18K bit 的存储模块。Block RAM 模块可以配置为多种模式的 RAM 和 FIFO。

CSD7K325T 的 Block RAM 模块的主要特征包括：

- 每个 BRAM 可以存储多达 36Kbit 的数据
- 每个 BRAM 支持两个独立的 18Kb 或者单个 36Kb
- 每个 36Kb BRAM 可以设置为简单双端口模式，BRAM 双倍数据位宽支持 72bit。18Kb BRAM 可以设置为简单双端口模式，BRAM 双倍数据位宽支持 36bit。简单双端口模式定义为有独立时钟的一个只读、一个只写端口。
- 简单双端口模式支持一端固定位宽，另一端可变位宽。
- 相邻 BRAM 可以合成 64K ×1 的存储器而不要额外的逻辑。
- 64bit 的 ECC 支持每个 36Kb BRAM 或者 36Kb FIFO，编码解码功能分开。ECC 模式支持误码注入。
- BRAM 输出的锁存器和寄存器模式，可以同步设置/复位到初始值。
- 可以将 BRAM 配置为同步 FIFO，消除不确定的标志位。
- FULL 标志位。
- 18, 36, 72bit 位宽 BRAM 端口可以按 byte 独立写。此功能常用于微处理器接口。
- 每个 BRAM 包含操作地址序列和控制电路以产生一个内置双时钟的 FIFO 存储器，BRAM 可以设置为 18 Kb 或 36 Kb FIFO。
- 所有输入通过端口时钟寄存，且有时钟建立时序指标。
- 所有输出有读功能或者边写边读功能，由写使能（WE）pin 决定。在时钟-输出间距后，输出可用。边读边写输出可选三种操作模式之一：WRITE_FIRST, READ_FIRST, 和 NO_CHANGE。

- 写操作要求一个时钟沿。
- 读操作要求一个时钟沿。
- 所有输出端口被锁存或者寄存操作。在被其他读写操作之前，输出端口状态不会改变。BRAM 默认是锁存模式。
- 输出数据深度可以通过内部流水线寄存器操作。强烈推荐使用寄存器模式，此时允许更高的时钟频率，同时也增加了一个延迟时钟周期。
- BRAM 的使用规则包括：
- 不能在 ECC 解码器使用时(EN_ECC_READ = TRUE)同步置位和复位（RSTRAM）端口。
- BRAM 同步输出寄存器（可选）在 DO_REG = 1 时，通过 RSTREG 设置或复位（SRVAL），当 RSTREG 优先级高于 REGCE 时决定 RSTREG_PRIORITY。在 DO_REG = 0 或者 1 时，同步输出锁存被 RSTRAM 设置或复位（SRVAL）。
- BRAM 地址或者写使能 pin 的建立时间不能违反。违反地址建立时间（即使写使能为 LOW 时）会导致 BRAM 数据内容丢失。
- 如果 RSTREG_PRIORITY 设置为 REGCE，BRAM 寄存器模式 RSTREG 要求 REGCE = 1 来复位输出 DO 寄存器值。BRAM 阵列数据输出锁存不能通过这种模式复位。BRAM 锁存模式 RSTRAM 要求 BRAM 使能 EN = 1 时，复位输出 DO 锁存值。
- 两种 BRAM 原语，RAMB36E1 和 RAMB18E1。RAM_MODE 属性定义了 BRAM 的模式，SDP 模式与真双端口（TDP）模式之一。
- 在使用特殊的 BRAM 原语时支持选择不同的读写端口宽度。检验位只用于 x9, x18,x36 端口宽度。检验位不能用于 x1, x2, x4 读宽度。如果读宽度为 x1, x2, x4，有效地写宽度为 x1, x2, x4, x8, x16, x32。同样的，写宽度为 x1, x2, x4，实际有效地读宽度为 x1, x2, x4, x8, x16, x32，即使通过原语属性分别设置为 1, 2, 4, 9, 18, 36。

表 44　BRAM 模块主要功能列表

序号	模块内部功能
1	不同模式的 BRAM 读写功能（WRITE_FIRST，READ_FIRST，NO_CHANGE）
2	不同宽度深度的 BRAM 读写功能（SDP，TDP）： 36Kbit RAM：64Kx1，32Kx1，16Kx2，8Kx4，4Kx9，2Kx18，1Kx36，512x72 18Kbit RAM：16Kx1，8Kx2，4Kx4，2Kx9，1Kx18，512x36
3	RAM 输出寄存器（RSTREG，DO_REG）
4	独立读写位宽功能
5	BRAM 级联功能
6	不同模式的 FIFO 功能及状态标志位测试（同步或者异步，standard 或 first-word fall-through，FWFT）

序号	模块内部功能
7	FIFO 输出寄存器测试
8	不同深度宽度的 FIFO 功能： 18Kb：4K x 4，2K x 9，1K x 18，512 x 36 36Kb：8K x 4，4K x 9，2K x 18，1K x 36，512 x 72
9	FIFO36 级联和并联功能、BRAM 和 FIFO 的组合连接功能
10	不同模式的 64 bit ECC 功能（Standard，encode only，decode only）
11	RAM ECC，FIFO ECC 功能
12	ECC 输出寄存器功能

表 45　BRAM 应用场景

原语	设置读宽度	设置写宽度	有效读宽度	有效写宽度
RAMB18E1	1, 2, 4	9,18	与设置相同	8,16
RAMB18E1	9,18	1, 2, 4	8,16	与设置相同
RAMB18E1	1, 2, 4	1, 2, 4	与设置相同	与设置相同
RAMB18E1	9,18	9,18	与设置相同	与设置相同
RAMB36E1	1, 2, 4	9,18,36	与设置相同	8,16,32
RAMB36E1	9,18,36	1, 2, 4	8,16,32	与设置相同
RAMB36E1	1, 2, 4	1, 2, 4	与设置相同	与设置相同
RAMB36E1	9,18,36	9,18,36	与设置相同	与设置相同

7.3.5　DSP 模块

DSP 支持多种功能，包括乘法、乘累加（MACC）、乘加、三输入加法、桶形移位、宽总线选择、数值比较、按位逻辑运算、样本检测与宽计数功能。还支持多个 DSP 级联，构建更大的数学函数、DSP 滤波器和复杂的运算。

CSD7K325T 的 DSP 模块主要特性包括：

- 25×18 位宽二进制补码乘法器
- 48 位累加器
- 低功耗预加器
- 单指令多数据操作算数单元
- 任意功能逻辑单元
- 码型检测器
- 可选的流水线和专用总线级联

表 46　DSP 模块主要功能列表

序号	模块内部功能
1	25 位预加器（带或不带 D 触发器）
2	25 x 18 乘法器
3	A、B、C、D 数据端口
4	三输入加法器/减法器/48 位逻辑运算单元
5	PATTERN 检测器
6	流水线功能
7	DSP 级联功能

7.3.6　时钟布线资源

CSD7K325T 的时钟资源具有专门的全局时钟、区域 IO 和时钟资源。时钟管理单元（CMT）提供时钟频率合成、去偏斜和抖动过滤功能。在设计时钟功能时，不建议使用非时钟资源（如本地布线）。

- 全局时钟树允许同步逻辑的时钟跨越该模块。
- IO 和区域时钟树允许驱动多达 3 个邻近的垂直时钟区域。
- 每个 CMT 包含 1 个混合模式时钟管理器（MMCM）和 1 个锁相环（PLL），其位置紧靠 IO 模块列。

对于时钟而言，FPGA 可以分成多个时钟域。

- CSD7K325T 有 14 个时钟区域。
- 时钟域包括所有的同步模块（如 CLB、IO、串行收发器、DSP、BRAM、CMT）在一个区域跨越 50 个 CLB 和 1 个 IO bank，在时钟域的中间是水平时钟通道（HROW）。
- 每个时钟域分为 HROW 的上 25 个 CLB、下 25 个 CLB，相对于 HROW 对称分布。

每个 IO Bank 都包含时钟功能输入引脚（CC），以将用户时钟引入 CSD7K325T 型 FPGA 时钟布线资源。结合专用时钟缓冲器，时钟功能输入引脚将用户时钟带到：

- 位于器件相同的上半部分/下半部分的全局时钟线
- 同一 IO Bank 和竖直相邻的 IO Bank 内的 IO 时钟线
- 同一时钟区域和竖直相邻时钟区域内的区域时钟线
- 同一时钟区域内，和有限制、竖直相邻时钟区域内的 CMTs

器件都具有 32 条全局时钟线，可以提供时钟和控制信号到整个器件中的所有时序资源。全局时钟缓冲器（BUFGCTRL，简称为 BUFG）驱动全局时钟线，并且必须是用于访问全局时钟线。每个时钟区域可以最多支持 12 个全局时钟线使用时钟区域中的 12 条水平时钟线。

全局时钟缓冲器：

- 可用作时钟使能电路来启用或禁用多个时钟时钟区域
- 可用作无干扰多路复用器：
  - 在两个时钟源之间选择
  - 与不使用的时钟源隔离
- 通常由 CMT 驱动：
  - 消除时钟分配延迟
  - 调整相对于另一个时钟的时钟延迟

在单个时钟区域内，水平时钟缓冲器（BUFH / BUFHCE）允许通过水平时钟行访问全局时钟线。它也可以用作时钟使能电路（BUFHCE）独立启用或禁用跨越单个时钟区域的时钟。每个时钟区域可以使用 12 个水平时钟线支持最多 12 个时钟。

在一个时钟区域内，CSD7K325T 有可以为所有时序资源提供时钟的区域和 IO 时钟树。每个器件还拥有多区域时钟缓冲器（BUFMR），允许区域时钟和 IO 时钟跨越三个竖直相邻的时钟区域。

- IO 时钟缓冲器（BUFIO）驱动 IO 时钟树，在同一 IO bank 内给所有 IO 资源序列提供时钟。
- 区域时钟缓冲器（BUFR）驱动区域时钟树，其能够驱动相同时钟域中的所有时钟节点，并且可以通过编程对输入时钟频率进行分频。
- 协调 IOB 中的可编程串行器/解串器，BUFIO 和 BUFR 时钟缓冲器允许源同步系统跨越时钟域而不使用额外的逻辑资源
- 相邻时钟区域和 IO Bank 的区域时钟树和 IO 时钟树可以通过使用多区域时钟缓冲器（BUFMR）被驱动，当使用有相关的 BUFR 或 BUFIO。
- 一个时钟区域最多支持四个独立的区域时钟，一个 IO Bank 中最多支持四个独立的 IO 时钟。
- 高性能时钟路径（HPC）将 CMT 的某些特定输出连接到 IO 上，其为低抖动、最小占空比扭曲的直连路径。

表 47　时钟布线主要资源列表

序号	模块内部
1	全局时钟缓冲器 BUFG
2	IO 时钟缓冲器 BUFIO
3	区域时钟缓冲器 BUFR
4	多区域时钟缓冲器 BUFMR
5	横向时钟缓冲器 BUFH

7.3.7 CMT 模块

时钟管理模块 (CMT) 提供非常灵活的高性能时钟控制。每个 CMT 包含一个复合模式时钟管理模块 MMCM 和一个锁相环 PLL。

该 MMCM 和 PLL 可用作各种频率的频率合成器和作为外部或内部时钟的抖动滤波器，以及去偏斜时钟。 PLL 是 MMCM 功能的一个子集。CSD7K325T 型 FPGA 时钟输入连接允许多种资源为 MMCM 和 PLL 提供参考时钟。

CSD7K325T 型 FPGA MMCM 在任何方向上都具有无限精细的相移能力并用于动态相移模式。MMCM 也有一个微计数器存在于反馈路径或在一个输出路径中，实现频率合成的进一步粒度能力。

表 48 CMT 模块主要功能列表

序号	模块内部功能
1	MMCM 的小数分频（O 分频）功能
2	MMCM 分频级联（CLKOUT4 分频与 CLKOUT6 分频）
3	MMCM 参考时钟选择功能
4	CMT 内反馈
5	MMCM/PLL 动态重配置
6	MMCM 的动态相移功能
7	CMT 级联（MMCM 与 MMCM 级联、PLL 与 PLL 级联）
8	MMCM/PLL 频率综合功能（频点抽样）
9	MMCM 扩频时钟产生器（SSCG）

7.3.8 高速串行接口 SerDes 模块

每个高速串行接口 SerDes 模块含发送端和接收端，分为物理编码子层（PCS）和物理媒介接入子层（PMA）两部分，其中 PCS 主要实现对数据的编码、解码及各种协议控制等功能，PMA 主要实现数据的并串转换和串并转换。

表 49 SerDes 模块主要功能列表

分类	功能
PCS	2,4 字节内部数据通路，以支持不同的线速率要求
	8B/10B 编解码
	支持 64B/66B 和 64B/67B 编解码
	Comma 检测，字节和字对准

分类	功能
	PRBS 产生和检测
	TX 相位 FIFO
	RX 弹性 FIFO 用于时钟校准和通道绑定
	可编程逻辑接口
	支持 100Gb CAUI
	支持旁路 buffer 的本地多通道
	TX 相位内插结构支持 PPM Controller interface
PMA	每个 QUAD 共用 QPLL，提供优异的抖动性能
	每个通道配置一个 CPLL，提供便利的时钟方案
	低功耗模式（LPM）的高能效自适应线性均衡技术
	具有自适应调节的 7tap 判决反馈均衡器
	TX 预加重
	可调 TX 输出摆幅
	Beacon 信号用于 PCIE 应用
	OOB 信号用于支持 SATA 应用
	数据速率支持达到 12.5Gbps

高速串行收发器支持的应用模式主要有：

- PCI Express Gen1.1、2.1
- 10GBASE-R
- Interlaken
- 10 Gb XAUI, RxAUI, 100 Gb CAUI, 40 Gb XLAUI
- CPRI™/ OBSAI
- OC-48/192
- OTU-1, OTU-2, OTU-3, OTU-4
- SRIO
- SATA/ SAS
- SDI

表 50　SerDes 支持的主要协议，速率以及内部数据位宽（使用 CPLL）

协议	数据率(Gb/s)	数据位宽(16/20/32/40b)
XAUI	3.125	20b
	1.25	20b

协议	数据率(Gb/s)	数据位宽(16/20/32/40b)
Gigabit Ethernet	1.25	20b
RXAUI	6.25	20b
Aurora	6.25	20b
	5	20b
	3.125	20b
	2.5	20b
	1.25	20b
Serial RapidIO	3.125	20b
	2.5	20b
	1.25	20b
PCIe	5	20b
	2.5	20b
CPRI 1-10X	6.144	20b
	4.9152	20b
	3.072	20b
	2.4576	20b
	1.2288	20b
	0.6144	20b
OBSAI	6.144	20b
	3.072	20b
	1.536	20b
	0.768	20b
3G-SDI HD-SDI	2.97	20b
	1.485	20b
Interlaken	6.25	16b
	4.25	16b
	3.125	16b
SFI-5	3.125	16b
OC-48	2.48832	16b
OC-12	0.62208	16b
OTU-1	2.666057	16b
SATA/SAS	6	20b
	3	20b

协议	数据率(Gb/s)	数据位宽(16/20/32/40b)
	1.5	20b
CPRI 1-4X	2.4576	20b
	1.2288	20b
	0.6144	20b
Fibre Channel	4.25	20b
	2.125	20b
	1.0625	20b

表 51　SerDes 支持的主要协议，速率以及内部数据位宽（使用 QPLL）

协议	数据率(Gb/s)	数据位宽(16/20/32/40b)
PCIe Gen2	5	32b

- 数字算法实现自动校准终端 50 欧姆阻抗；
- 数字算法实现的 PLL 频率锁定检测功能；
- TX 支持去加重及输出差分电压幅度可配置；
- RX 支持连续时间的线性均衡器（CTLE）和判决反馈均衡（DFE）以及低功耗模式工作；
- 采用 2 阶的基于相位内插结构的数字时钟数据恢复（CDR）；
- 内建数字眼图扫描功能，包括横向和纵向扫描；
- 具有多个环回路径（PMA 和 PCS 端的远端和近端环回）、内建自测试模式（PRBS7、PRBS15、PRBS23 和 PRBS31）以及 PMA 内部信号测试。

7.3.9　PCIE 模块

CSD7K325T 型 FPGA 的 PCIE 模块支持 PCIE Gen2，x1、x2、x4 和 x8，该模块规定的每通道数据速率为 5.0Gbps。

表 52　PCIE2_0 模块主要功能列表

编号	模块内部功能		
1	用户接口	AXI4-Stream 接口 64bit，128bit，256bit	
2	链路宽度	X1，X2，X4，X8	
3	链路速度	2.5Gb/s，5.0Gb/s	
4	DRP	可动态重配置	
5	功耗调节	电源管理	
6	传输方式	请求者、完成者双通道传输	
7	协议层	产生和处理事务层	存储器类型包的读、写、完成（带

编号	模块内部功能		
		包	数据，不带数据）
8			配置类型包的读、写、完成（带数据，不带数据）
9			消息类型包的读、写、完成（带数据，不带数据）
10		数据包传输	流控管理
11			中断最大 32 个 MSI 和 MSI-X 向
12			支持 INTx
13			最大传输负载 1024bytes
14			事务排序
15			链路翻转
16		链路训练状态机	链路初始化
17			链路训练
18			链路维护
19			链路协商握手
20	配置管理	0/1 类型的配置头标区	
21		配置空间访问	
22		PCIE 扩展能力空间	
23		环回控制和状态	
24		错误报告和状态	
25		设备序列号扩展	
26		设备 ID 的捕获与存储	
27		用户自定义配置能力	

7.3.10 ADC 模块

CSD7K325T 型 FPGA 内部 ADC 模块，主要是由包含两个 12 位、可达 1MSPS 采样率的模数转换器（ADC）和相关的片上传感器组成。

表 53 ADC 模块主要功能列表

编号	模块内部功能	
	功能	模式
1	采样模式	初始模式
2		单次模式
3		连续模式

编号	模块内部功能	
	功能	模式
4		单通道模式
5		同步采样模式
6		独立 ADC 模式
7	校准功能	ADC 失调校准使能
8		ADC 失调和增益校准使能
9		电源电压传感器校准使能
10		电源电压失调和增益校准使能
11	告警功能	过温告警使能
12		温度告警使能
13		VCCINT 告警
14		VCCAUX 告警
15		VCCBRAM 告警
16		综合告警
17	上电/掉电功能	ADC 上电
18		无效选择
19		ADC 掉电
20	时钟分频功能	DCLK 分频
21	均值滤波器功能	均值滤波器使能(校准)
22		无均值
23		均值 16 次
24		均值 64 次
25		均值 256 次
26	ADC 通道	片上温度
27		电源 VCCINT
28		电源 VCCAUX
29		专用模拟输入
30		基准 VREFP
31		基准 VREFN
32		电源 VCCBRAM
33		无效通道
34		XADC 校准
35		辅助通道 0 至 15

编号	模块内部功能	
	功能	模式
36	模拟输入功能	单端输入模式
37		差分输入模式

7.3.11 配置模块

配置电路和 FPGA 产品的架构关系密切，架构直接决定了配置电路实现的系统组合。其基本功能就是对 SRAM 阵列写入不同的数据组合控制内部的逻辑电路来满足用户设计的功能，而 FPGA 能够“实现”何种功能是由其配置比特流文件（.bit 文件）来决定的。

表 54 CSD7K325T 支持的配置模式

配置模式	M[2:0]	总线位宽	CCLK 方向
主-串配置模式	000	x1	输出
主模式 SPI Flash 配置	001	x1、x2、x4	输出
主模式 BPI Flash 配置	010	x8、x16	输出
主-选择映射配置模式	100	x8、x16	输出
JTAG/边界扫描配置模式	101	x1	\
从-选择映射配置模式	110	x8、x16、x32	输入
从-串配置模式	111	x1	输入

表 55 配置模块主要功能列表

编号	模块内部功能
1	从串、从模式并口配置（x8，x16，x32）
2	JTAG/boundary-scan 配置
3	主模式 SPI flash 配置（Serial Peripheral Interface，SPI，串行外设接口）（x1，x2，x4）
4	主串，主模式并口配置（x8，x16）(2MHz – 60MHz)
5	使用并口 NOR flash 的主模式 BPI flash 配置（x8，x16） （Byte Peripheral Interface，BPI ）
6	eFUSE（checkbit 测试数据编程与读取）

参考配置电路：

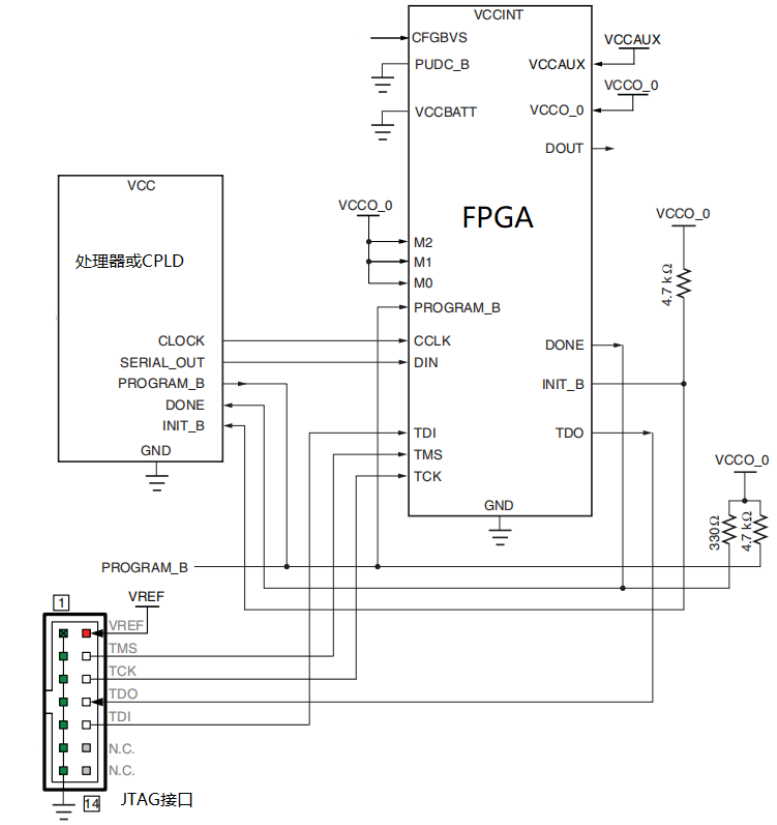


图 9　从串配置参考电路

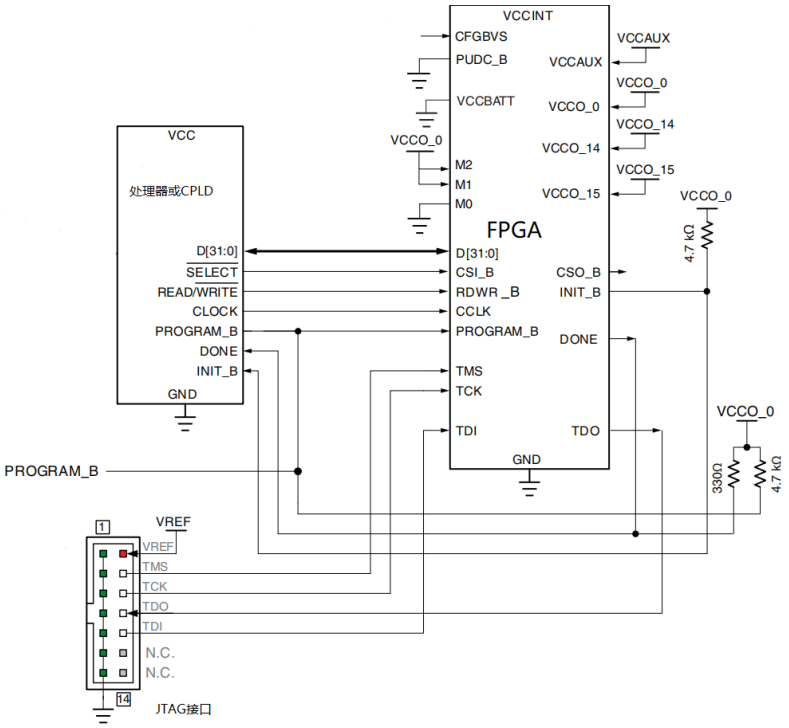


图 10　单个从设备选择映射配置参考电路

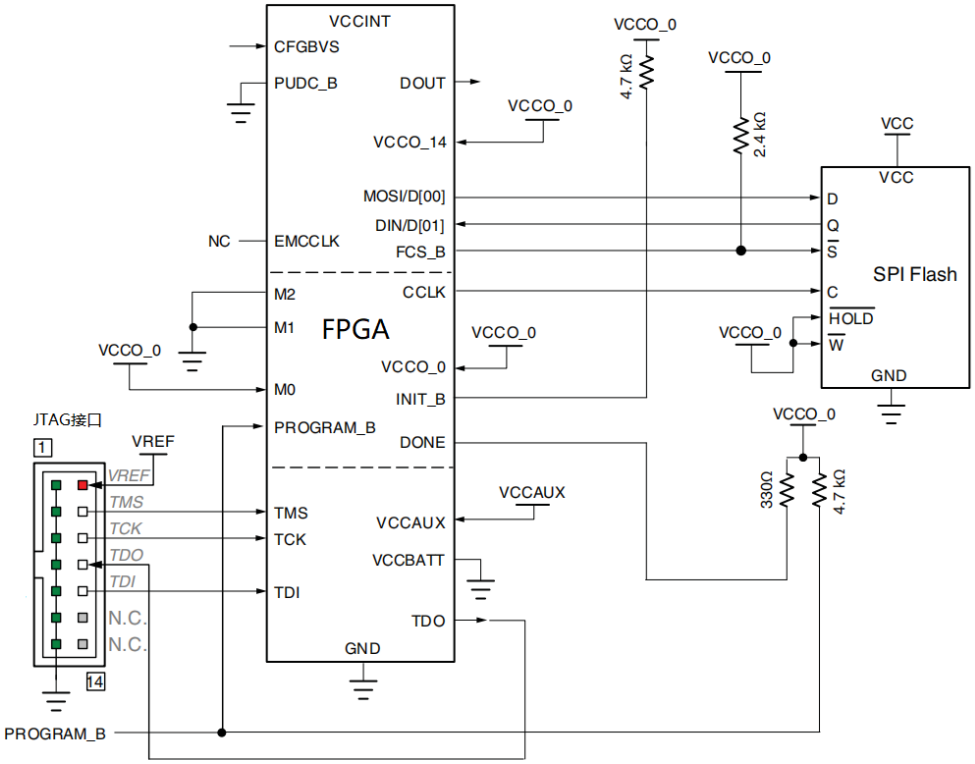


图 11　FPGA SPI x1/x2 配置参考电路

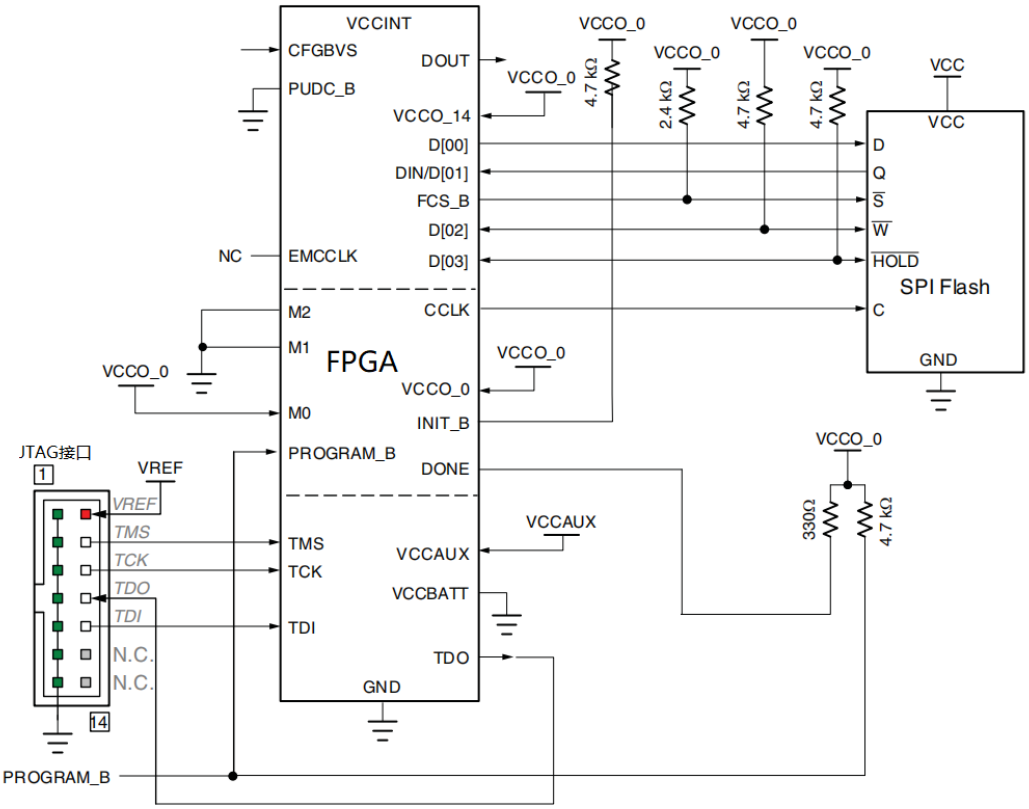


图 12　FPGA SPI x4 配置参考电路

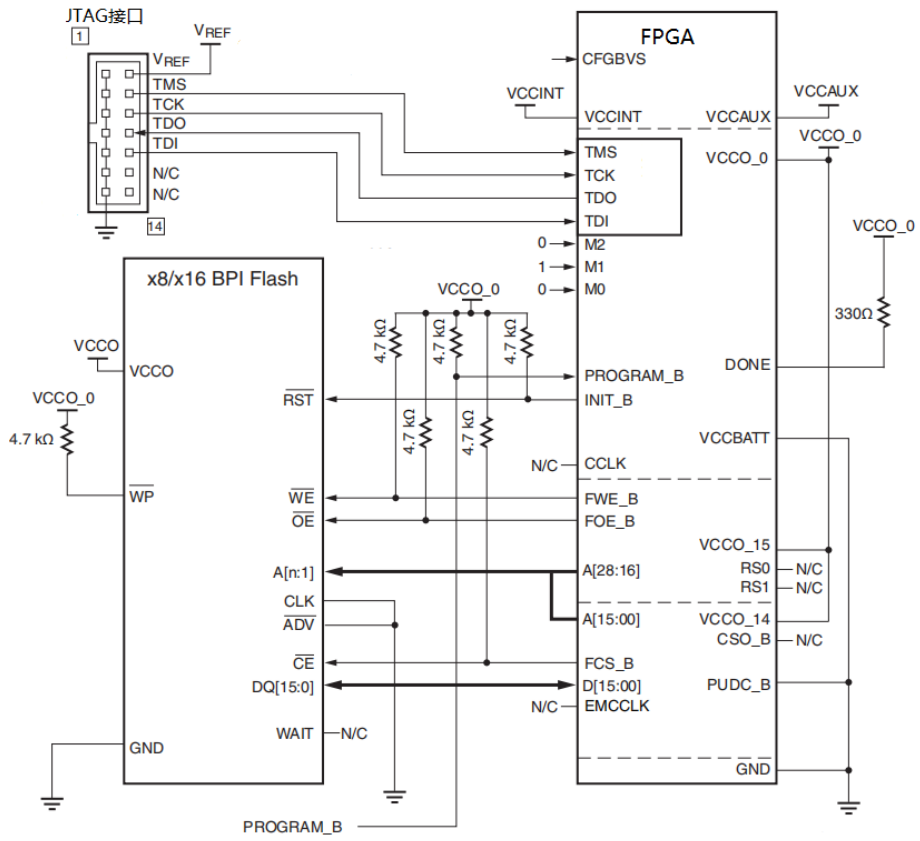


图 13　FPGA 主模式 BPI 配置异步读参考电路

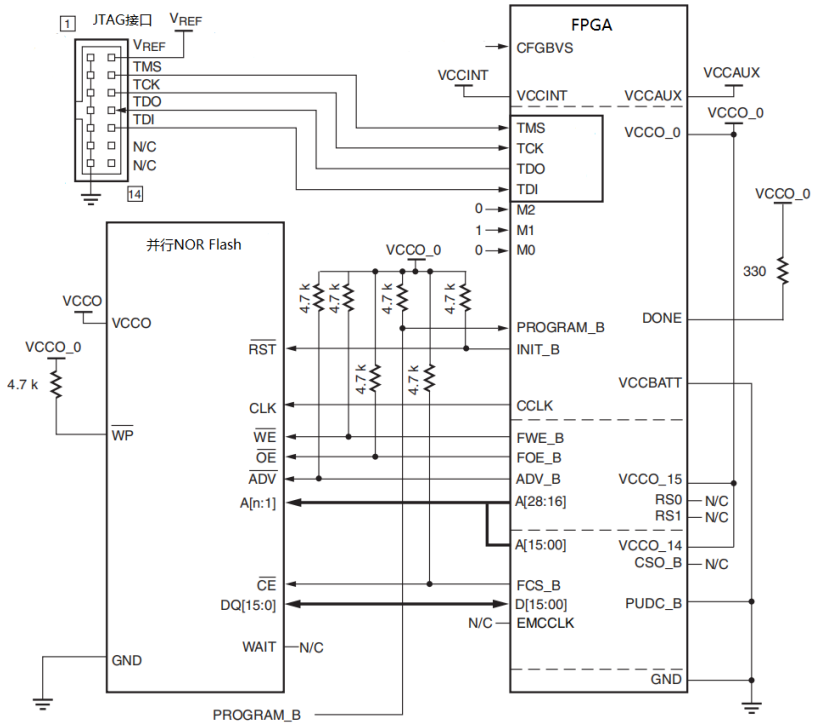


图 14　FPGA 主模式 BPI 配置同步读参考电路

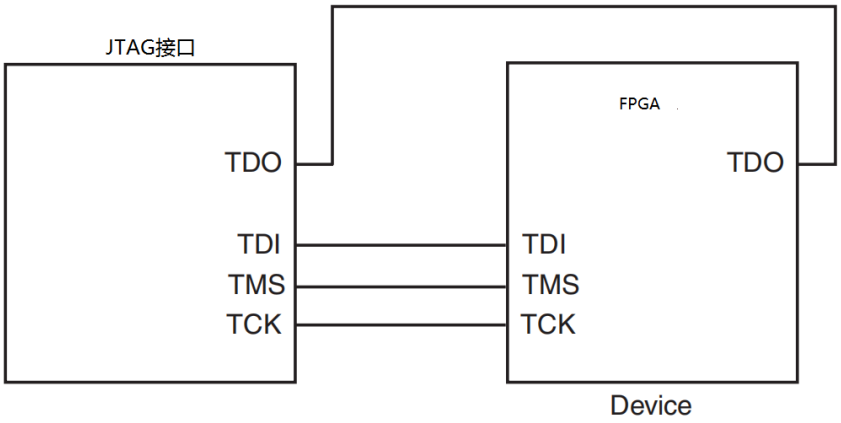


图 15　单个器件 JTAG 编程连接

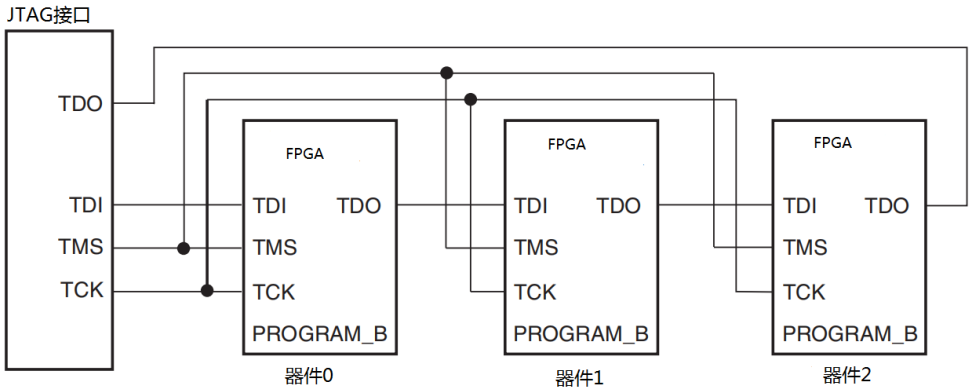


图 16　边界扫描多个器件菊花链连接

8　应用建议

8.1　软件开发工具

FPGA 配套开发工具建议使用版本为 2018.3 及以上，建议选择 XX325T 的-2 速度等级（除 GTX 速率大于 10.3125Gb/s 时选择-3 速度等级外），支持所有 IP 核。

8.2　未使用的 HRIO BANK VCCO 电源建议

当 HRIO 整个 BANK 不使用时，该 BANK 的 VCCO 电源严禁直接接地，可以接 1.8V、2.5V、3.3V 或悬空处理，若接地建议串联 4K 以上的电阻到地。否则会导致 VCCAUX 静态电流增加。

当 HPIO 整个 BANK 不使用时，该 BANK 的 VCCO 电源可以接 1.8V、悬空或者直接接地。

8.3 SerDes（GTX）应用注意事项

CSD7K325T 产品采用正向设计路线，所以在 GTX 的应用上与 XX325T 存在差异，具体如下所述。

8.3.1 AVCC/AVTT 电源要求

SerDes 的 AVCC 需要单独供电，不建议与其它电源共用（尤其不能与 VCCINT 共用），避免其它电源的噪声影响 SerDes 的性能。AVCC 管脚处的电源纹波需小于 10mVpp，同时包括纹波在内的电压值严禁超过推荐工作条件。

SerDes 的 AVTT 需要单独供电，不建议与其它电源共用，避免其它电源的噪声影响 SerDes 的性能。AVTT 管脚处的电源纹波需小于 10mVpp，同时包括纹波在内的电压值严禁超过推荐工作条件。

8.3.2 参考时钟要求

1）参考时钟在管脚处的差分峰峰电压输入需满足指标（350mV~2000mV)；参考时钟的随机抖动小于 1ps(rms)。

2）参考时钟的 AC 耦合电容需在板卡设计中靠近 FPGA 器件端，如下图：

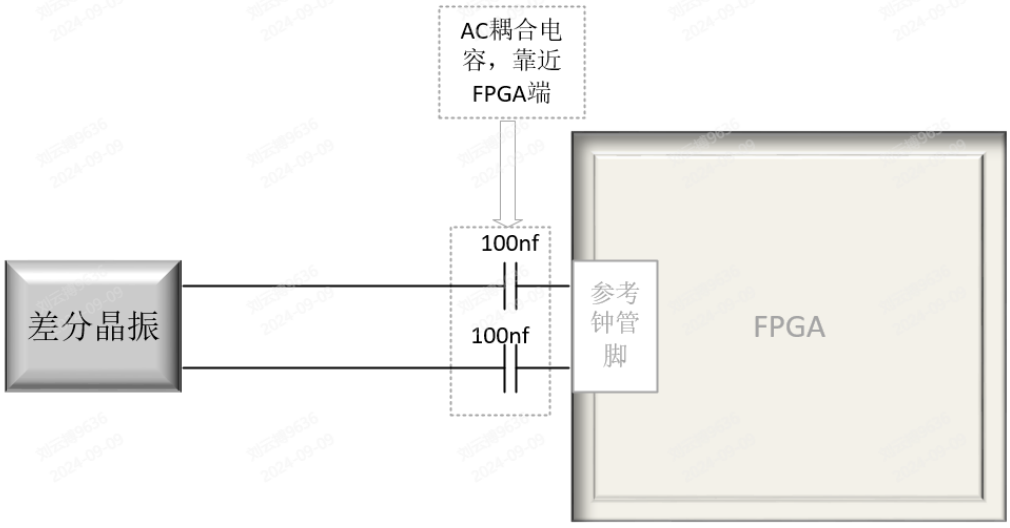


图 17 参考时钟的 AC 耦合电容位置

交流耦合主要作用：

- 隔断各器件之间的直流分量，降低功耗；
- 保持器件之间独立的共模电压；
- 交流耦合电容与器件终端形成高通滤波器，减小基准时钟漂移。

8.3.3 Lane 的耦合电容

Lane 的耦合电容在板卡的位置需根据具体协议进行相应设计，具体参考相应协议的用户指南。

8.3.4 PCB 高速信号走线规则

SerDes 参考时钟、发送端、接收端在 PCB 的走线与相邻走线的距离，需大于等于走线线宽的 3 倍，防止相邻信号的串扰。

8.3.5 端接校准电阻设计

端接校准电阻原理图设计如下：

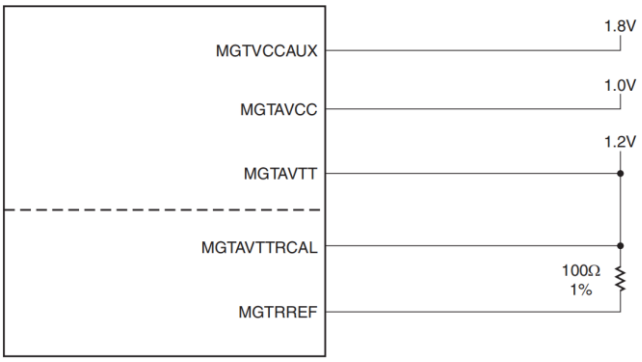


图 18　SerDes 外部电源连接关系图

MGTAVTTRCAL 为端接电阻校准模块供电电源，MGTRREF 为端接电阻校准模块电阻输入。MGTAVTTRCAL 引脚应连接到 MGTAVTT 电源和 100Ω 精密外部电阻引脚上，电阻的另一个引脚连接到 MGTRREF 引脚。

其中 MGTAVTTRCAL 和 MGTRREF 管脚到 100Ω 电阻的两端需走线等长。

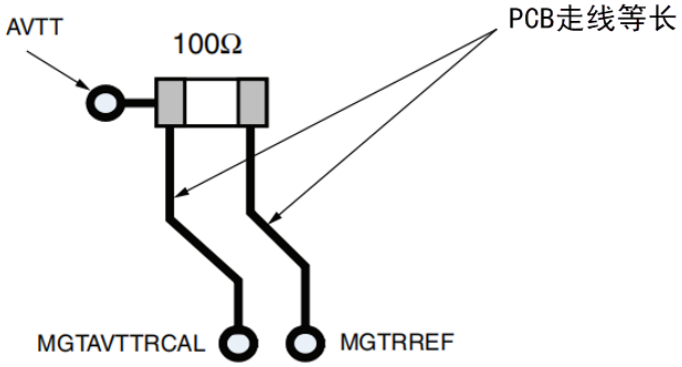


图 19　RCAL 电阻的 PCB 布线图

8.4 电源上下电顺序要求

注：必须按照上下电要求进行操作，如未按照上下电要求操作，有概率导致电路中efuse被误烧写，导致器件功能不可逆的损坏！！！

上电要求：

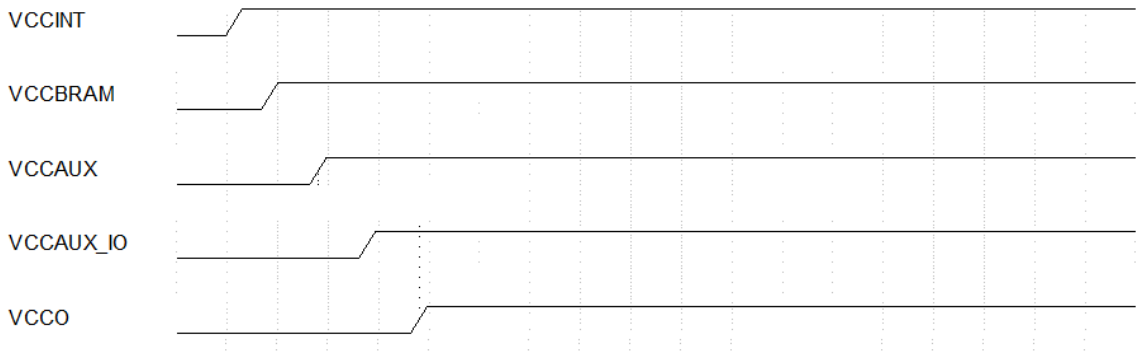


图 20　要求的上电顺序

掉电要求：

要求的掉电电源顺序与上电电源顺序相反。

9 差异对比

9.1 功能对比

9.1.1 功能对比明细

表 56　CSD7K325T 与 XX325T 功能差异对比

模块	功能	CSD7K325T	与 XX325T 差异说明
CLB	6 输入查找表	支持	无差异
	双 5 输入查找表	支持	无差异
	分布式存储 RAM	32x1S/D、32x2Q、32 x6SDP 64x1 S/D/Q、64x3DSP、 128x1S/D、256x1S	无差异
	只读存储器 ROM	64x1、128x1、256x1	无差异
	移位寄存器	32bit、双 16bit、64bit、96bit、 128bit	无差异
	触发器/锁存器	支持	无差异
	多路选择器	4 个 4:1、2 个 8:1、1 个 16:1	无差异
	进位链	10 输入、8 输出	无差异
BRAM	36Kbit RAM（SDP、TDP）	64Kx1、32Kx1、16Kx2、8Kx4、4Kx9，2Kx18、1Kx36、512x72	无差异
	18Kbit RAM（SDP、TDP）	16Kx1、8Kx2、4Kx4、2Kx9、1Kx18，512x36	无差异

模块	功能	CSD7K325T	与 XX325T 差异说明
	不同模式的 BRAM 读写功能	WRITE_FIRST、READ_FIRST、NO_CHANGE	无差异
	RAM 输出寄存器	支持	无差异
	独立读写位宽功能	支持	无差异
	36Kbit FIFO	8K x 4、4K x 9、2K x 18、1K x 36、512 x 72	无差异
	18Kbit FIFO	4K x 4、2K x 9、1K x 18、512 x 36	无差异
	不同模式的 FIFO 功能及状态标志位	同步或者异步、standard 或 first-word fall-through、FWFT	无差异
	FIFO 输出寄存器	支持	无差异
	RAM 或 FIFO 级联	支持	无差异
	RAM 或 FIFO 64 bit ECC	Standard，encode only，decode only	无差异
	ECC 输出寄存器	支持	无差异
DSP	预加器	25bit，带或不带触发器	无差异
	乘法器	25 x 18	无差异
	ALU 逻辑运算	三输入加法器/减法器/48 位逻辑运算单元	无差异
	多数据端口	A、B、C、D	无差异
	PATTERN 检测器	支持	无差异
	流水线	支持	无差异
	级联	支持	无差异
HPIO	单端 IO 电平标准	1.8V、1.5V、1.35V、1.2V	无差异
	差分 LVDS 电平	支持	无差异
	数字控制阻抗（DCI）及 DCI 级连	支持	无差异
	内部 VREF	支持	无差异
	内部差分终端（DIFF_TERM）	支持	无差异
	IDELAY	支持	无差异
	ODELAY	支持	无差异
	IDELAYCTRL	支持	无差异
	ISERDES	专门的解串器/串行-并行转换器 Bit 滑动子模块 专用于支持频闪存储器接口 专用于支持网络接口 专用于支持 DDR3 接口 专用于支持 QDR 接口 专用于支持异步接口	无差异
	OSERDES	数据 DATA 并串转换 8:1、10:1、14:1 三态控制并串转换最大 14:1 专用于支持 DDR3 接口模式	无差异

模块	功能	CSD7K325T	与 XX325T 差异说明
	IO_FIFO	支持	无差异
HRIO	单端 IO 电平标准	3.3V、2.5V、1.8V、1.5V、1.35V、1.2V	无差异
	差分 LVDS 电平	支持	无差异
	数字控制阻抗（DCI）及 DCI 级连	不支持	无差异
	内部 VREF	支持	无差异
	内部差分中端（DIFF_TERM）	支持	无差异
	IDELAY	支持	无差异
	ODELAY	不支持	无差异
	IDELAYCTRL	支持	无差异
	ISERDES	专门的解串器/串行-并行转换器 Bit 滑动子模块 专用于支持频闪存储器接口 专用于支持网络接口 专用于支持 DDR3 接口 专用于支持 QDR 接口 专用于支持异步接口	无差异
	OSERDES	数据 DATA 并串转换 8:1、10:1、14:1 三态控制并串转换最大 14:1 专用于支持 DDR3 接口模式	无差异
	IO_FIFO	支持	无差异
	ZHOLD_DELAY	支持	无差异
CMT	MMCM 小数分频	支持	无差异
	MMCM 分频级联	支持	无差异
	MMCM 参考时钟选择	支持	无差异
	MMCM/PLL 静态相移	支持	无差异
	MMCM/PLL 动态重配置	支持	无差异
	MMCM 动态相移	支持	无差异
	级联（MMCM 与 MMCM 级联、PLL 与 PLL 级联）	支持	无差异
	MMCM/PLL 频率综合（频点抽样）	支持	无差异
	MMCM 扩频时钟产生器（SSCG）	支持	无差异
GTX	PCS	2,4 字节内部数据通路，以支持不同的线速率要求	无差异

模块	功能	CSD7K325T	与 XX325T 差异说明
		8B/10B 编解码	无差异
		支持 64B/66B 和 64B/67B 编解码	无差异
		Comma 检测，字节和字对准	无差异
		PRBS 产生和检测	无差异
		TX 相位 FIFO	无差异
		RX 弹性 FIFO 用于时钟校准和通道绑定	无差异
		可编程逻辑接口	无差异
		支持 100Gb CAUI	无差异
		支持旁路 buffer 的本地多通道	无差异
		TX 相位内插结构支持 PPM Controller interface	无差异
	PMA	每个 QUAD 共用 QPLL，提供优异的抖动性能	大多数应用与 XX325T 一致，有部分应用的软件 IP 配置参数设置与 XX325T 存在差异（相关解决方案见 9.1.2 章节）
		每个通道配置一个 CPLL，提供便利的时钟方案	
		低功耗模式（LPM）的高能效自适应线性均衡技术	
		具有自适应调节的 7tap 判决反馈均衡器	
		TX 预加重	
		可调 TX 输出摆幅	
		Beacon 信号用于 PCIE 应用	
		OOB 信号用于支持 SATA 应用	
		数据速率支持达到 12.5Gbps	
PCIe	协议层	Gen1、Gen2	无差异
	用户接口	AXI4-Stream 接口 64bit，128bit，256bit	无差异
	链路宽度	X1，X2，X4，X8	无差异
	链路速度	2.5Gb/s，5.0Gb/s	无差异
	动态重配置	支持	无差异
	功耗调节	支持	无差异
ADC	采样模式	初始模式	无差异
		单次模式	无差异
		连续模式	无差异
		单通道模式	无差异
		同步采样模式	无差异
		独立 ADC 模式	无差异
		初始模式	无差异
	校准功能	ADC 失调校准使能	无差异
		ADC 失调和增益校准使能	无差异
		电源电压传感器校准使能	无差异
		电源电压失调和增益校准使能	无差异
	告警功能	过温告警使能	无差异

模块	功能	CSD7K325T	与 XX325T 差异说明
		温度告警使能	无差异
		VCCINT 告警	无差异
	配置管理	VCCAUX 告警	无差异
		VCCBRAM 告警	无差异
		综合告警	无差异
	上电/掉电功能	ADC 上电	无差异
		无效选择	无差异
		ADC 掉电	无差异
	时钟分频功能	DCLK 分频	无差异
	均值滤波器功能	均值滤波器使能(校准)	无差异
		无均值	无差异
		均值 16 次	无差异
		均值 64 次	无差异
		均值 256 次	无差异
	ADC 通道	片上温度	无差异
		电源 VCCINT	无差异
		电源 VCCAUX	无差异
		专用模拟输入	无差异
		基准 VREFP	无差异
		基准 VREFN	无差异
		电源 VCCBRAM	无差异
		无效通道	无差异
		ADC 校准	无差异
		无效通道	无差异
		辅助通道 0 至 15	无差异
	模拟输入功能	单端输入模式	无差异
		差分输入模式	无差异

9.1.2 功能差异解决方案

9.1.2.1 GTX 不兼容应用解决方案

本节致力于帮助用户解决 GTX 高速串行接口与软件兼容性问题，详细描述兼容性问题的解决办法。

9.1.2.1.1 IBERT GTX IP 数字眼图问题

针对 GTX IBERT IP 数字眼图观测兼容性的问题，需要更改软件底层文件，笔者的文件路径为**\2018.3\data\xicom\ibert_slave_k7gtx_channel.csv**（用户根据自己电脑实际情况寻找对应位置），如下所示：

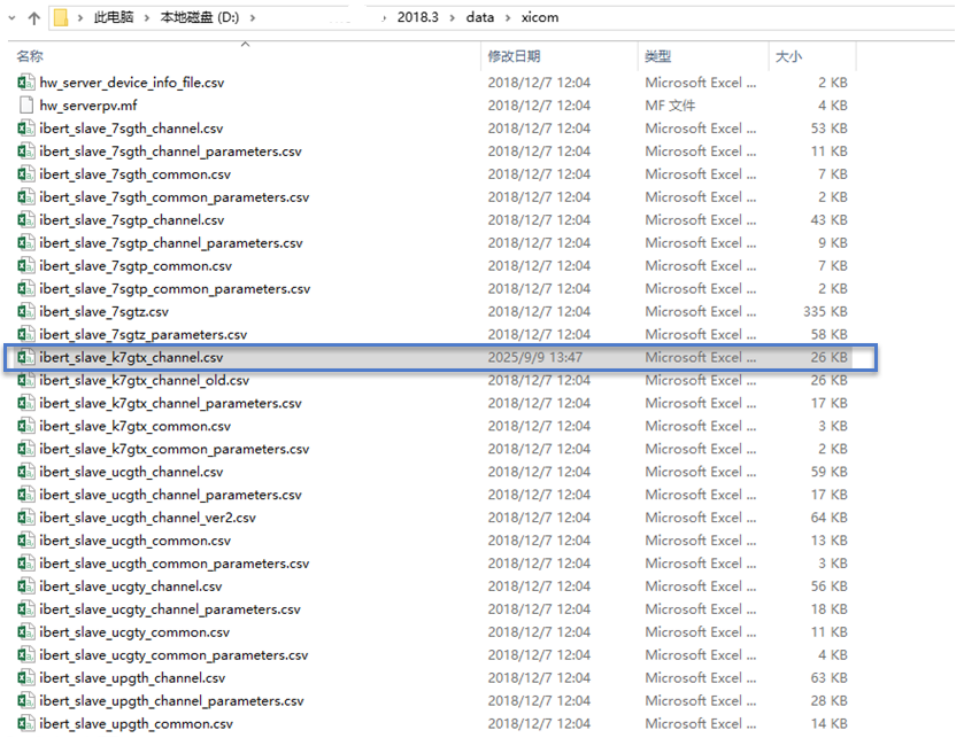


图 21 IBERT 眼图修改文件路径

修改内容是将 csv 文件中 232-244 行的数字加 2（十六进制）。
修改前如下图所示：

232	DRP.ES_ERROR_COUNT	14F
233	DRP.ES_SAMPLE_COUNT	150
234	DRP.ES_CONTROL_STATUS	151
235	DRP.ES_RDATA	156
236	DRP.ES_RDATA	155
237	DRP.ES_RDATA	154
238	DRP.ES_RDATA	153
239	DRP.ES_RDATA	152
240	DRP.ES_SDATA	15B
241	DRP.ES_SDATA	15A
242	DRP.ES_SDATA	159
243	DRP.ES_SDATA	158
244	DRP.ES_SDATA	157

图 22 修改前内容

修改后如下图所示：

232	DRP.ES_ERROR_COUNT		151
233	DRP.ES_SAMPLE_COUNT		152
234	DRP.ES_CONTROL_STATUS		153
235	DRP.ES_RDATA		158
236	DRP.ES_RDATA		157
237	DRP.ES_RDATA		156
238	DRP.ES_RDATA		155
239	DRP.ES_RDATA		154
240	DRP.ES_SDATA	15D	
241	DRP.ES_SDATA	15C	
242	DRP.ES_SDATA	15B	
243	DRP.ES_SDATA	15A	
244	DRP.ES_SDATA		159

图　23 修改后内容

之后，启动软件下载 ibert demo 工程的 bit 文件，数字眼图功能就正常了。

注意：**本方法更改时，建议用户将更改的源文件备份。**

9.1.2.1.2　QPLL VCO 带宽不兼容问题

XX325T GTX QPLL VCO 范围为 5.93-8.0 GHz，9.8-12.5GHz，我司产品 QPLL VCO 范围为 8.0-12.5GHz，因此对应 5.93-6.8GHz 区间(包括分频区间如 2 分频、4 分频等) QPLL 模式我司产品均不支持软件默认配置。**因此，用户若无特殊使用要求，建议用户在 6.8GHz 频点以下使用 CPLL 模式。**

下文将介绍 QPLL 模式下，如何兼容：

QPLL 模式下 PLL 输出频率计算方式如下：

$F_{PLLClkout} = F_{PLLClkin} * N/(M*2)$　公式 1

QPLL 模式下 PLL 输出频率计算方式如下：

$F_{LineRate} = F_{PLLClkout}*2/D$　公式 2

QPLL 分频系数设置如下：

表　57 QPLL 分频设置

系数	属性	有效值
M	QPLL_REFCLK_DIV	1,2,3,4
N	QPLL_FBDIV QPLL_FBDIV_RATIO	16,20,32,40,64,66,80,100
D	RXOUT_DIV TXOUT_DIV	1,2,4,8,16

表 58　系数 N 设置

N	QPLL_FBDIV_RATIO	QPLL_FBDIV
16	1	0000100000
20	1	0000110000
32	1	0001100000
40	1	0010000000
64	1	0011100000
66	0	0101000000
80	1	0100100000
100	1	0101110000

根据上表所示，针对 QPLL 不兼容区间，可通过将 PLL 输出频率扩大一倍（N 乘以 2），再将 TX/RX 的分频系数扩大一倍（D 乘以 2）。即可解决 QPLL 兼容性问题。

注意：（1）上述更改方式仅限某个频点下的典型时钟。

（2）理论上用户可以根据上文所述公式 1 和公式 2，任意配置 QPLL 系数，但不建议用户将 M 值设置为 1 之外的值。

下表为我司 GTX 支持协议 PLL 推荐使用情况：

表 59　CSD7K325T GTX 协议 PLL 推荐表

协议	线速率 [Gb/s]	PLL 输出频率 [GHz]	参考时钟频率典型值 [MHz]	使用 PLL 模式	XX325T 是否兼容	TX/RX 分频系数	CPLL 系数			QPLL 系数	
						D (TXOUT_DIV, RXOUT_DIV)	M (CPLL_REFCLK_DIV)	N2 (CPLL_FBDIV)	N1 (CPLL_FBDIV_45)	M (QPLL_REFCLK_DIV)	N (QPLL_FBDIV, QPLL_FBDIV_RATIO)
Fibre Channel (Single Rate)	4.25	2.125	212.5	CPLL	兼容	1	1	2	5	-	-
	2.125	2.125	106.25	CPLL	兼容	2	1	4	5	-	-
	1.0625	2.125	106.25	CPLL	兼容	4	1	4	5	-	-
Fibre Channel (Multi-Rate)	4.25	2.125	212.5	CPLL	兼容	1	1	2	5	-	-
	2.125	2.125	212.5	CPLL	兼容	2	1	2	5	-	-
	1.0625	2.125	212.5	CPLL	兼容	4	1	2	5	-	-
XAUI	3.125	3.125	156.25	CPLL	兼容	2	1	4	5	-	-
	3.125	12	156.25	QPLL	不兼容	4	-	-	-	1	80
	6.25	3.125	156.25	CPLL	兼容	1	1	4	5	-	-
	6.25	12	156.25	QPLL	不兼容	2	-	-	-	1	80
RXAUI	6.25	3.125	156.25	CPLL	兼容	1	1	4	5	-	-
	6.25	12	156.25	QPLL	不兼容	2	-	-	-	1	80
GigE	1.25	2.5	125	CPLL	兼容	1	1	4	5	-	-
Aurora (Single Rate)	6.25	3.125	312.5	CPLL	兼容	1	1	2	5	-	-
	5	2.5	250	CPLL	兼容	1	1	2	5	-	-
	3.125	3.125	156.25	CPLL	兼容	2	1	4	5	-	-
	2.5	2.5	125	CPLL	兼容	2	1	4	5	-	-

协议	线速率 [Gb/s]	PLL 输出频率 [GHz]	参考时钟频率典型值 [MHz]	使用 PLL 模式	XX325T 是否兼容	TX/RX 分频系数	CPLL 系数			QPLL 系数	
						D (TXOUT_DIV, RXOUT_DIV)	M (CPLL_REFCLK_DIV）	N2 (CPLL_FBDIV)	N1 (CPLL_FBDIV_45)	M (QPLL_REFCLK_DIV）	N (QPLL_FBDIV, QPLL_FBDIV_RATIO)
	1.25	2.5	125	CPLL	兼容	4	1	4	5	-	-
Aurora (Multi-Rate)	6.25	3.125	312.5	CPLL	兼容	1	1	2	5	-	-
	5	2.5	312.5	CPLL	兼容	1	1	2	4	-	-
	3.125	3.125	312.5	CPLL	兼容	2	1	2	5	-	-
	2.5	2.5	312.5	CPLL	兼容	2	1	2	4	-	-
	1.25	2.5	312.5	CPLL	兼容	4	1	2	4	-	-
Aurora 64B/66B	3.125	3.125	156.25	CPLL	兼容	2	1	4	5	-	-
Serial RapidIO (Single Rate)	3.125	3.125	156.25	CPLL	兼容	2	1	4	5	-	-
	2.5	2.5	125	CPLL	兼容	2	1	4	5	-	-
	1.25	2.5	125	CPLL	兼容	4	1	4	5	-	-
Serial RapidIO (Multi-Rate)	3.125	3.125	156.25	CPLL	兼容	2	1	4	5	-	-
	2.5	2.5	156.25	CPLL	兼容	2	1	4	4	-	-
	1.25	2.5	156.25	CPLL	兼容	4	1	4	4	-	-
SATA	6	3	150	CPLL	兼容	1	1	4	5	-	-
	3	3	150	CPLL	兼容	2	1	4	5	-	-
	1.5	3	150	CPLL	兼容	4	1	4	5	-	-

协议	线速率 [Gb/s]	PLL 输出频率 [GHz]	参考时钟频率典型值 [MHz]	使用 PLL 模式	XX325T 是否兼容	TX/RX 分频系数	CPLL 系数			QPLL 系数	
						D (TXOUT_DIV, RXOUT_DIV)	M (CPLL_REFCLK_DIV）	N2 (CPLL_FBDIV)	N1 (CPLL_FBDIV_45)	M (QPLL_REFCLK_DIV）	N (QPLL_FBDIV, QPLL_FBDIV_RATIO)
	6	6	150	QPLL	不兼容	2	-	-	-	1	80
	3	6	150	QPLL	不兼容	4	-	-	-	1	80
	1.5	6	150	QPLL	不兼容	8	1	-	-	1	80
PCIE	2.5	2.5	100	CPLL	兼容	2	1	5	5	1	80
	5	2.5	100	CPLL	兼容	1	1	5	5	1	80
	8	8	100	QPLL	兼容	1	-	-	-	1	80
CPRI (Multi-Rate)	3.072	3.072	122.88	CPLL	兼容	2	1	5	5	-	-
	2.4576	2.4576	122.88	CPLL	兼容	2	1	4	5	-	-
	1.2288	1.2288	122.88	CPLL	兼容	4	1	4	5	-	-
	0.6144	0.6144	122.88	CPLL	兼容	8	1	4	5	-	-
	9.8304	9.8304	122.88	QPLL	兼容	1	-	-	-	1	80
OBSAI (Multi-Rate)	6.144	3.072	153.6	CPLL	兼容	1	1	4	5	-	-
	3.072	3.072	153.6	CPLL	兼容	2	1	4	5	-	-
	1.536	3.072	153.6	CPLL	兼容	4	1	4	5	-	-
	0.768	3.072	153.6	CPLL	兼容	8	1	4	5	-	-
3G-SDI HD-SDI (Multi-Rate)	2.97	2.97	148.5	CPLL	兼容	2	1	4	5	-	-
	1.485	2.97	148.5	CPLL	兼容	4	1	4	5	-	-

协议	线速率 [Gb/s]	PLL 输出频率 [GHz]	参考时钟频率典型值 [MHz]	使用 PLL 模式	XX325T 是否兼容	TX/RX 分频系数	CPLL 系数			QPLL 系数	
						D (TXOUT_DIV, RXOUT_DIV)	M (CPLL_REFCLK_DIV）	N2 (CPLL_FBDIV)	N1 (CPLL_FBDIV_45)	M (QPLL_REFCLK_DIV）	N (QPLL_FBDIV, QPLL_FBDIV_RATIO)
Interlaken	6.25	3.125	312.5	CPLL	兼容	1	1	2	5	-	-
	4.25	3.125	212.5	CPLL	兼容	1	1	2	5	-	-
	3.125	3.125	156.25	CPLL	兼容	2	1	4	5	-	-
	10.3125	10.3125	161.13	QPLL	兼容	1	-	-	-	1	80
SFI-5	3.125	3.125	195.3125	CPLL	兼容	2	1	4	4	-	-
OC-48	2.48832	2.48832	155.52	CPLL	兼容	2	1	4	4	-	-
OC-12	0.62208	2.48832	155.52	CPLL	兼容	8	1	4	4	-	-
OTU-1	2.666057	2.666057	166.6286	CPLL	兼容	2	1	4	4	-	-
CEI 6.25	6.25	3.125	390.625	CPLL	兼容	1	1	2	4	-	-
	6.25	12.5	390.625	QPLL	不兼容	2	-	-	-	1	32
	6.25	12.5	156.25	QPLL	不兼容	2	-	-	-	1	80

协议	线速率 [Gb/s]	PLL 输出频率 [GHz]	参考时钟频率典型值 [MHz]	使用 PLL 模式	XX325T 是否兼容	TX/RX 分频系数	CPLL 系数			QPLL 系数	
						D (TXOUT_DIV, RXOUT_DIV)	M (CPLL_REFCLK_DIV）	N2 (CPLL_FBDIV)	N1 (CPLL_FBDIV_45)	M (QPLL_REFCLK_DIV）	N (QPLL_FBDIV, QPLL_FBDIV_RATIO)
10GBASE-R (156.25 MHz)	10.3125	10.3125	156.25	QPLL	兼容	1	-	-	-	1	66
OC-192 (9.953 Gb/s, 155.516 MHz	9.953024	9.953024	155.516	QPLL	兼容	1	-	-	-	1	64
Standard: SFP+ (SFF-8431, SFI)	9.95328	9.95328	155.52	QPLL	兼容	1	-	-	-	1	64
	10.3125	10.3125	156.25	QPLL	兼容	1	-	-	-	1	66
	10.5187	10.3125	164.355	QPLL	兼容	1	-	-	-	1	64
	11.1	11.1	173.4375	QPLL	兼容	1	-	-	-	1	64

针对上表的推荐值，下面将详细介绍 XX325T 提供的 IP 的 QPLL 兼容性解决办法。

IBERT GTX IP

下文将介绍 GTX 3.125 Gb/s 在 QPLL 模式下如何使用。用户可以此为参考来解决其他频点 ibert 不兼容问题。

（1）设置线速率为 3.125Gbps，参考时钟为 156.25Mhz，勾选 Quad PLL，如下图所示：

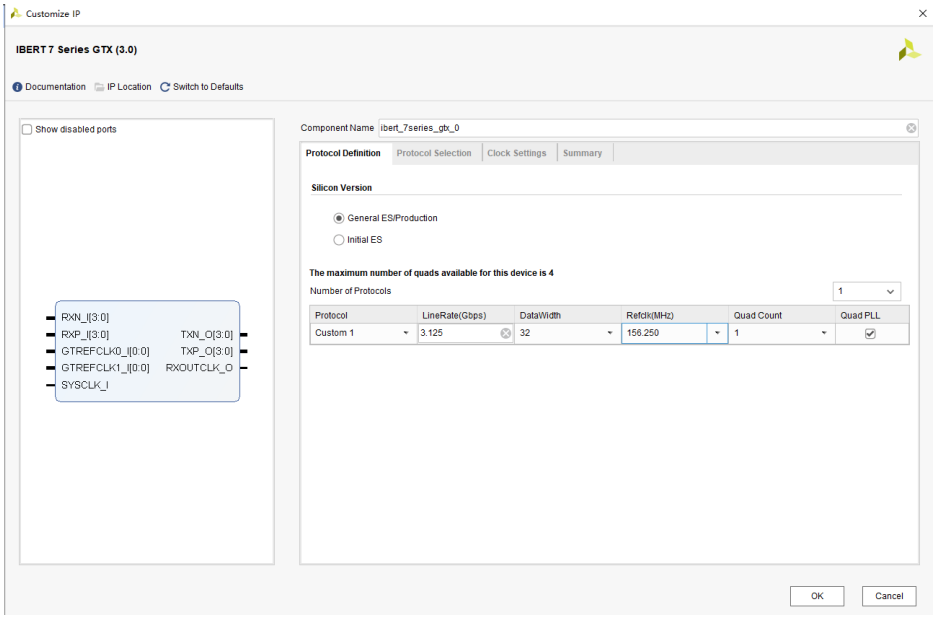


图 24　IBERT IP 设置 1

注意：我司 GTX 仅支持 32bit 数据宽度。

（2）设置 QUAD 位置，这里我们选择 115bank，GTX 时钟从 115bank clk0 引脚输入（用户根据自己板卡实际情况设置），如下图所示：

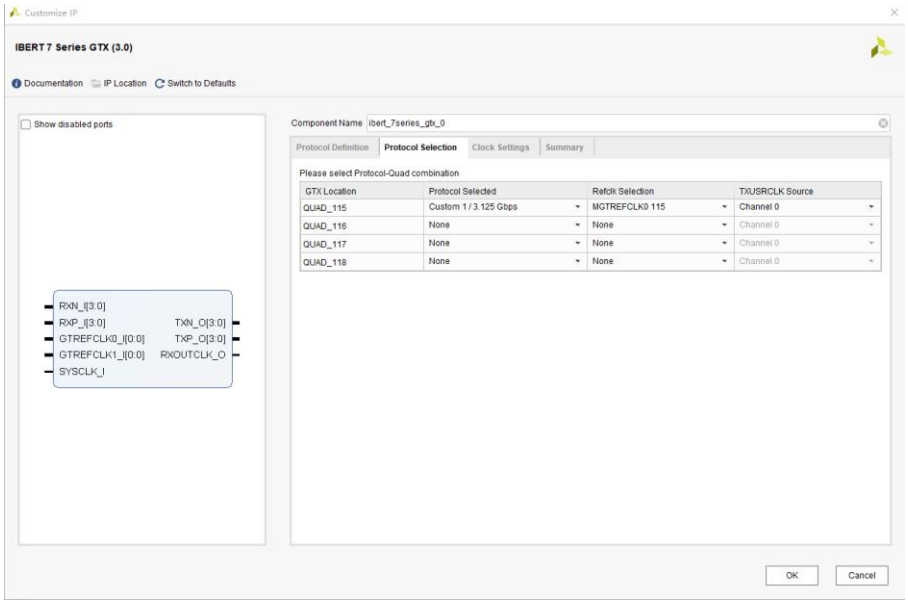


图 25　IBERT IP 设置 2

（3）设置 IBERT IP CORE 时钟，这里我们推荐使用 gtx phy 的参考时钟，这样可以减少一组差分时钟输入，如下图所示：

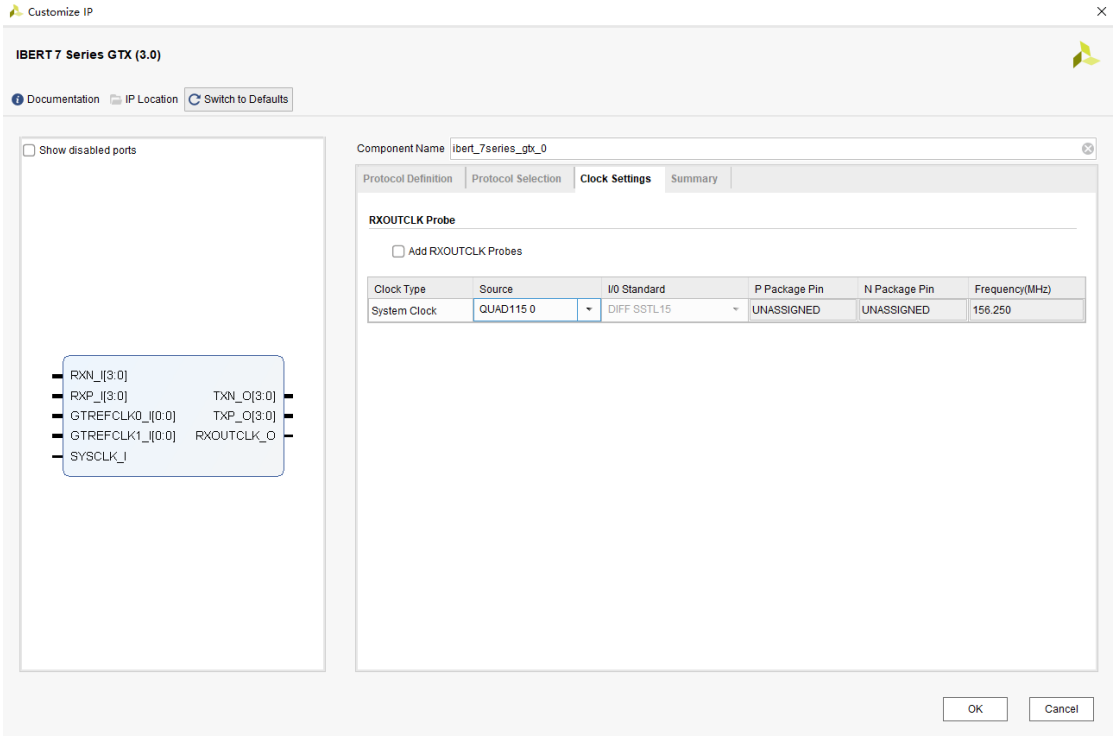


图 26　IBERT IP 设置 3

（4）设置完成后点击 OK，生成 IP。之后，选择 IBERT IP，右键，点击 Open IP Example Design。如下图所示：

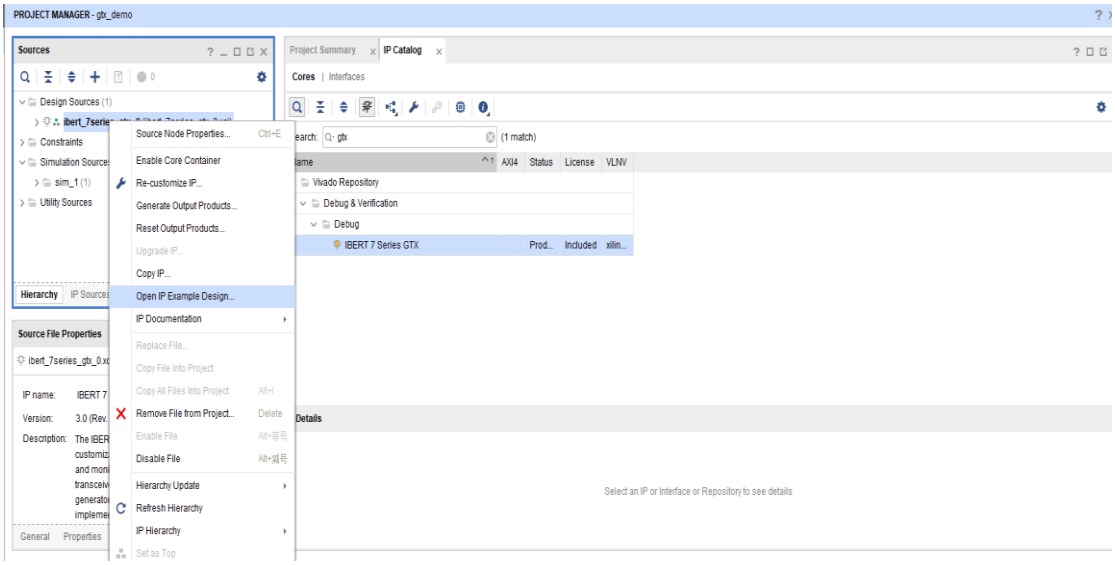


图 27　打开 IBERT DEMO 工程

（5）之后打开 demo 工程的 xdc 文件做如下修改：

1、QPLL 增加两行约束，如下图所示：

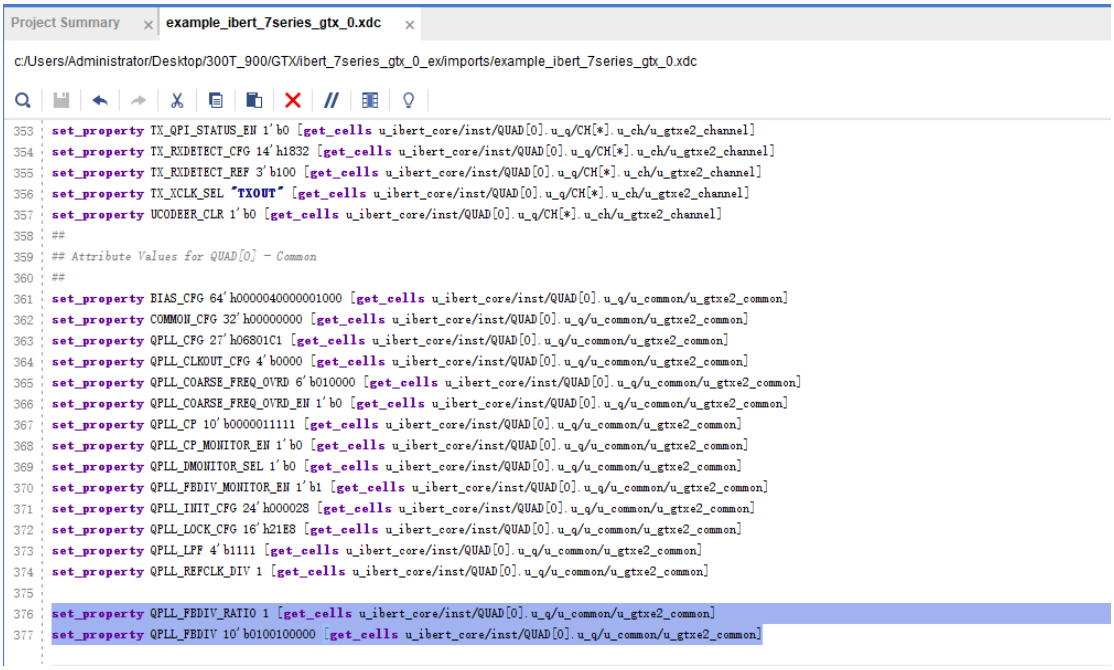


图 28　增加 QPLL 约束

设置 QPLL_FBDIV_RATIO 为 1，QPLL_FBDIV 为 10’b010010000（即将 M 参数设置为 80）。

2、将 TXOUT_DIV/RXOUT_DIV 由 2 改为 4，如下图所示：

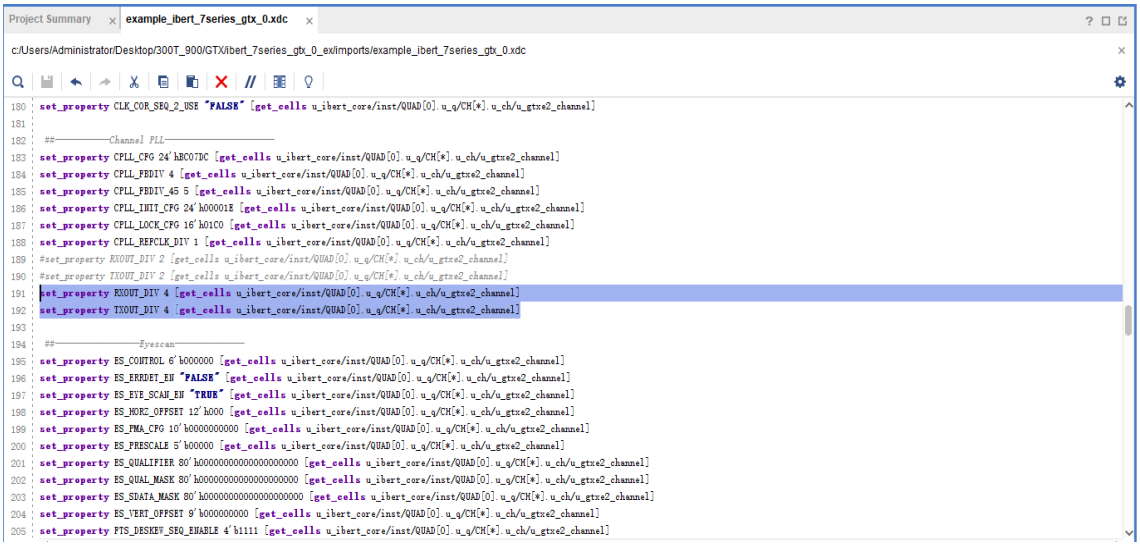


图 29　更改 TX/RX 分频系数

更改以上两处，之后生成 bit 文件，即可解决 QPLL 不兼容问题。

XAUI IP

XAUI IP 默认使用 QPLL 模式，下文将描述如何兼容 XAUI IP：

（1）设置 IP 数据率：XAUI IP 10Gb/s 数据率情况下，每个 lane 线速率为 3.125Gb/s，20Gb/s 数据情况下，每个 lane 线速率为 6.25Gb/s。本次介绍 10Gb/s 数据率更改办法。

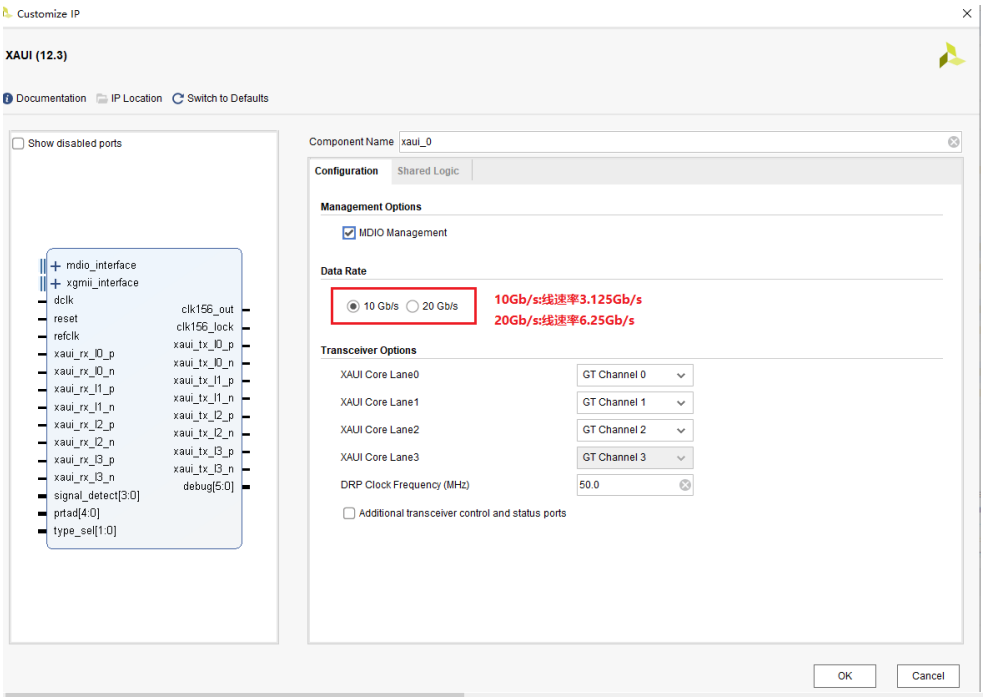


图 30　XAUI IP 设置 1

在 Shared logic 界面，我们如下图所示设置，这样可将 GTX COMMON 原语包含在 IP 中。

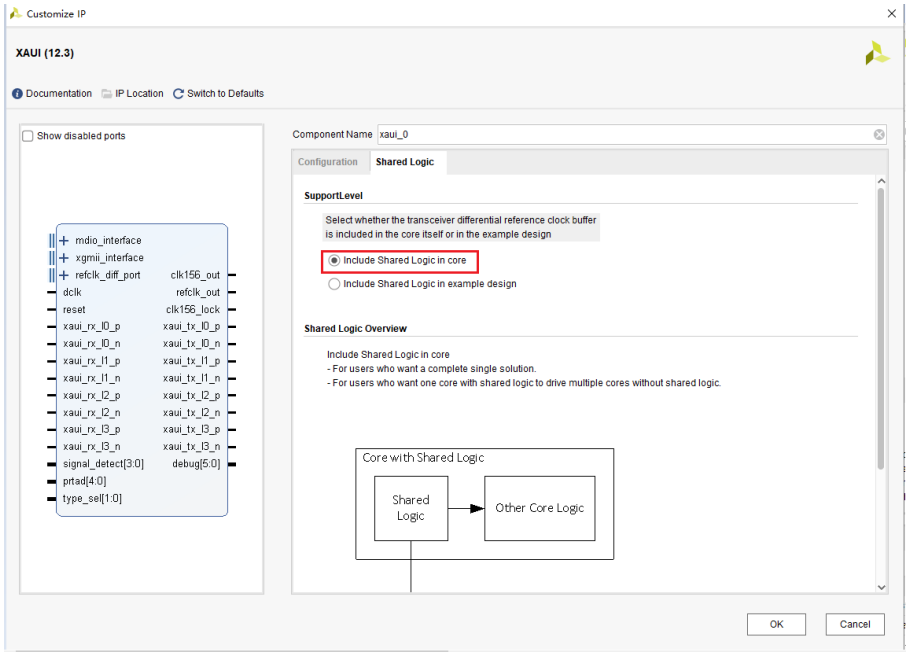


图 31　XAUI IP 设置 2

设置完 IP 后，点击 OK。将 IP 的编译模式设置为 Global，这样即可更改 IP 底层文件，如下图所示：

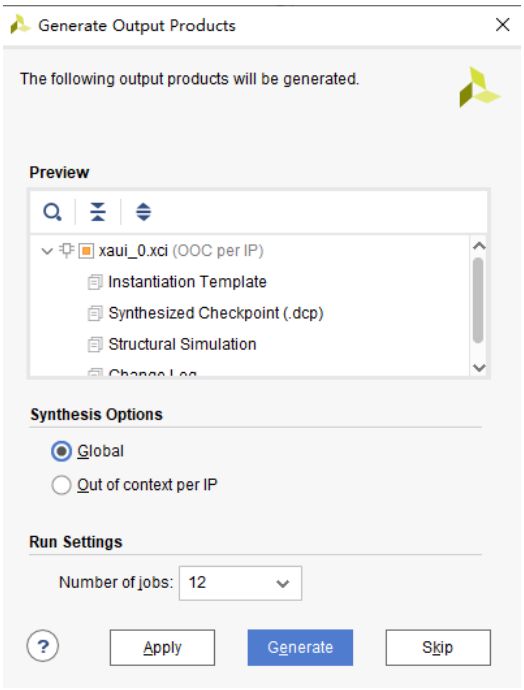


图 32　设置 XAUI IP 编译模式

如表 3 所示，解决办法即将系数 D 设置为 4(10Gb/s)/2(20Gb/s)，同时将系数 N 设置为 80。

如下图所示，在工程路径下找到需要更改的源文件。

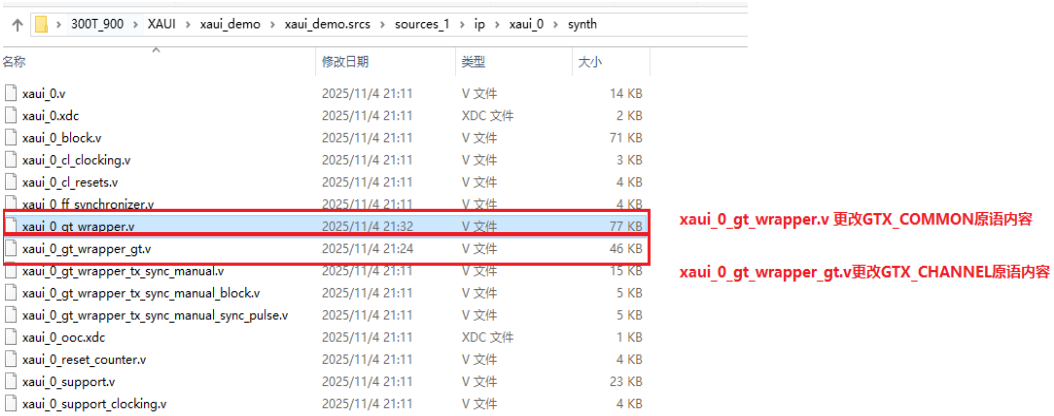


图 33　XAUI IP 源文件路径

文件更改内容如下所示，GTX_CHANNEL 原语将 RXOUT_DIV、TXOUT_DIV 设置为 4（若选择 20Gb/s 数据率时设置为 2）。

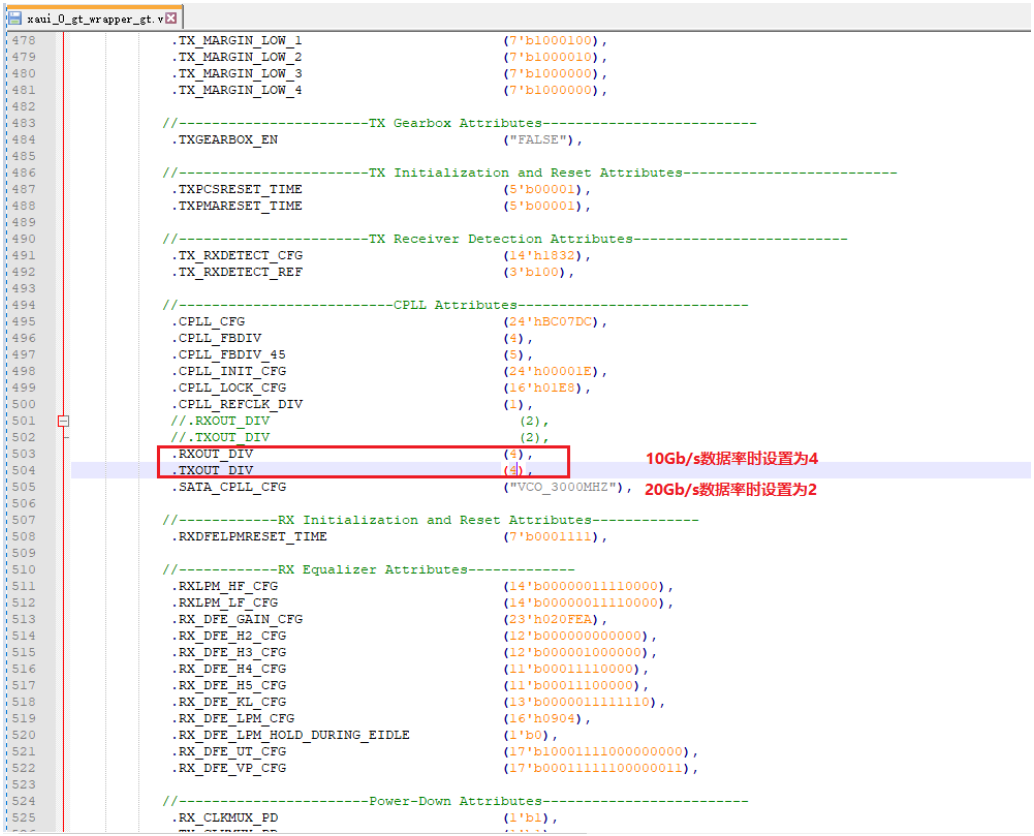


图 34　XAUI IP 源文件更改系数 D

GTX_COMMON 原语配置更改如下所示：

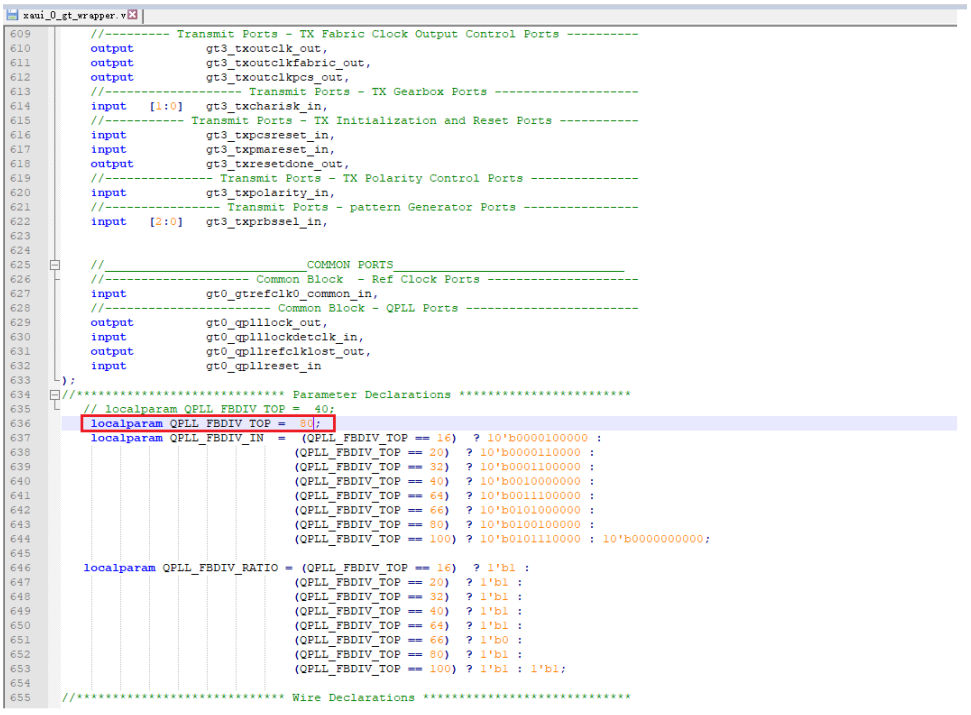


图 35　XAUI IP 源文件更改系数 N

注意，对于 10Gb/s 和 20Gb/s 数据率模式，GTX_COMMON 原语**都需要按照上图更改。**

更改上述两处地方后，即可解决 XAUI IP 兼容性问题。

RXAUI IP

RXAUI IP 默认使用 QPLL 模式，下文将描述如何兼容 XAUI IP（处理办法与 XAUI 方式一致）：

（1） 设置 IP，如下图所示：

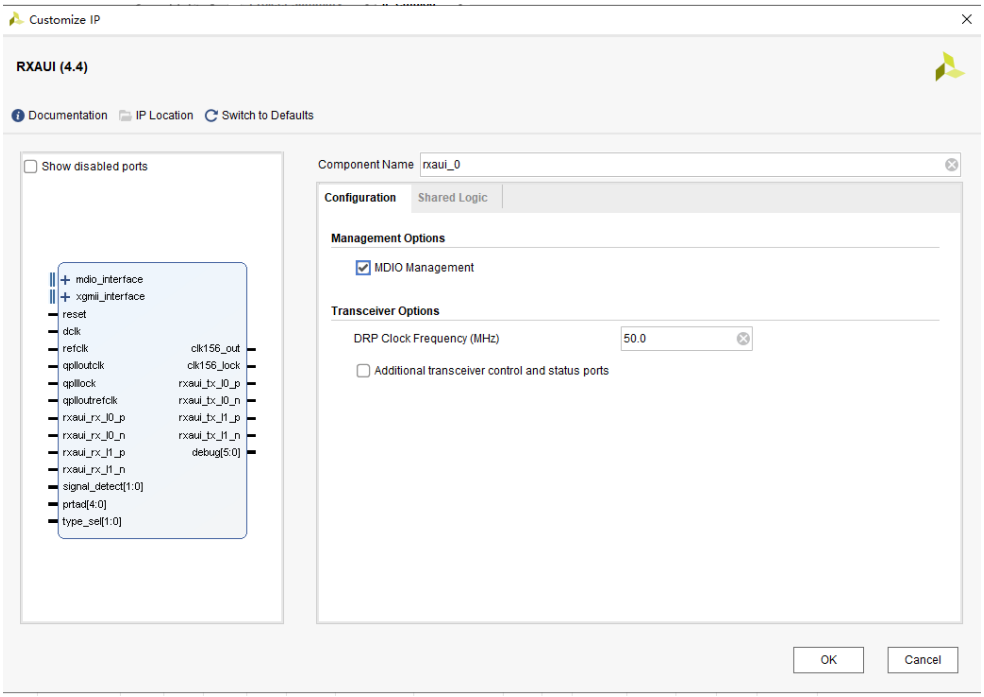


图 36　RXAUI IP 设置 1

在 Shared logic 界面，我们如下图所示设置，这样可将 GTX COMMON 原语包含在 IP 中。

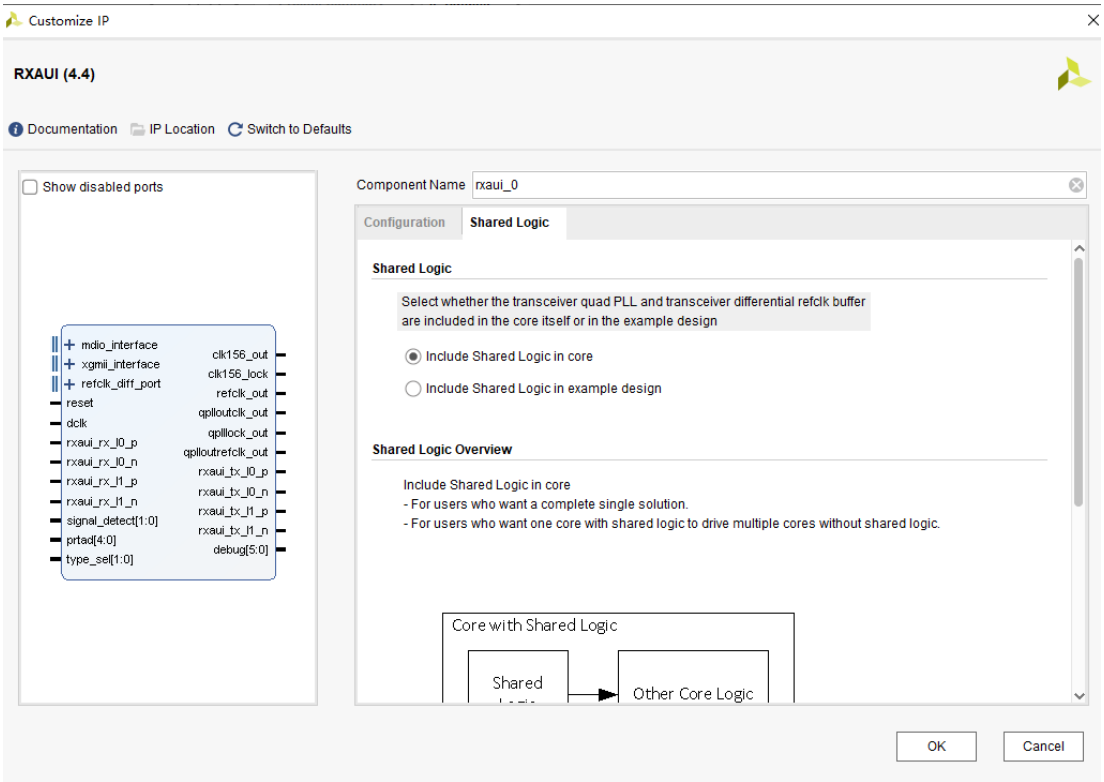


图 37　RXAUI IP 设置 2

（2） 将 IP 的编译模式设置为 Global，这样即可更改 IP 底层文件，如下图所示：

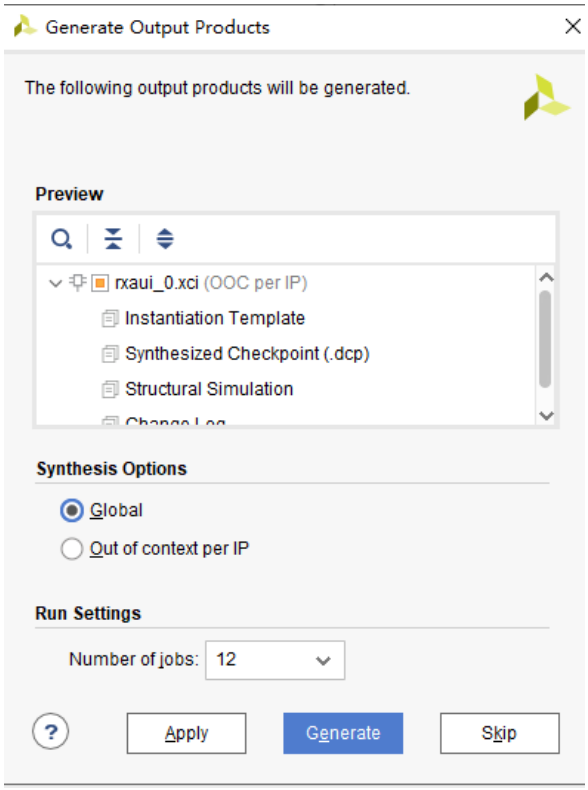


图 38 设置 XAUI IP 编译模式

（3） 更改 IP 源文件

如表 3 所示，解决办法即将系数 D 设置为 2，同时将系数 N 设置为 80。如下图所示，在工程路径下找到需要更改的源文件。

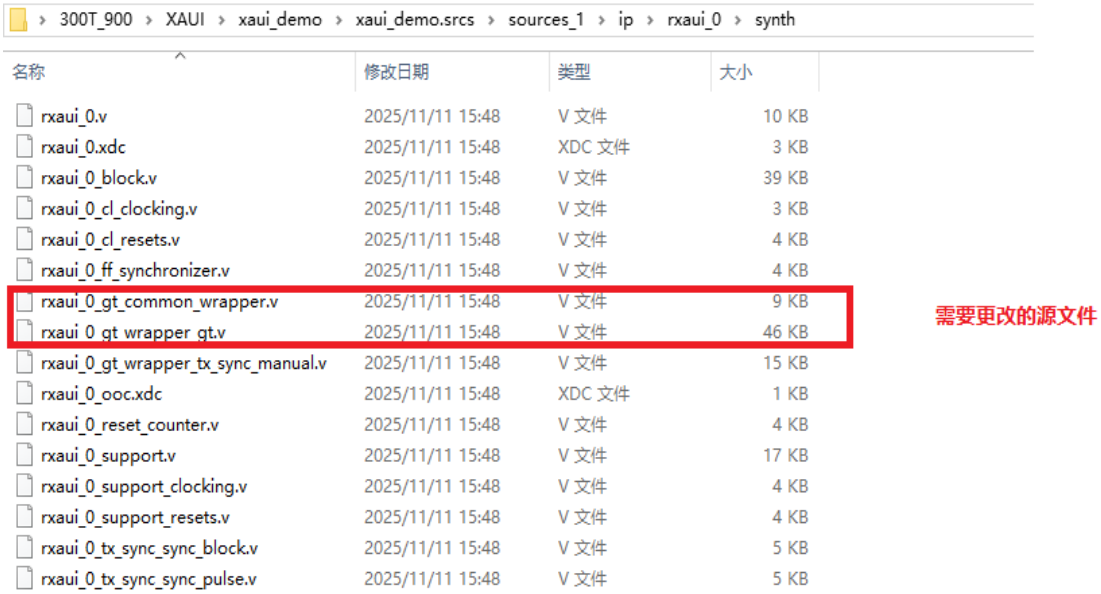
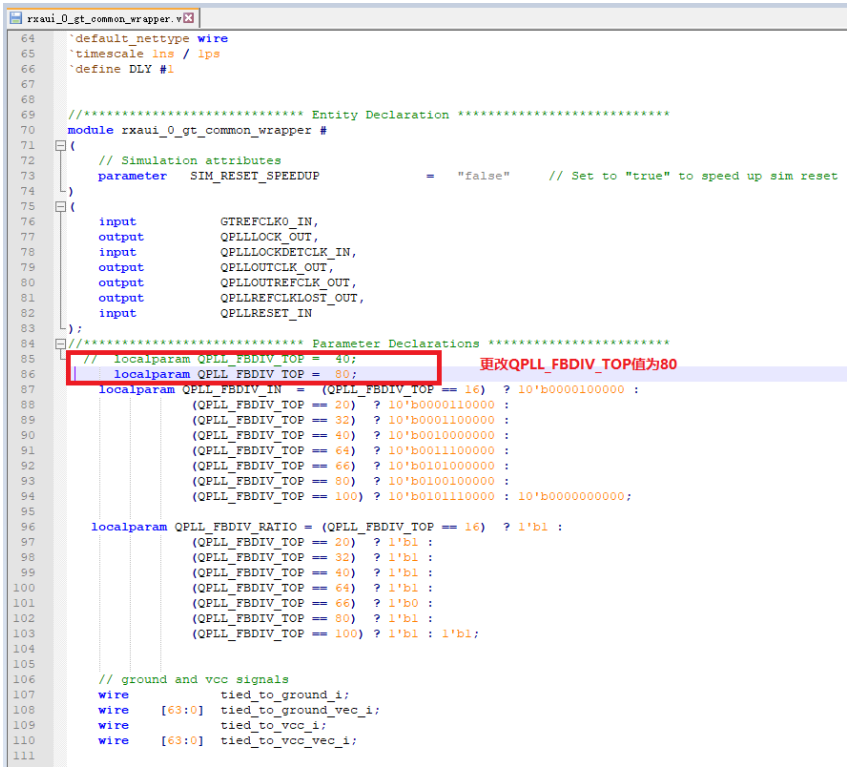


图 39 需要更改的源文件路径

（4） 打开 rxaui_gt_common_wrapper.v，更改内容如下所示：




```
`default_nettype wire
`timescale 1ns / 1ps
`define DLY #1

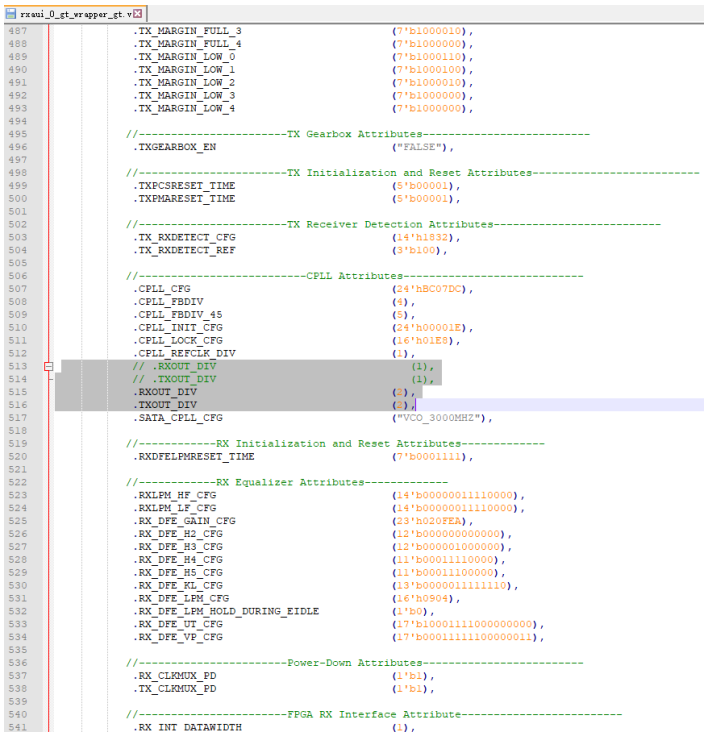

//***************************** Entity Declaration ****************************
module rxaui_0_gt_common_wrapper #
(
    // Simulation attributes
    parameter   SIM_RESET_SPEEDUP             =   "false"     // Set to "true" to speed up sim reset
)
(
    input           GTREFCLK0_IN,
    output          QPLLLOCK_OUT,
    input           QPLLLOCKDETCLK_IN,
    output          QPLLOUTCLK_OUT,
    output          QPLLOUTREFCLK_OUT,
    output          QPLLREFCLKLOST_OUT,
    input           QPLLRESET_IN
);
//***************************** Parameter Declarations ************************
  //  localparam QPLL_FBDIV_TOP =  40;
    localparam QPLL_FBDIV_TOP =  80;
    localparam QPLL_FBDIV_IN  =  (QPLL_FBDIV_TOP == 16)  ? 10'b0000100000 :
                 (QPLL_FBDIV_TOP == 20)  ? 10'b0000110000 :
                 (QPLL_FBDIV_TOP == 32)  ? 10'b0001100000 :
                 (QPLL_FBDIV_TOP == 40)  ? 10'b0010000000 :
                 (QPLL_FBDIV_TOP == 64)  ? 10'b0011100000 :
                 (QPLL_FBDIV_TOP == 66)  ? 10'b0101000000 :
                 (QPLL_FBDIV_TOP == 80)  ? 10'b0100100000 :
                 (QPLL_FBDIV_TOP == 100) ? 10'b0101110000 : 10'b0000000000;

   localparam QPLL_FBDIV_RATIO = (QPLL_FBDIV_TOP == 16)  ? 1'b1 :
                 (QPLL_FBDIV_TOP == 20)  ? 1'b1 :
                 (QPLL_FBDIV_TOP == 32)  ? 1'b1 :
                 (QPLL_FBDIV_TOP == 40)  ? 1'b1 :
                 (QPLL_FBDIV_TOP == 64)  ? 1'b1 :
                 (QPLL_FBDIV_TOP == 66)  ? 1'b0 :
                 (QPLL_FBDIV_TOP == 80)  ? 1'b1 :
                 (QPLL_FBDIV_TOP == 100) ? 1'b1 : 1'b1;


    // ground and vcc signals
    wire            tied_to_ground_i;
    wire    [63:0]  tied_to_ground_vec_i;
    wire            tied_to_vcc_i;
    wire    [63:0]  tied_to_vcc_vec_i;
```

图 40　GTX_COMMON 原语更改内容

（5） 打开 rxaui_gt_wrapper.v，更改内容如下所示：




```
    .TX_MARGIN_FULL_3                       (7'b1000010),
    .TX_MARGIN_FULL_4                       (7'b1000000),
    .TX_MARGIN_LOW_0                        (7'b1000110),
    .TX_MARGIN_LOW_1                        (7'b1000100),
    .TX_MARGIN_LOW_2                        (7'b1000010),
    .TX_MARGIN_LOW_3                        (7'b1000000),
    .TX_MARGIN_LOW_4                        (7'b1000000),

  //-----------------------TX Gearbox Attributes--------------------------
    .TXGEARBOX_EN                           ("FALSE"),

  //-----------------------TX Initialization and Reset Attributes--------------------------
    .TXPCSRESET_TIME                        (5'b00001),
    .TXPMARESET_TIME                        (5'b00001),

  //-----------------------TX Receiver Detection Attributes--------------------------
    .TX_RXDETECT_CFG                        (14'h1832),
    .TX_RXDETECT_REF                        (3'b100),

  //---------------------------CPLL Attributes----------------------------
    .CPLL_CFG                               (24'hBC07DC),
    .CPLL_FBDIV                             (4),
    .CPLL_FBDIV_45                          (5),
    .CPLL_INIT_CFG                          (24'h00001E),
    .CPLL_LOCK_CFG                          (16'h01E8),
    .CPLL_REFCLK_DIV                        (1),
    // .RXOUT_DIV                           (1),
    // .TXOUT_DIV                           (1),
    .RXOUT_DIV                              (2),
    .TXOUT_DIV                              (2),
    .SATA_CPLL_CFG                          ("VCO_3000MHZ"),

  //------------RX Initialization and Reset Attributes-------------
    .RXDFELPMRESET_TIME                     (7'b0001111),

  //------------RX Equalizer Attributes--------------
    .RXLPM_HF_CFG                           (14'b00000011110000),
    .RXLPM_LF_CFG                           (14'b00000011110000),
    .RX_DFE_GAIN_CFG                        (23'h020FEA),
    .RX_DFE_H2_CFG                          (12'b000000000000),
    .RX_DFE_H3_CFG                          (12'b000001000000),
    .RX_DFE_H4_CFG                          (11'b00011110000),
    .RX_DFE_H5_CFG                          (11'b00011100000),
    .RX_DFE_KL_CFG                          (13'b0000011111110),
    .RX_DFE_LPM_CFG                         (16'h0904),
    .RX_DFE_LPM_HOLD_DURING_EIDLE           (1'b0),
    .RX_DFE_UT_CFG                          (17'b10001111000000000),
    .RX_DFE_VP_CFG                          (17'b00011111100000011),

  //-----------------------Power-Down Attributes----------------------------
    .RX_CLKMUX_PD                           (1'b1),
    .TX_CLKMUX_PD                           (1'b1),

  //-----------------------FPGA RX Interface Attribute-------------------------
    .RX_INT_DATAWIDTH                       (1),
```

图 41　GTX_CHANNEL 原语更改内容

之后，用户即可正常使用 RXAUI IP。

FPGAs Transceivers Wizard IP 介绍

如上文所描述，我司 GTX 电路 QPLL 范围 8-12GHz，下文介绍针对 QPLL 不兼容时，Transceiver IP 如何设置：

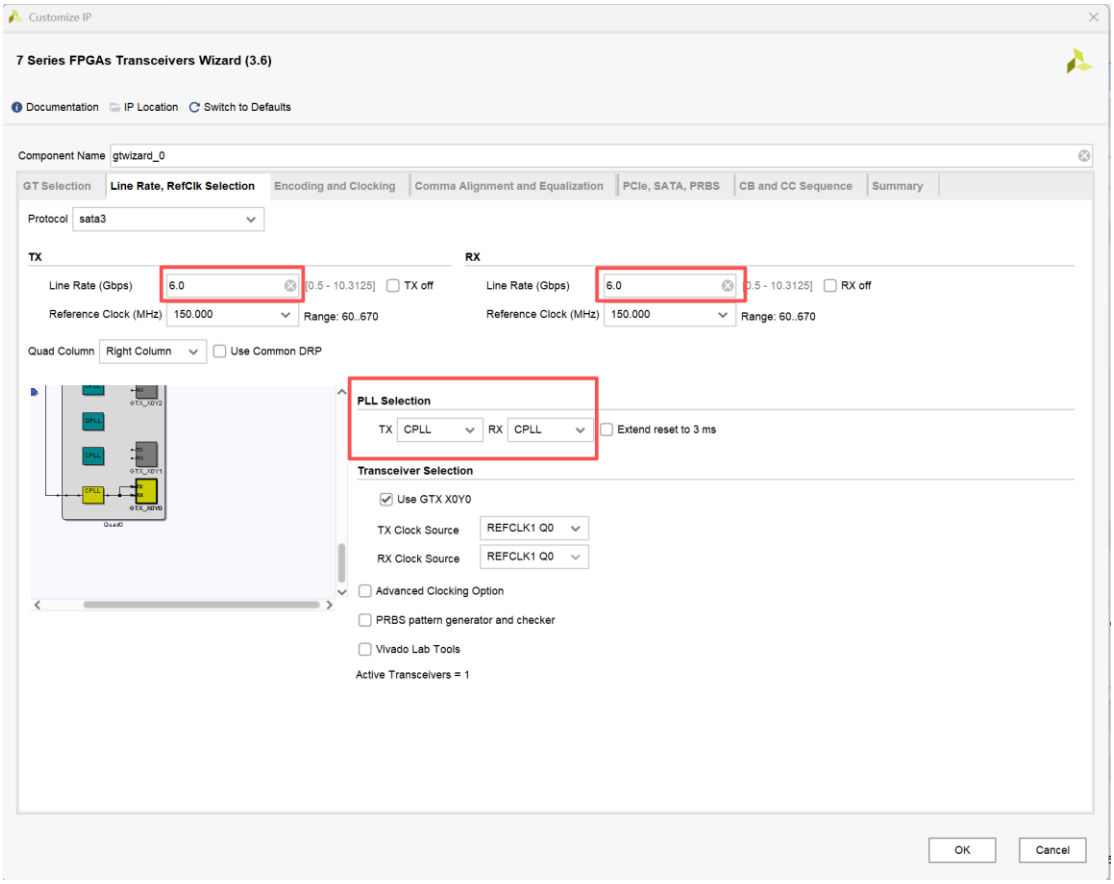


图 22　Transceivers Wizard IP 设置

对于 8Gbps 线速率以下的协议，请将 TX 和 RX 选择 CPLL 模式，这样就不会有 QPLL 兼容性问题。

JESD204 PHY IP

我司 CSD9213 常用的 6G 采样率，需要将 jesd204 PHY IP 设置为 7.5Gbps，软件默认为 QPLL 模式，并且 XX325T GTX 最大线速率为 6.6Gbps，如前文所示需要在 8Gbps 线速率模式下使用 CPLL 模式，存在软件不兼容问题。

解决办法如下图所示：

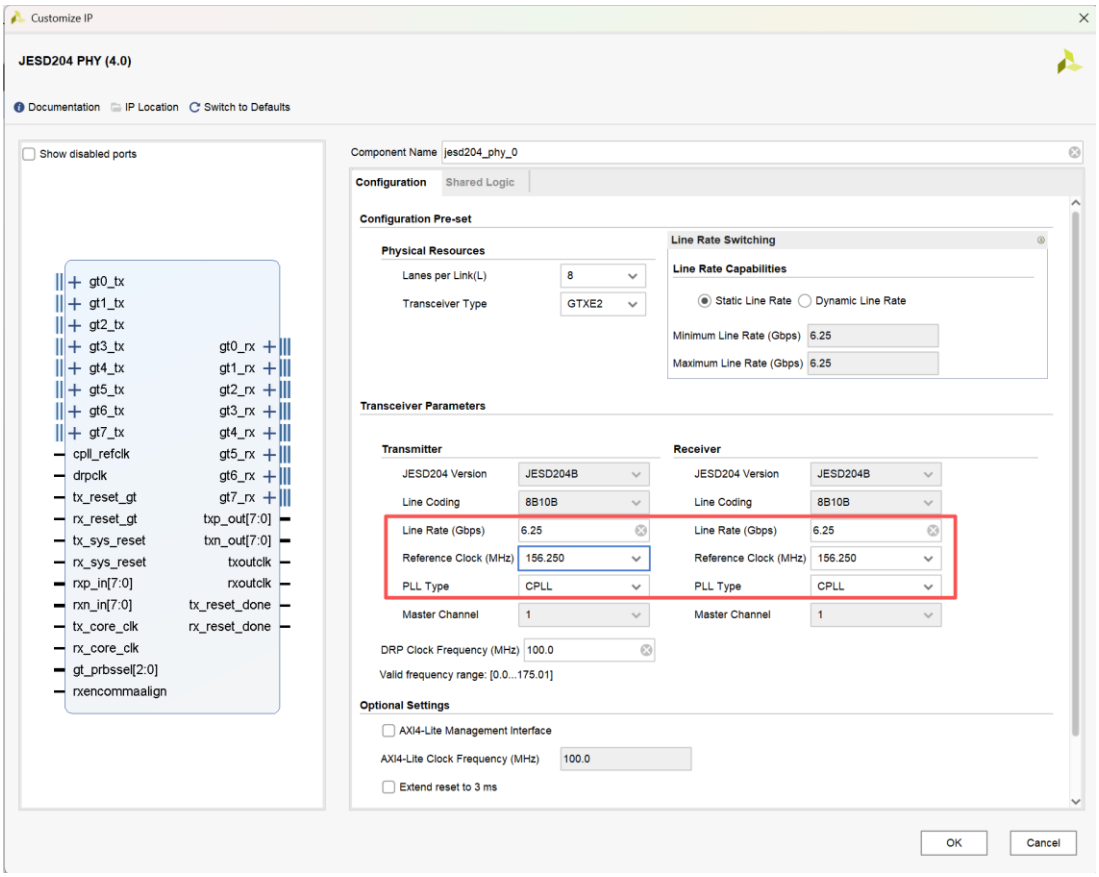


图 23　JESD204 PHY 设置

如上图所示，这里我们采用了等效的办法，CSD9213 6G 采样率时钟为 187.5MHz，我司 CPLL 可以支持到 7.5Gbps，故我们将 IP 设置为 6.25Gbps,时钟输入为 156.25MHz，但实际输入时钟为 187.5MHz 时，最终的线速率即 7.5Gbps，这样即可解决兼容性问题。

GTX_CHANNEL/GTX_COMMON 原语修改办法

针对 QPLL 不兼容的问题，若用户在编写代码时未采用任何软件 IP，仅采用 GTX_CHANNEL 和 GTX_COMMON 原语进行编程。解决办法如下所示：

（1）QPLL 模式，仅更改分频系数，修改办法参照 XAUI IP、RXAUI IP 所示，通过将 QPLL 的分频系数扩大来解决。（不推荐使用此办法，因为分频之后影响 TX/RX 性能，RX 可能存在 CDR 不兼容问题）。

（2）将 CPLL 模式更改为 QPLL 模式，COMMON 原语需要将 QPLL_PD 端口设置为 1’b1，将 QPLL POWER DOWN。如下图所示：

```
193         //------------------------ Common Block - QPLL Ports ------------------------
194         .QPLLFBCLKLOST                  (),
195         .QPLLLOCK                       (QPLLLOCK_OUT),
196         .QPLLLOCKDETCLK                 (QPLLLOCKDETCLK_IN),
197         .QPLLLOCKEN                     (tied_to_vcc_i),
198         .QPLLOUTRESET                   (tied_to_ground_i),
199         .QPLLPD                         (1'b1),
200         .QPLLREFCLKLOST                 (QPLLREFCLKLOST_OUT),
201         .QPLLREFCLKSEL                  (3'b001),
202         .QPLLRESET                      (qpll_reset_i),
203         .QPLLRSVD1                      (16'b0000000000000000),
204         .QPLLRSVD2                      (5'b11111),
```

图 24　GTX_COMMON 原语修改办法

将 GTX_CHANNEL 中的 CPLLPD 信号设置为 1’b0，如下图所示：

```
531         //------------------------------ CPLL Ports ------------------------------
532         .CPLLFBCLKLOST                  (cpllfbclklost_out),
533         .CPLLLOCK                       (cplllock_out),
534         .CPLLLOCKDETCLK                 (cplllockdetclk_in),
535         .CPLLLOCKEN                     (tied_to_vcc_i),
536         .CPLLPD                         (1'b0),
537         .CPLLREFCLKLOST                 (cpllrefclklost_out),
538         .CPLLREFCLKSEL                  (3'b001),
539         .CPLLRESET                      (cpll_reset_i),
540         .GTRSVD                         (16'b0000000000000000),
541         .PCSRSVDIN                      (16'b0000000000000000),
542         .PCSRSVDIN2                     (5'b00000),
543         .PMARSVDIN                      (5'b00000),
544         .PMARSVDIN2                     (5'b00000),
545         .TSTIN                          (20'b11111111111111111111),
546         .TSTOUT                         (),
```

图 25　GTX_CHANNEL 原语修改办法 1

将 GTX_CHANNEL 中的 TXSYSCLKSEL/RXSYSCLKSEL 信号都设置为 2’b00，如下图所示：

```
565         //------------------------------ Clocking Ports ------------------------------
566         .GTREFCLKMONITOR                (),
567         .QPLLCLK                        (qpllclk_in),
568         .QPLLREFCLK                     (qpllrefclk_in),
569         .RXSYSCLKSEL                    (2'b00),
570         .TXSYSCLKSEL                    (2'b00),
```

图 26　GTX_CHANNEL 原语修改办法 2

9.1.3　功能对比结论

CSD7K325T GTX 的 IBERT IP 及 QPLL 系数选择需按以上解决方案修改使用。

9.2 性能对比

9.2.1 推荐工作电压

CSD7K325T 各供电电源与 XX325T 产品一致。

表 60 CSD7K325T 与 XX325T 产品推荐工作电压差异对比

参数项	CSD7K325T	XX325T	差异说明
FPGA 逻辑			
V_{CCINT}	0.97V~1.03V	0.97V~1.03V	一致
V_{CCBRAM}	0.97V~1.03V	0.97V~1.03V	一致
V_{CCAUX}	1.71V~1.89V	1.71V~1.89V	一致
V_{CCO}	1.14V~1.89V（高性能 HPIO）	1.14V~1.89V（高性能 HPIO）	一致
	1.14V~3.465V（配置引脚）	1.14V~3.465V（配置引脚）	一致
V_{CCAUX_IO}	1.71V~1.89V 或 1.94V~2.06V	1.71V~1.89V 或 1.94V~2.06V	一致
高速串行收发器			
$V_{MGTAVCC}$	0.97V~1.08V （QPLL 频率≤10.3125 GHz）	0.97V~1.08V （QPLL 频率≤10.3125 GHz）	一致
	1.02V~1.08V （QPLL 频率>10.3125 GHz）	1.02V~1.08V （QPLL 频率>10.3125 GHz）	一致
$V_{MGTAVTT}$	1.17V~1.23V	1.17V~1.23V	一致
$V_{MGTVCCAUX}$	1.75V~1.85V	1.75V~1.85V	一致
$V_{MGTAVTTRCAL}$	1.17V~1.23V	1.17V~1.23V	一致
片上 ADC 模块			
V_{CCADC}	1.71V~1.89V	1.71V~1.89V	一致
V_{REFP}	1.2V~1.3V	1.2V~1.3V	一致

9.2.2 推荐上电要求

CSD7K325T 上电各电源供电电流需求及推荐上电顺序与 XX32T 产品一致。

表 61 CSD7K325T 上电需求最小电流

器件	$I_{CCINTMIN}$	$I_{CCAUXMIN}$	I_{CCOMIN}	I_{CCAUX_IOMIN}	$I_{CCBRAMMIN}$	单位
CSD7K325T	I_{CCINTQ} +600	I_{CCAUXQ} +80	I_{CCOQ} + 40 mA /IO Bank	I_{CCOAUX_IOQ} + 40 mA /IO Bank	$I_{CCBRAMQ}$ + 40	mA

表 62 CSD7K325T 上电上升时间

标志符号	特性描述	条件	最小	最大	单位
t_{VCCINT} (1)	从 GND 到 90% V_{CCINT} 的爬升时间	--	0.2	50	ms
t_{VCCO}	从 GND 到 90% V_{CCO} 的爬升时间	--	0.2	50	ms
t_{VCCAUX}	从 GND 到 90% V_{CCAUX} 的爬升时间	--	0.2	50	ms
t_{VCCAUX_IO}	从 GND 到 90% V_{CCAUX_IO} 的爬升时间	--	0.2	50	ms

标志符号	特性描述	条件	最小	最大	单位
$t_{VCCBRAM}$	从 GND 到 90% V_{CCBRAM} 的爬升时间	--	0.2	50	ms
$t_{VCCO2VCCAUX}$ (2)	每个供电周期内允许 V_{CCO} - V_{CCAUX} > 2.625V 的时间	T_J=125℃	--	300	ms
		T_J=100℃	--	500	ms
		T_J=85℃	--	800	ms
$t_{MGTAVCC}$ (3)	从 GND 到 90% $V_{MGTAVCC}$ 的爬升时间	--	0.2	50	ms
$t_{MGTAVTT}$	从 GND 到 90% $V_{MGTAVTT}$ 的爬升时间	--	0.2	50	ms
$t_{MGTVCCAUX}$	从 GND 到 90% $V_{MGTVCCAUX}$ 的爬升时间	--	0.2	50	ms

注：

（1）要求的上电电源顺序为 V_{CCINT}、V_{CCBRAM}、V_{CCAUX}、V_{CCAUX_IO} 和 V_{CCO}，以实现最小的上电电流并确保 I/Os 在上电过程中状态为三态。推荐的掉电电源顺序与上电电源顺序相反。

（2） 对于配置 V_{CCO_0} 组，在上电和掉电周期内 V_{CCO} 和 V_{CCAUX} 之间的电压差在超过 $t_{VCCO2VCCAUX}$ 的情况下超过 2.625V 的时间不能过长，以保障器件的可靠性。

（3） 为实现高速收发器 SERDES 最小的上电电流，推荐的上电电源顺序为 V_{CCINT}、$V_{MGTAVCC}$、$V_{MGTAVTT}$ 或 $V_{MGTAVCC}$、V_{CCINT}、$V_{MGTAVTT}$；对于 $V_{MGTVCCAUX}$ 没有推荐的上电顺序。推荐的掉电电源顺序与上电电源顺序相反。

（4）如果 V_{CCINT} 和 V_{CCBRAM} 为相同的电压值它们可以被同一个电源驱动和同时上电；

（5）如果 V_{CCAUX}、V_{CCAUX_IO} 和 V_{CCO} 为相同的电压值它们可以被同一个电源驱动和同时上电。

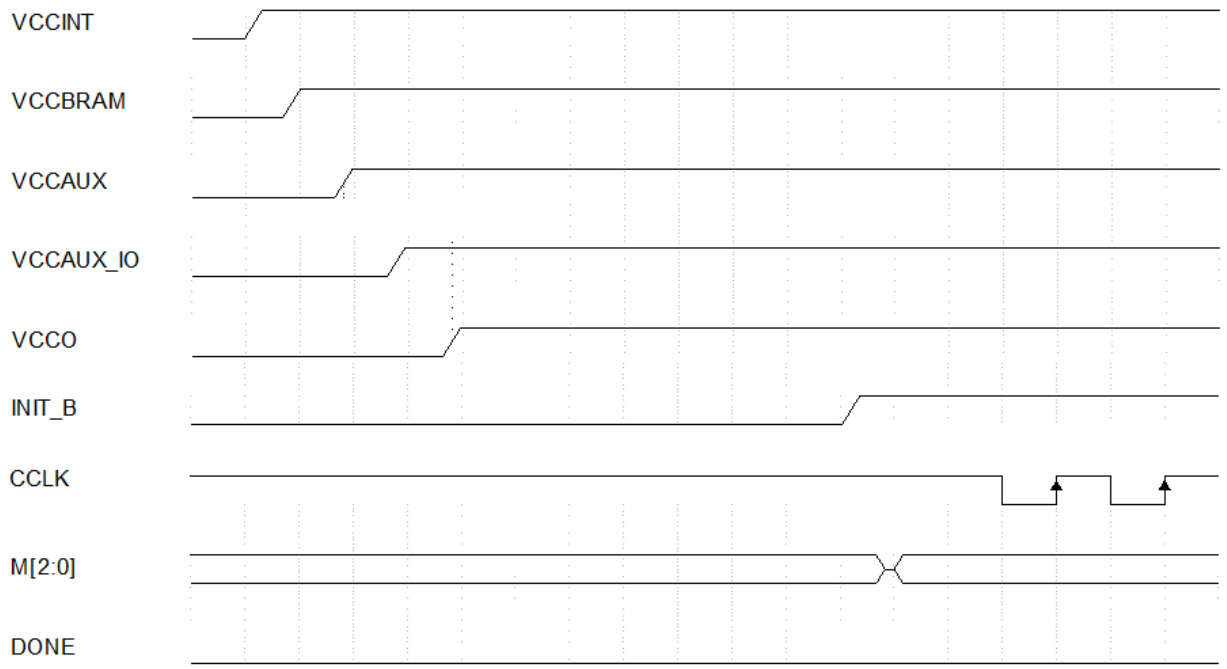


图 42　CSD7K325T 要求上电顺序

9.2.3　高速串行接口（SerDes）性能

TX 对比明细

CSD7K325T 产品与 XX325T 进行 TX 性能测试对比，测试条件线速率 10Gbps、80 Lane（RF1927 封装）、使用 QPLL_FBDIV=40。

表 63　TX 总抖动性能（环境温度 25℃）测试情况对比

QUAD	测试参数	XX325T 均值	CSD7K325T 均值	单位
QUAD110	10Gbps 总抖动	0.247	0.30	UI
QUAD111		0.236	0.302	
QUAD112		0.221	0.244	
QUAD113		0.242	0.30	
QUAD114		0.227	0.240	
QUAD115		0.271	0.257	
QUAD116		0.271	0.247	
QUAD117		0.222	0.237	
QUAD118		0.246	0.248	
QUAD119		0.234	0.28	

表 64　TX 总抖动性能（环境温度-55℃）测试情况对比

QUAD	测试参数	XX325T 均值	CSD7K325T 均值	单位
QUAD110	10Gbps 总抖动	0.251	0.309	UI
QUAD111		0.279	0.306	
QUAD112		0.233	0.241	
QUAD113		0.249	0.301	
QUAD114		0.241	0.238	
QUAD115		0.228	0.254	
QUAD116		0.205	0.251	
QUAD117		0.230	0.227	
QUAD118		0.223	0.256	
QUAD119		0.256	0.253	

表 65　TX 总抖动性能（环境温度 125℃）测试情况对比

QUAD	测试参数	XX325T 均值	CSD7K325T 均值	单位
QUAD110	10Gbps 总抖动	0.229	0.297	UI
QUAD111		0.237	0.294	
QUAD112		0.239	0.296	
QUAD113		0.219	0.310	

QUAD114		0.243	0.249	
QUAD115		0.258	0.263	
QUAD116		0.264	0.254	
QUAD117		0.274	0.240	
QUAD118		0.226	0.250	
QUAD119		0.219	0.270	

RX 对比明细

测试条件线速率 12.5Gbps、抖动容限 500KHz～100MHz。



图 43　CSD7K325T 抖动容限测试结果

驱动能力对比明细

表 66　驱动能力测试情况对比

数据率	通道损耗性能指标	CSD7K325T 环境温度-55-110℃	XX325T 环境温度-55-110℃
6.25Gbps	通道损耗@DFE	≤26dB	≤26dB
8Gbps	通道损耗@LPM	≤17dB	≤20dB
	通道损耗@DFE	≤26dB	≤26dB
10Gbps	通道损耗@DFE	≤23dB	≤26dB
12.5Gbps	通道损耗@DFE	≤18dB	≤26dB

SerDes 性能对比结论

1、TX 总抖动≤0.31UI（全温区），相比于 XX325T≤0.28UI（全温区）略差；

2、RX 抖动容限满足使用要求；

3、驱动能力在 8Gbps（LPM 模式）、10Gbps 和 12.5Gbps 线速率下，比 XX325T 略差，其它情况下相当。

9.3 功耗对比

9.3.1 静态功耗

9.3.1.1 对比明细

静态功耗常温（环境温度 25℃）测试情况如表 67 所示。

表 67 静态功耗常温（环境温度 25℃）测试情况对比

特性	测试参数	XX325T	CSD7K325T	单位	差异说明
		典型值	典型值		
V_{CCINT} 静态供电电流	I_{CCINTQ}	91.39	213.57	mA	高于
V_{CCO} 静态供电电流	I_{CCOQ}	5.20	3.13	mA	低于
V_{CCAUX} 静态供电电流	I_{CCAUXQ}	41.61	108.13	mA	高于
V_{CCAUX_IO} 静态供电电流	I_{CCAUX_IOQ}	0.453	0.15	mA	低于
V_{CCBRAM} 静态供电电流	$I_{CCBRAMQ}$	5.54	9.94	mA	相当
$V_{MTGAVCC}$ 静态供电电流	$I_{MGTAVCCQ}$	25.91	1.18	mA	低于
$V_{MTGAVTT}$ 静态供电电流	$I_{MGTAVTTQ}$	11	64.91	mA	高于
$V_{MTGVCCAUX}$ 静态供电电流	$I_{MGTVCCAUXQ}$	0.073	1.18	mA	高于

静态功耗高温（环境温度 125℃）测试情况如表 68 所示。

表 68 静态功耗高温（环境温度 125℃）测试情况对比

特性	测试参数	XX325T	CSD7K325T	单位	差异说明
		典型值	典型值		
V_{CCINT} 静态供电电流	I_{CCINTQ}	1406	2171	mA	高于
V_{CCO} 静态供电电流	I_{CCOQ}	21.42	2.57	mA	低于
V_{CCAUX} 静态供电电流	I_{CCAUXQ}	159.54	391.7	mA	高于
V_{CCAUX_IO} 静态供电电流	I_{CCAUX_IOQ}	0.910	0.95	mA	相当
V_{CCBRAM} 静态供电电流	$I_{CCBRAMQ}$	152.34	64.22	mA	低于
$V_{MTGAVCC}$ 静态供电电流	$I_{MGTAVCCQ}$	103.29	43.50	mA	低于
$V_{MTGAVTT}$ 静态供电电流	$I_{MGTAVTTQ}$	26.68	127.90	mA	高于
$V_{MTGVCCAUX}$ 静态供电电流	$I_{MGTVCCAUXQ}$	12.30	1.51	mA	低于

静态功耗低温（环境温度-55℃）测试情况如表 69 所示。

表 69　静态功耗低温（环境温度-55℃）测试情况对比

特性	测试参数	XX325T	CSD7K325T	单位	差异说明
		典型值	典型值		
V_{CCINT} 静态供电电流	I_{CCINTQ}	40.9	70.18	mA	高于
V_{CCO} 静态供电电流	I_{CCOQ}	4.89	2.72	mA	低于
V_{CCAUX} 静态供电电流	I_{CCAUXQ}	49.28	59.99	mA	高于
V_{CCAUX_IO} 静态供电电流	I_{CCAUX_IOQ}	0.505	0.123	mA	低于
V_{CCBRAM} 静态供电电流	$I_{CCBRAMQ}$	2.31	6.13	mA	高于
$V_{MTGAVCC}$ 静态供电电流	$I_{MGTAVCCQ}$	6.31	7.83	mA	相当
$V_{MTGAVTT}$ 静态供电电流	$I_{MGTAVTTQ}$	4.34	11.84	mA	高于
$V_{MTGVCCAUX}$ 静态供电电流	$I_{MGTVCCAUXQ}$	4.10	1.27	mA	低于

9.3.1.2　对比结论

从上述的三温静态的数据分析可以得出，CSD7K325T 的静态功耗在高温情况下（极限条件），除 V_{CCINT}、V_{CCAUX_IO}、$I_{MGTAVTTQ}$ 静态供电电流外，其它电源电流比 XX325T 低。

9.3.2　动态功耗

9.3.2.1　总体功耗对比明细

CSD7K325T 在典型高资源应用下的 VCCINT 功耗对比如表 70。

表 70　典型高资源应用 VCCINT 三温功耗对比

温度	XX325T（典型值）	CSD7K325T（典型值）	单位
-55℃	3.89	3.95	W
25℃	4.11	4.28	W
125℃	6.64	8.47	W

CSD7K325T 在不同频率下的 VCCINT 功耗对比如表 71。

表 71　常温情况下典型高资源应用 VCCINT 动态功耗对比

系统时钟频率	XX325T（典型值）	CSD7K325T（典型值）	单位
50MHz	2.33	2.495	W
100MHz	4.11	4.28	W
200MHz	4.44	7.66	W
250MHz	8.990	9.22	W

9.3.2.2 SerDes 应用功耗对比明细

选取 2 只 CSD7K325T 产品与 XX325T 进行动态功耗测试对比，测试条件为 16Lane（RF900 封装）、IBERT 工程、使用 QPLL、参考时钟 125MHz、线速率 10Gbps。

表 72 动态功耗常温（环境温度 25℃）测试情况对比

特性	测试参数	XX325T	CSD7K325T		单位	差异说明
			#1	#2		
$V_{MTGAVCC}$ 动态电流	$I_{MGTAVCC}$	3.582	2.66	2.69	A	低于
$V_{MTGAVTT}$ 动态电流	$I_{MGTAVTT}$	0.76	1.16	1.19	A	高于
$V_{MTGVCCAUX}$ 动态电流	$I_{MGTVCCAUX}$	0.042	0.05	0.052	A	相当

表 73 动态功耗常温（环境温度-55℃）测试情况对比

特性	测试参数	XX325T	CSD7K325T		单位	差异说明
			#1	#2		
$V_{MTGAVCC}$ 动态电流	$I_{MGTAVCC}$	3.43	2.62	2.64	A	低于
$V_{MTGAVTT}$ 动态电流	$I_{MGTAVTT}$	0.73	1.14	1.12	A	高于
$V_{MTGVCCAUX}$ 动态电流	$I_{MGTVCCAUX}$	0.04	0.046	0.046	A	相当

表 74 动态功耗常温（环境温度 125℃）测试情况对比

特性	测试参数	XX325T	CSD7K325T		单位	差异说明
			#1	#2		
$V_{MTGAVCC}$ 动态电流	$I_{MGTAVCC}$	3.83	2.69	2.63	A	低于
$V_{MTGAVTT}$ 动态电流	$I_{MGTAVTT}$	0.77	1.21	1.19	A	高于
$V_{MTGVCCAUX}$ 动态电流	$I_{MGTVCCAUX}$	0.05	0.05	0.05	A	相当

9.3.2.3 对比结论

CSD7K325T VCCINT 电源的动态功耗略高于 XX325T。在 SerDes 应用方面，VMTGAVTT 电源的动态电流高于 XX325T 50%左右，VMTGAVCC 电源的动态电流低于 XX325T 30%左右。SerDes 相关电源的总功耗低于 XX325T。典型高资源应用下总体功耗相当。

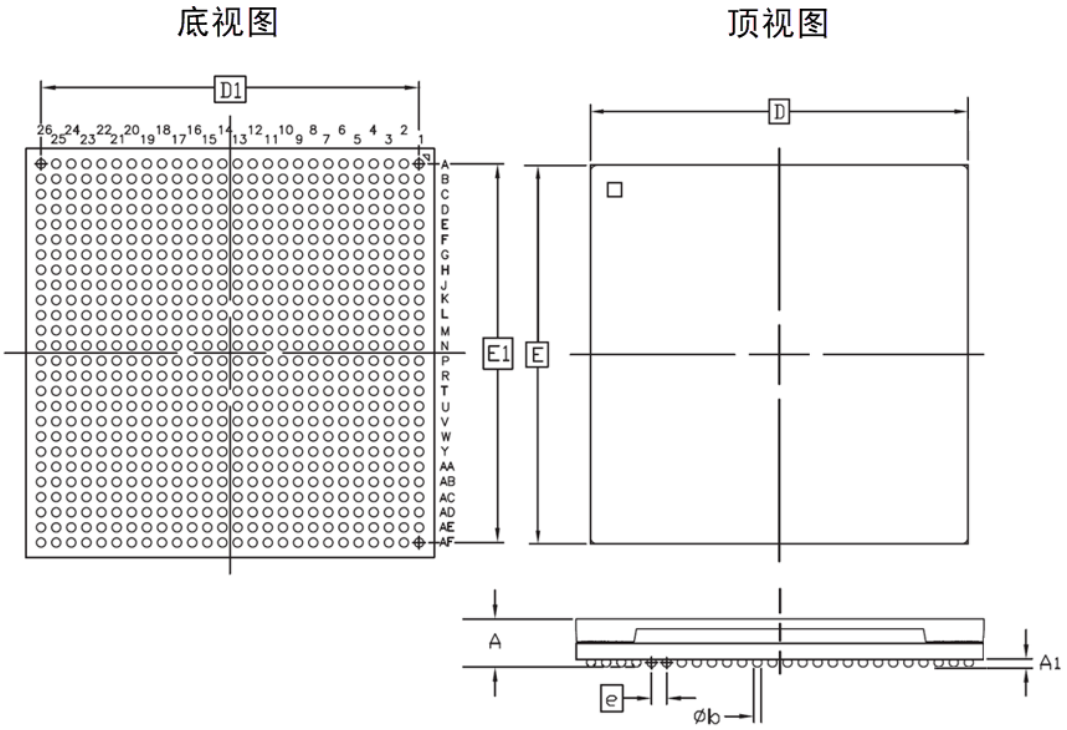
主要原因为 CSD7K325T 采用正向设计技术路线，所以电源的动态功耗存在差异，请用户在产品应用设计时务必考虑其差异性。

9.4 物理信息对比

9.4.1 封装尺寸

9.4.1.1 RF676 封装尺寸

RF676 型封装，有 676 个引出端，封装形式为 FC-RFBGA (Flip Chip Ruggedized Fineline Ball Grid Array 坚固的倒装产品小尺寸球栅阵列)，非密封，带散热盖板，pin to pin 原位替代 XX325T-FFG676 封装，外形尺寸仅高度（A）比国外器件高 0.08mm 左右，其余参数基本一致。



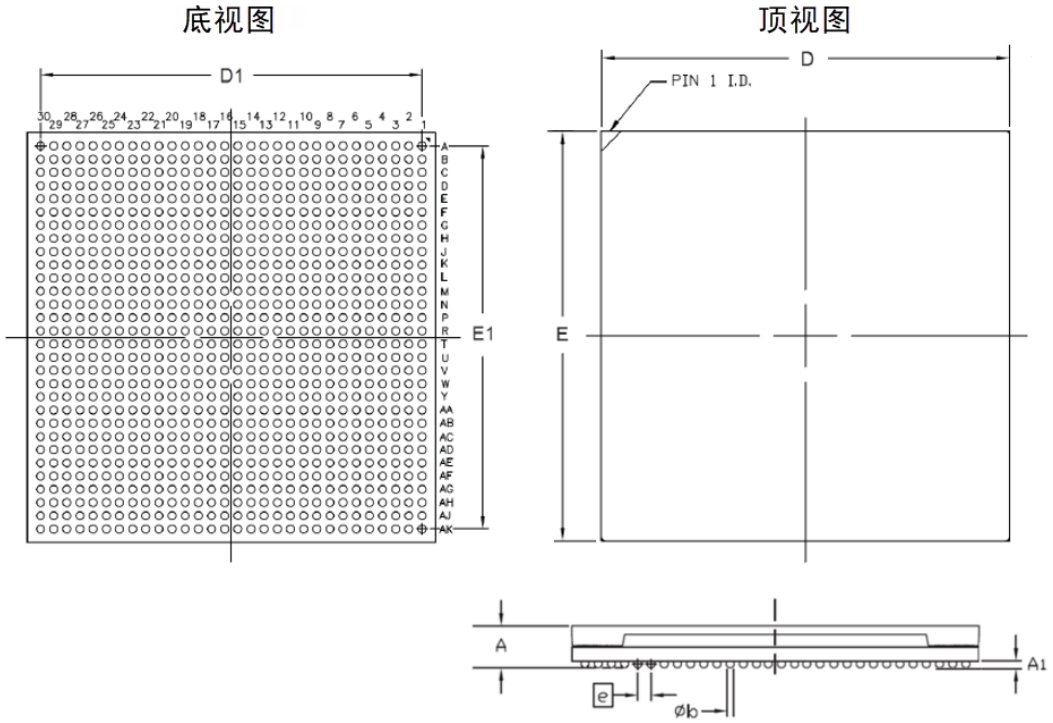
单位为毫米

尺寸符号	CSD7K325T			XX325T		
	最小	公称	最大	最小	公称	最大
A	-	-	3.45	2.97	3.17	3.37
A1	0.4	0.5	0.6	0.4	0.5	0.6
D/E	26.80	-	27.20	-	27	-
b	0.5	0.6	0.7	0.5	0.6	0.7
e	-	1	-	-	1	-
D1/E1	-	25	-	-	25	-

图 44　RF676 封装外形尺寸

9.4.1.2 RF900 封装尺寸

RF900 型封装，有 900 个引出端，封装形式为 FC-RFBGA (Flip Chip Ruggedized Fineline Ball Grid Array 坚固的倒装产品小尺寸球栅阵列)，非密封，带散热盖板，pin to pin 原位替代 XX325T-FFG900 封装，外形尺寸仅高度（A）比国外器件高 0.15mm 左右，其余参数基本一致。



单位为毫米

尺寸符号	CSD7K325T			XX325T		
	最小	公称	最大	最小	公称	最大
A	-	-	3.59	2.84	3.14	3.44
A1	0.36	0.5	0.56	0.4	0.5	0.6
D/E	–	31	–	–	31	–
b	0.5	0.6	0.7	0.5	0.6	0.7
e	–	1	–	–	1	–
D1/E1	–	29	–	–	29	–

图 45　RF900 封装外形尺寸

9.5 重量对比

表 75 CSD7K325T 与 XX325T 器件重量对比

封装形式	CSD7K325T	XX325T	差异说明
RF676	6.85±1.5 g（带焊球）	7.86g（典型值）	轻 1.01g
RF900	10.3±1.5 g（带焊球）	11.79g（典型值）	轻 1.49g

9.6 热阻对比

表 76 CSD7K325T 与 XX325T 热阻对比

封装形式	热阻（℃/W）	CSD7K325T	XX325T	差异说明
RF676	θ_{JA}	11.75722	11.1	略高
	θ_{JB}	4.279	3.5	略高
	θ_{JC}	0.33306	0.26	略高
RF900	θ_{JA}	10.36452	9.7	略高
	θ_{JB}	3.207375	2.8	略高
	θ_{JC}	0.45198	0.26	高于

9.7 可靠性对比

表 77 CSD7K325T 与 XX325T 可靠性对比

可靠性项	条件	CSD7K325T	XX325T	差异说明
ESD	HBM	1000V	1000V	一致
Latch-up	电流注入	±100mA	±100mA	一致

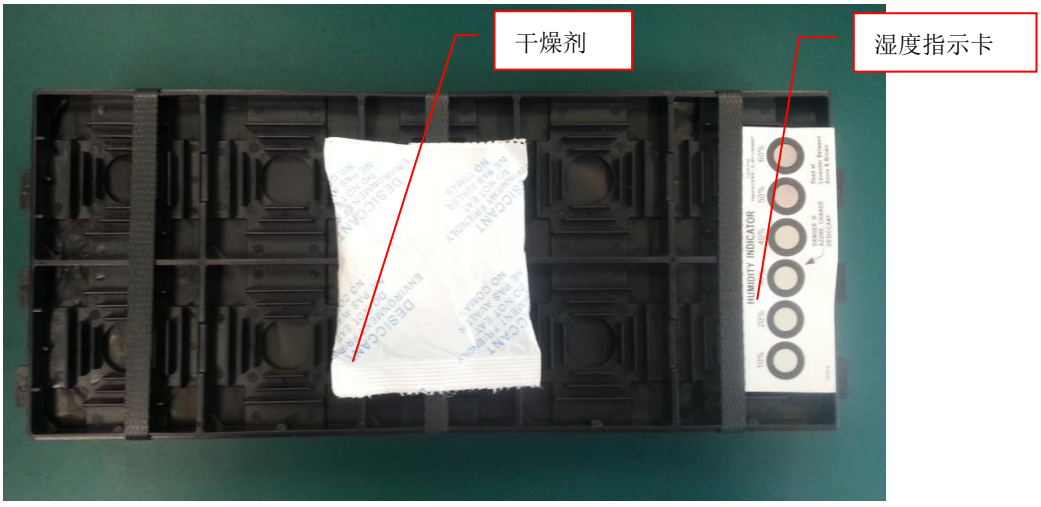
10　包装、贮存和运输要求

10.1　包装

器件使用托盘（N+1 托盘）进行包装（RF676 封装 SPQ=40、RF900 封装 SPQ=27），需要注意产品和托盘 pin1 位置标志。托盘与托盘间防静电薄膜保护。



a)　器件托盘采用（N+1 托盘）的形式，托盘使用扎带包装完成后，放入湿度指示卡和干燥剂。



b)　托盘连同干燥剂和湿度指示卡放入防静电袋，抽真空包装。在真空防静电袋袋上贴上湿度敏感警示等标签，并写上对应包装日期。





c) 放入器件前，纸箱的上下左右均应用防静电泡沫保护。



10.2 贮存

a) 客户收到产品后需对包装进行检验，确认包装密封完好，不存在孔洞、裂口等任何可能暴露袋内器件的异常现象。若发生包装防静电袋漏气情况，应对器件进行烘干处理，之后再次进行密封包装贮存。

b) 在干燥密封包装条件下，可贮存在常温常湿的环境中，在存贮环境为＜40℃/90% RH 状态下，储存有效期为 12 个月，储存时间 12 个月均从包装之日算起。如果出现储存时间超期，则需进行烘干处理。

c) 防静电袋打开以后，必须在规定的客户端车间寿命内进行回流焊接，返工，如果不使用需重新用 防静电袋干燥密封包装或放入干燥箱内（环境＜40℃/5% RH），如果客户端车间寿命或环境超出规定，则需进行烘干处理。

d) 烘干处理，通常在 125℃条件下，烘烤 48 小时。若出现密封包装破损或湿度指示卡 60%变色情况，则需延长烘烤时间，在 125℃条件下，大于 48 小时，但最长不要超过 96 小时。烘烤后需在 12 小时内进行电装或防静电袋密封包装或放入干燥箱内（环境＜40℃/5% RH）。

e) 请特别注意，器件进行烘烤时不能直接放入 125℃的烘箱中，必须从室温缓慢升温至 125℃，升温时间大于半小时，最大升温速率不能大于 4℃/min。

10.3 运输

在避免雨、雪直接影响的条件下，装有产品的包装箱可采用水陆空运输方式。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起

11 使用注意事项

该器件操作注意事项如下：

d) 器件应在防静电的工作台上操作；

e) 试验设备和器具应接地；

f) 不能触摸器件引线；

g) 器件应存放在导电材料制成的容器中；

h) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物。

12 订货信息

表 78 产品订货信息

序号	产品型号	封装形式	封装材料	质量保证等级	焊球材料	重量（g）
1	CSD7K325T-1RF900I	FC-RFBGA900	塑料	工业级	Sn96.5/Ag3.0/Cu0.5	10.3±1.5（带焊球）
2	CSD7K325T-1RF676I	FC-RFBGA676	塑料	工业级	Sn96.5/Ag3.0/Cu0.5	6.85±1.5（带焊球）

注1：工业级器件结温范围应为-40℃～+100℃。

注2：产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其它封装形式的器件。