CSD7A50T 型

五百万门级 FPGA

技术手册

V1.0.0

CSD7A50T技术手册

成都华微电子科技股份有限公司

2026 年 07 月 29 日

版本历史

版次	更改说明	更改人	更改日期	备注
V0.0.1	初始发行版本	王志超	20260416	
V1.0.0	增加差异对比章节的测试数据	王志超	20260729	

CSD7A50T技术手册

目　次

1 概述 1
2 产品特点 1
3 功能框图 2
4 封装信息 3
5 绝对最大额定值及推荐工作范围 20
6 电特性参数 22
7 功能描述 36
8 应用建议 50
9 差异对比 55
10 包装、贮存和运输要求 67
11 使用注意事项 69
12 订货信息 69

CSD7A50T技术手册

1 概述

CSD7A50T 型 FPGA，属于 SRAM 型 FPGA。逻辑资源包括 6 输入 LUT 的 CLB、宽范围用户 IO 模块、单块容量达 36k bits 的 Block RAM、数字信号处理模块 DSP、时钟管理模块 CMT、ADC 模块、PCIe 模块、高速串行接口 SERDES 模块、配置模块和互连资源。

2 产品特点

1) 逻辑实现基于 6 输入查找表（可被配置为分布式 RAM）。

2) 片上数据缓存块 RAM 单块容量为 36Kb、双端口模式，并带有内建 FIFO 逻辑功能。

3) 宽范围用户 IO 可以支持单端 LVCMOS、LVTTL 等多种电平标准，并支持多种差分电平标准，电压范围支持 1.2V~3.3V。

4) 宽范围用户 IO 接口支持 DDR3，最高速率可达 800Mb/s。

5) DSP 模块包含 25×18 乘法器、48 位累加器和预加器，可用于高性能滤波算法。

6) 高精度低抖动时钟管理单元（CMT），包括锁相环（PLL）和混合模式时钟管理（MMCM），时钟管理模块最高输入频率可达 800MHz

7) 全局时钟树频率最高可达 628MHz

8) 高速串行接口 SERDES 模块，线速率从 500Mb/s 到最高 6.25Gb/s

9) 集成 PCIe 硬核，支持 Gen2

10) 集成用于片上温度和电压传感器监控的 12 位 1MSPS ADC

11) 支持多种配置模式，包含支持通用存储器接口和 256 位 AES 加密

表1 CSD7A50T 产品包含内部资源

资源项	CSD7A50T		
	CS324	CS325	FG484
等效逻辑单元数	52160		
CLB slice 数量	8150		
CLB 构成分布式 RAM(Kb)	600		
DSP 数量	120		
BRAM 数量	150（单个 BRAM 容量 18Kb）/ 75（单个 BRAM 容量 36Kb）		
BRAM 最大容量(Kb)	2700		
CMT 数量	5		
ADC 数量	1		
PCIE 数量	0	1	1
高速接口 SERDES 信道数量	0	4	4
宽范围用户 IO 数量	210	150	250

CSD7A50T技术手册

3 功能框图

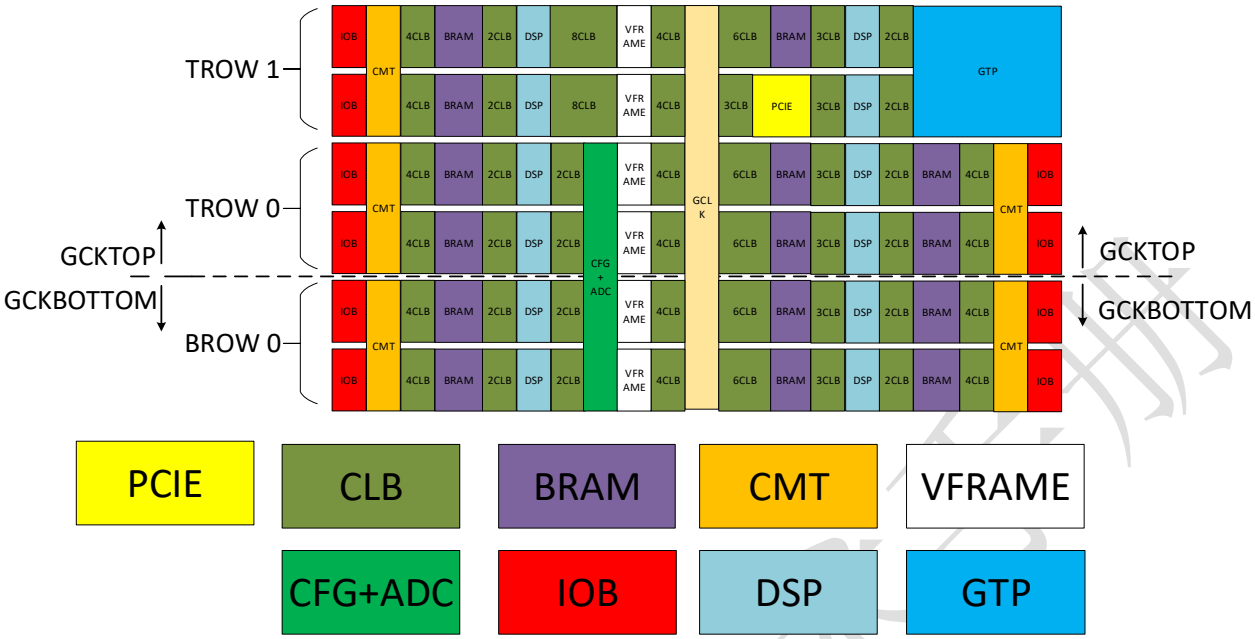


图1 功能框图

CSD7A50T典型应用场景如图2所示。

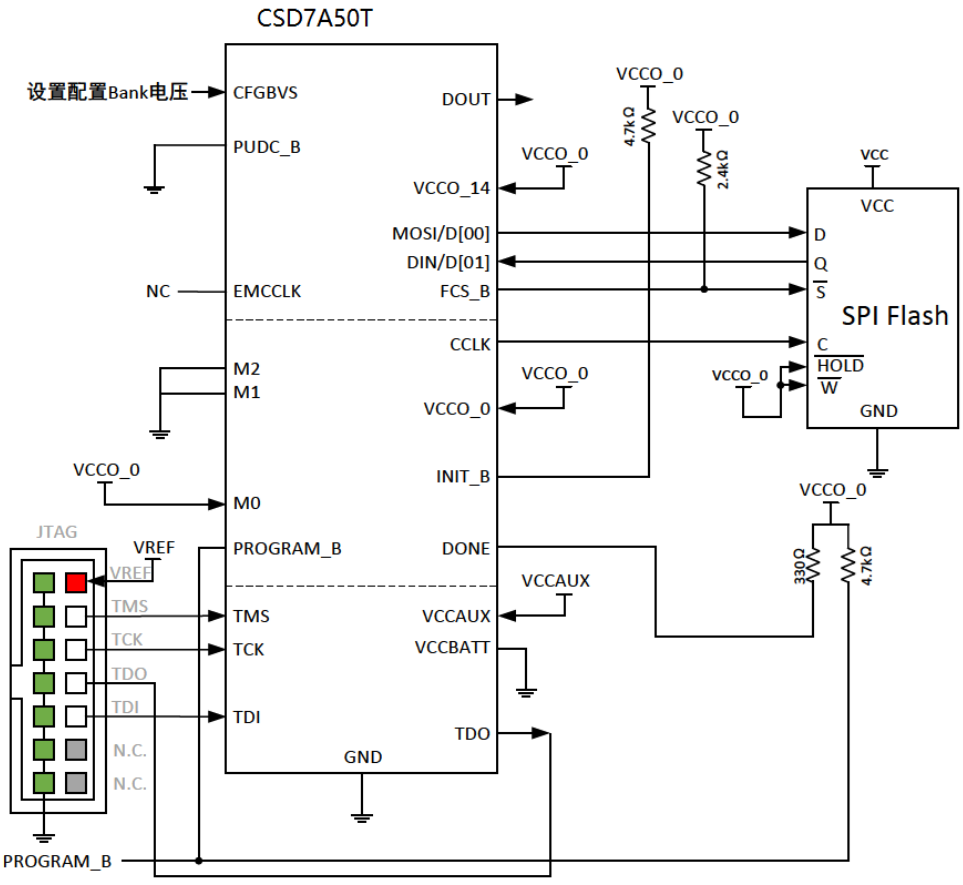


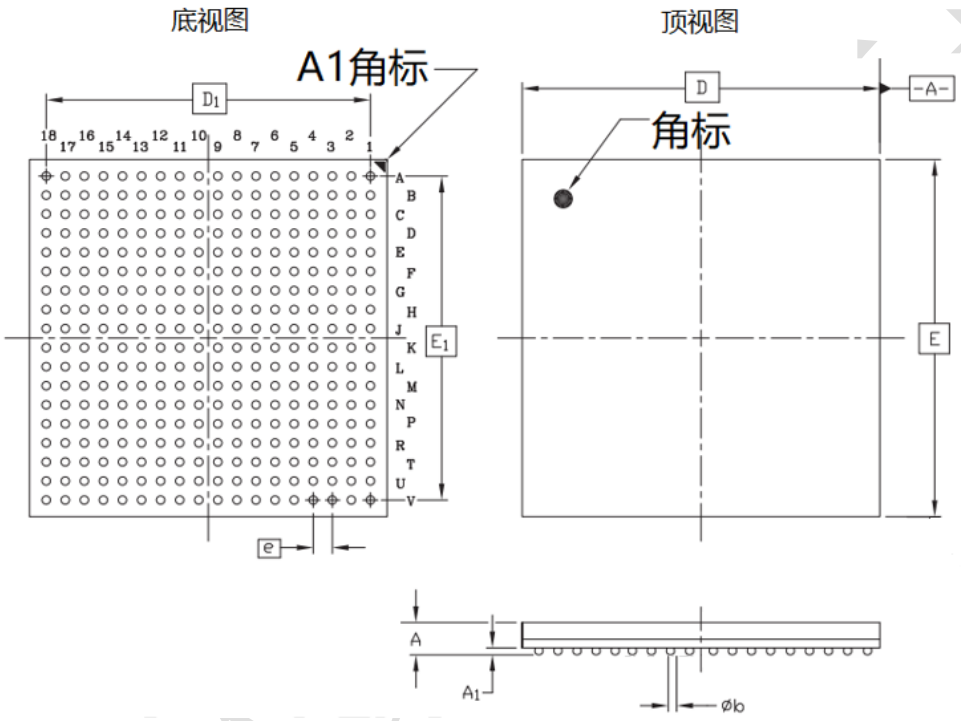
图2 典型应用场景

4 封装信息

CSD7A50T 有-1CS324I、-1CS325I、-1FG484I 三种产品型号，分别采用 PBGA324 和 PBGA484 封装形式。

4.1 CS324 封装信息

CS324外形及引脚排列图如图3所示。



单位为毫米

尺寸符号	数值		
	最小	公称	最大
A	—	—	1.43
A1	0.30	—	0.40
D	14.8	15.0	15.2
E	14.8	15.0	15.2
D1	—	13.6	—
E1	—	13.6	—
b	0.40	—	0.50
e	—	0.8	—

图3 PBGA324 封装外形及引脚排列图

CS324 封装引脚信息见表 2 所示

表2　　CS324 封装引脚信息

管脚	符号	管脚	符号	管脚	符号
P10	DONE_0	J14	IO_L19P_T3_A22_15	F1	IO_L18P_T2_35
L10	DXP_0	H15	IO_L19N_T3_A21_VREF_15	E1	IO_L18N_T2_35
H9	GNDADC_0	C16	IO_L20P_T3_A20_15	G6	IO_L19P_T3_35
H10	VCCADC_0	C17	IO_L20N_T3_A19_15	F6	IO_L19N_T3_VREF_35
K10	VREFP_0	E18	IO_L21P_T3_DQS_15	G4	IO_L20P_T3_35
K9	VN_0	D18	IO_L21N_T3_DQS_A18_15	G3	IO_L20N_T3_35
E8	VCCBATT_0	G18	IO_L22P_T3_A17_15	J4	IO_L21P_T3_DQS_35
E10	TCK_0	F18	IO_L22N_T3_A16_15	H4	IO_L21N_T3_DQS_35
L9	DXN_0	J17	IO_L23P_T3_FOE_B_15	J3	IO_L22P_T3_35
J9	VREFN_0	J18	IO_L23N_T3_FWE_B_15	J2	IO_L22N_T3_35
J10	VP_0	K15	IO_L24P_T3_RS1_15	K2	IO_L23P_T3_35
E9	CCLK_0	J15	IO_L24N_T3_RS0_15	K1	IO_L23N_T3_35
P12	M0_0	K16	IO_25_15	H6	IO_L24P_T3_35
P13	M1_0	D9	IO_L6N_T0_VREF_16	H5	IO_L24N_T3_35
P7	INIT_B_0	C9	IO_L11P_T1_SRCC_16	J5	IO_25_35
E11	TDI_0	B9	IO_L11N_T1_SRCC_16	A12	GND
E13	TDO_0	B8	IO_L12P_T1_MRCC_16	A2	GND
P11	M2_0	A8	IO_L12N_T1_MRCC_16	B15	GND
P8	CFGBVS_0	C11	IO_L13P_T2_MRCC_16	B5	GND
P9	PROGRAM_B_0	C10	IO_L13N_T2_MRCC_16	C18	GND
E12	TMS_0	A10	IO_L14P_T2_SRCC_16	C8	GND
R11	IO_0_14	A9	IO_L14N_T2_SRCC_16	D11	GND
K17	IO_L1P_T0_D00_MOSI_14	D10	IO_L19N_T3_VREF_16	D1	GND
K18	IO_L1N_T0_D01_DIN_14	K6	IO_0_34	E14	GND
L14	IO_L2P_T0_D02_14	L1	IO_L1P_T0_34	E4	GND
M14	IO_L2N_T0_D03_14	M1	IO_L1N_T0_34	F17	GND
L15	IO_L3P_T0_DQS_PUDC_B_14	K3	IO_L2P_T0_34	F11	GND
L16	IO_L3N_T0_DQS_EMCCLK_14	L3	IO_L2N_T0_34	F9	GND
L18	IO_L4P_T0_D04_14	N2	IO_L3P_T0_DQS_34	F7	GND
M18	IO_L4N_T0_D05_14	N1	IO_L3N_T0_DQS_34	G12	GND
R12	IO_L5P_T0_D06_14	M3	IO_L4P_T0_34	G10	GND
R13	IO_L5N_T0_D07_14	M2	IO_L4N_T0_34	G8	GND
L13	IO_L6P_T0_FCS_B_14	K5	IO_L5P_T0_34	H13	GND
M13	IO_L6N_T0_D08_VREF_14	L4	IO_L5N_T0_34	H11	GND
R18	IO_L7P_T1_D09_14	L6	IO_L6P_T0_34	H7	GND
T18	IO_L7N_T1_D10_14	L5	IO_L6N_T0_VREF_34	H3	GND

CSD7A50T技术手册

管脚	符号	管脚	符号	管脚	符号
N14	IO_L8P_T1_D11_14	U1	IO_L7P_T1_34	J16	GND
P14	IO_L8N_T1_D12_14	V1	IO_L7N_T1_34	J12	GND
N17	IO_L9P_T1_DQS_14	U4	IO_L8P_T1_34	J8	GND
P18	IO_L9N_T1_DQS_D13_14	U3	IO_L8N_T1_34	J6	GND
M16	IO_L10P_T1_D14_14	U2	IO_L9P_T1_DQS_34	K11	GND
M17	IO_L10N_T1_D15_14	V2	IO_L9N_T1_DQS_34	K7	GND
N15	IO_L11P_T1_SRCC_14	V5	IO_L10P_T1_34	L12	GND
N16	IO_L11N_T1_SRCC_14	V4	IO_L10N_T1_34	L8	GND
P17	IO_L12P_T1_MRCC_14	R3	IO_L11P_T1_SRCC_34	L2	GND
R17	IO_L12N_T1_MRCC_14	T3	IO_L11N_T1_SRCC_34	M15	GND
P15	IO_L13P_T2_MRCC_14	T5	IO_L12P_T1_MRCC_34	M11	GND
R15	IO_L13N_T2_MRCC_14	T4	IO_L12N_T1_MRCC_34	M9	GND
T14	IO_L14P_T2_SRCC_14	N5	IO_L13P_T2_MRCC_34	M7	GND
T15	IO_L14N_T2_SRCC_14	P5	IO_L13N_T2_MRCC_34	M5	GND
R16	IO_L15P_T2_DQS_RDWR_B_14	P4	IO_L14P_T2_SRCC_34	N18	GND
T16	IO_L15N_T2_DQS_DOUT_CSO_B_14	P3	IO_L14N_T2_SRCC_34	N12	GND
V15	IO_L16P_T2_CSI_B_14	P2	IO_L15P_T2_DQS_34	N10	GND
V16	IO_L16N_T2_A15_D31_14	R2	IO_L15N_T2_DQS_34	N8	GND
U17	IO_L17P_T2_A14_D30_14	M4	IO_L16P_T2_34	P1	GND
U18	IO_L17N_T2_A13_D29_14	N4	IO_L16N_T2_34	R14	GND
U16	IO_L18P_T2_A12_D28_14	R1	IO_L17P_T2_34	R4	GND
V17	IO_L18N_T2_A11_D27_14	T1	IO_L17N_T2_34	T17	GND
T11	IO_L19P_T3_A10_D26_14	M6	IO_L18P_T2_34	T7	GND
U11	IO_L19N_T3_A09_D25_VREF_14	N6	IO_L18N_T2_34	U10	GND
U12	IO_L20P_T3_A08_D24_14	R6	IO_L19P_T3_34	V13	GND
V12	IO_L20N_T3_A07_D23_14	R5	IO_L19N_T3_VREF_34	V3	GND
V10	IO_L21P_T3_DQS_14	V7	IO_L20P_T3_34	F8	VCCINT
V11	IO_L21N_T3_DQS_A06_D22_14	V6	IO_L20N_T3_34	G9	VCCINT
U14	IO_L22P_T3_A05_D21_14	U9	IO_L21P_T3_DQS_34	G7	VCCINT
V14	IO_L22N_T3_A04_D20_14	V9	IO_L21N_T3_DQS_34	H8	VCCINT
T13	IO_L23P_T3_A03_D19_14	U7	IO_L22P_T3_34	J11	VCCINT
U13	IO_L23N_T3_A02_D18_14	U6	IO_L22N_T3_34	J7	VCCINT
T9	IO_L24P_T3_A01_D17_14	R7	IO_L23P_T3_34	K8	VCCINT
T10	IO_L24N_T3_A00_D16_14	T6	IO_L23N_T3_34	L11	VCCINT
R10	IO_25_14	R8	IO_L24P_T3_34	L7	VCCINT
G13	IO_0_15	T8	IO_L24N_T3_34	M10	VCCINT
D14	IO_L1P_T0_AD0P_15	U8	IO_25_34	M8	VCCINT
C14	IO_L1N_T0_AD0N_15	F5	IO_0_35	N11	VCCINT

CSD7A50T 技术手册

管脚	符号	管脚	符号	管脚	符号
B13	IO_L2P_T0_AD8P_15	C6	IO_L1P_T0_AD4P_35	N9	VCCINT
B14	IO_L2N_T0_AD8N_15	C5	IO_L1N_T0_AD4N_35	N7	VCCINT
C12	IO_L3P_T0_DQS_AD1P_15	B7	IO_L2P_T0_AD12P_35	F12	VCCAUX
B12	IO_L3N_T0_DQS_AD1N_15	B6	IO_L2N_T0_AD12N_35	H12	VCCAUX
B11	IO_L4P_T0_15	A6	IO_L3P_T0_DQS_AD5P_35	K12	VCCAUX
A11	IO_L4N_T0_15	A5	IO_L3N_T0_DQS_AD5N_35	M12	VCCAUX
F13	IO_L5P_T0_AD9P_15	D8	IO_L4P_T0_35	R9	VCCO_0
F14	IO_L5N_T0_AD9N_15	C7	IO_L4N_T0_35	L17	VCCO_14
D12	IO_L6P_T0_15	E6	IO_L5P_T0_AD13P_35	N13	VCCO_14
D13	IO_L6N_T0_VREF_15	E5	IO_L5N_T0_AD13N_35	P16	VCCO_14
B16	IO_L7P_T1_AD2P_15	E7	IO_L6P_T0_35	T12	VCCO_14
B17	IO_L7N_T1_AD2N_15	D7	IO_L6N_T0_VREF_35	U15	VCCO_14
A15	IO_L8P_T1_AD10P_15	C4	IO_L7P_T1_AD6P_35	V18	VCCO_14
A16	IO_L8N_T1_AD10N_15	B4	IO_L7N_T1_AD6N_35	A17	VCCO_15
A13	IO_L9P_T1_DQS_AD3P_15	A4	IO_L8P_T1_AD14P_35	C13	VCCO_15
A14	IO_L9N_T1_DQS_AD3N_15	A3	IO_L8N_T1_AD14N_35	D16	VCCO_15
B18	IO_L10P_T1_AD11P_15	B1	IO_L9P_T1_DQS_AD7P_35	G15	VCCO_15
A18	IO_L10N_T1_AD11N_15	A1	IO_L9N_T1_DQS_AD7N_35	H18	VCCO_15
E15	IO_L11P_T1_SRCC_15	B3	IO_L10P_T1_AD15P_35	K14	VCCO_15
E16	IO_L11N_T1_SRCC_15	B2	IO_L10N_T1_AD15N_35	B10	VCCO_16
D15	IO_L12P_T1_MRCC_15	D5	IO_L11P_T1_SRCC_35	K4	VCCO_34
C15	IO_L12N_T1_MRCC_15	D4	IO_L11N_T1_SRCC_35	N3	VCCO_34
H16	IO_L13P_T2_MRCC_15	E3	IO_L12P_T1_MRCC_35	P6	VCCO_34
G16	IO_L13N_T2_MRCC_15	D3	IO_L12N_T1_MRCC_35	T2	VCCO_34
F15	IO_L14P_T2_SRCC_15	F4	IO_L13P_T2_MRCC_35	U5	VCCO_34
F16	IO_L14N_T2_SRCC_15	F3	IO_L13N_T2_MRCC_35	V8	VCCO_34
H14	IO_L15P_T2_DQS_15	E2	IO_L14P_T2_SRCC_35	A7	VCCO_35
G14	IO_L15N_T2_DQS_ADV_B_15	D2	IO_L14N_T2_SRCC_35	C3	VCCO_35
E17	IO_L16P_T2_A28_15	H2	IO_L15P_T2_DQS_35	D6	VCCO_35
D17	IO_L16N_T2_A27_15	G2	IO_L15N_T2_DQS_35	F2	VCCO_35
K13	IO_L17P_T2_A26_15	C2	IO_L16P_T2_35	G5	VCCO_35
J13	IO_L17N_T2_A25_15	C1	IO_L16N_T2_35	J1	VCCO_35
H17	IO_L18P_T2_A24_15	H1	IO_L17P_T2_35	F10	VCCBRAM
G17	IO_L18N_T2_A23_15	G1	IO_L17N_T2_35	G11	VCCBRAM

CSD7A50T技术手册

4.2 CS325 封装信息

CS325外形及引脚排列图如3所示。

CS325封装引脚信息见表3所示

表3 CS325 封装引脚信息

管脚	符号	管脚	符号	管脚	符号
F12	DONE_0	G17	IO_L19P_T3_A22_15	A5	GND
M10	DXP_0	F18	IO_L19N_T3_A21_VREF_15	A7	GND
J9	GNDADC_0	H16	IO_L20P_T3_A20_15	A8	GND
J10	VCCADC_0	G16	IO_L20N_T3_A19_15	A11	GND
L10	VREFP_0	G15	IO_L21P_T3_DQS_15	A18	GND
L9	VN_0	F15	IO_L21N_T3_DQS_A18_15	B3	GND
E11	VCCBATT_0	G14	IO_L22P_T3_A17_15	B7	GND
F8	TCK_0	F14	IO_L22N_T3_A16_15	B8	GND
M9	DXN_0	H17	IO_L23P_T3_FOE_B_15	B18	GND
K9	VREFN_0	H18	IO_L23N_T3_FWE_B_15	C2	GND
K10	VP_0	F17	IO_L24P_T3_RS1_15	C6	GND
E8	CCLK_0	E18	IO_L24N_T3_RS0_15	C7	GND
R12	M0_0	H14	IO_25_15	C15	GND
R11	M1_0	J6	IO_0_34	D3	GND
T10	INIT_B_0	K6	IO_L1P_T0_34	D4	GND
T9	TDI_0	K5	IO_L1N_T0_34	D7	GND
T8	TDO_0	J5	IO_L2P_T0_34	D12	GND
F13	M2_0	J4	IO_L2N_T0_34	E2	GND
E12	CFGBVS_0	K2	IO_L3P_T0_DQS_34	E6	GND
P10	PROGRAM_B_0	K1	IO_L3N_T0_DQS_34	E7	GND
R8	TMS_0	K3	IO_L4P_T0_34	E9	GND
L14	IO_0_14	L2	IO_L4N_T0_34	F4	GND
K16	IO_L1P_T0_D00_MOSI_14	L4	IO_L5P_T0_34	F6	GND
L17	IO_L1N_T0_D01_DIN_14	L3	IO_L5N_T0_34	F10	GND
J15	IO_L2P_T0_D02_14	L5	IO_L6P_T0_34	F16	GND
J16	IO_L2N_T0_D03_14	M5	IO_L6N_T0_VREF_34	G1	GND
J18	IO_L3P_T0_DQS_PUDC_B_14	M2	IO_L7P_T1_34	G5	GND
K18	IO_L3N_T0_DQS_EMCCLK_14	M1	IO_L7N_T1_34	G6	GND
K17	IO_L4P_T0_D04_14	M6	IO_L8P_T1_34	G7	GND
L18	IO_L4N_T0_D05_14	N6	IO_L8N_T1_34	G9	GND
J14	IO_L5P_T0_D06_14	N1	IO_L9P_T1_DQS_34	G11	GND
K15	IO_L5N_T0_D07_14	P1	IO_L9N_T1_DQS_34	G13	GND
L15	IO_L6P_T0_FCS_B_14	M4	IO_L10P_T1_34	H3	GND

CSD7A50T技术手册

M15	IO_L6N_T0_D08_VREF_14	N4	IO_L10N_T1_34	H4	GND
M16	IO_L7P_T1_D09_14	N3	IO_L11P_T1_SRCC_34	H5	GND
M17	IO_L7N_T1_D10_14	N2	IO_L11N_T1_SRCC_34	H6	GND
M14	IO_L8P_T1_D11_14	P4	IO_L12P_T1_MRCC_34	H8	GND
N14	IO_L8N_T1_D12_14	P3	IO_L12N_T1_MRCC_34	H10	GND
N16	IO_L9P_T1_DQS_14	R2	IO_L13P_T2_MRCC_34	H12	GND
N17	IO_L9N_T1_DQS_D13_14	R1	IO_L13N_T2_MRCC_34	J1	GND
N18	IO_L10P_T1_D14_14	R3	IO_L14P_T2_SRCC_34	J2	GND
P18	IO_L10N_T1_D15_14	T2	IO_L14N_T2_SRCC_34	J3	GND
P15	IO_L11P_T1_SRCC_14	U2	IO_L15P_T2_DQS_34	J7	GND
P16	IO_L11N_T1_SRCC_14	U1	IO_L15N_T2_DQS_34	J11	GND
P14	IO_L12P_T1_MRCC_14	V3	IO_L16P_T2_34	J13	GND
R15	IO_L12N_T1_MRCC_14	V2	IO_L16N_T2_34	J17	GND
T14	IO_L13P_T2_MRCC_14	T4	IO_L17P_T2_34	K4	GND
T15	IO_L13N_T2_MRCC_14	T3	IO_L17N_T2_34	K8	GND
R16	IO_L14P_T2_SRCC_14	U4	IO_L18P_T2_34	K12	GND
R17	IO_L14N_T2_SRCC_14	V4	IO_L18N_T2_34	K14	GND
R18	IO_L15P_T2_DQS_RDWR_B_14	P6	IO_L19P_T3_34	L1	GND
T18	IO_L15N_T2_DQS_DOUT_CSO_B_14	P5	IO_L19N_T3_VREF_34	L7	GND
T17	IO_L16P_T2_CSI_B_14	U6	IO_L20P_T3_34	L11	GND
U17	IO_L16N_T2_A15_D31_14	U5	IO_L20N_T3_34	L13	GND
U15	IO_L17P_T2_A14_D30_14	R5	IO_L21P_T3_DQS_34	M8	GND
U16	IO_L17N_T2_A13_D29_14	T5	IO_L21N_T3_DQS_34	M12	GND
V16	IO_L18P_T2_A12_D28_14	R7	IO_L22P_T3_34	M18	GND
V17	IO_L18N_T2_A11_D27_14	T7	IO_L22N_T3_34	N5	GND
R13	IO_L19P_T3_A10_D26_14	U7	IO_L23P_T3_34	N7	GND
T13	IO_L19N_T3_A09_D25_VREF_14	V6	IO_L23N_T3_34	N9	GND
U14	IO_L20P_T3_A08_D24_14	V8	IO_L24P_T3_34	N11	GND
V14	IO_L20N_T3_A07_D23_14	V7	IO_L24N_T3_34	N13	GND
V12	IO_L21P_T3_DQS_14	R6	IO_25_34	N15	GND
V13	IO_L21N_T3_DQS_A06_D22_14	A6	MGTRREF_216	P2	GND
T12	IO_L22P_T3_A05_D21_14	D5	MGTREFCLK0N_216	P8	GND
U12	IO_L22N_T3_A04_D20_14	D6	MGTREFCLK0P_216	P12	GND
U11	IO_L23P_T3_A03_D19_14	A4	MGTPRXP1_216	R9	GND
V11	IO_L23N_T3_A02_D18_14	C4	MGTPRXP2_216	T6	GND
U9	IO_L24P_T3_A01_D17_14	G4	MGTPRXP3_216	T16	GND
V9	IO_L24N_T3_A00_D16_14	E4	MGTPRXP0_216	U3	GND
U10	IO_25_14	B2	MGTPTXP3_216	U13	GND
D10	IO_0_15	D2	MGTPTXP2_216	V1	GND

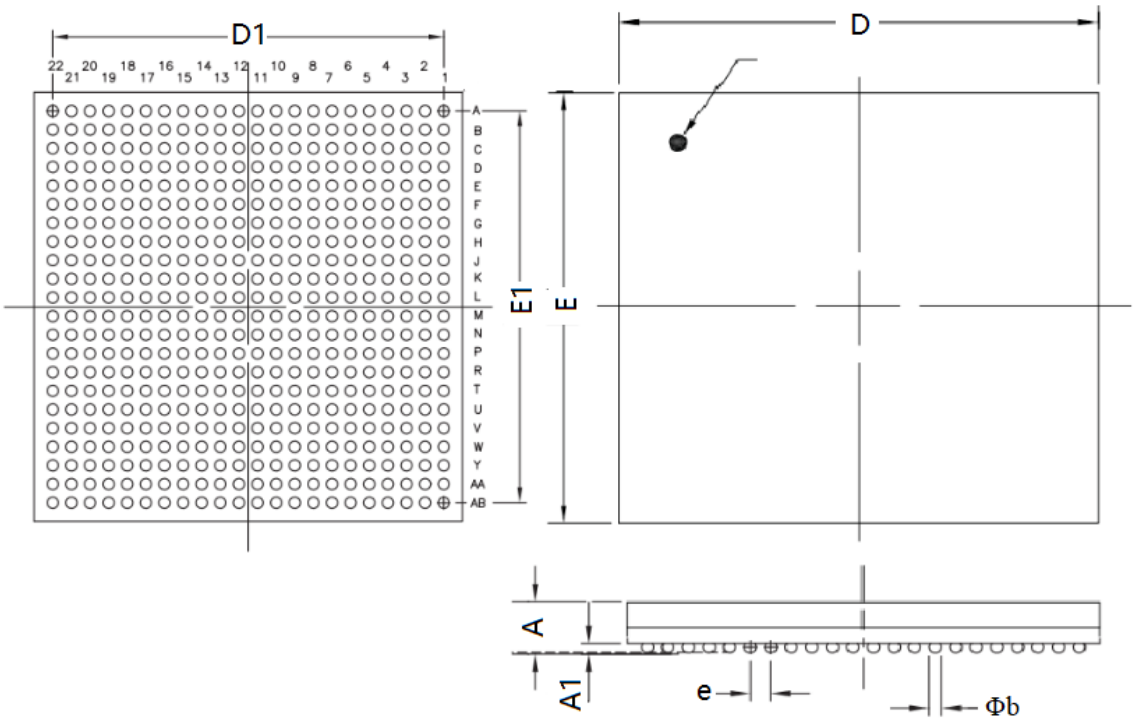
CSD7A50T技术手册

D8	IO_L1P_T0_AD0P_15	B6	MGTREFCLK1P_216	V10	GND
C8	IO_L1N_T0_AD0N_15	B5	MGTREFCLK1N_216	V18	GND
D9	IO_L2P_T0_AD8P_15	A3	MGTPRXN1_216	E10	VCCO_0
C9	IO_L2N_T0_AD8N_15	C3	MGTPRXN2_216	R10	VCCO_0
B9	IO_L3P_T0_DQS_AD1P_15	G3	MGTPRXN3_216	L16	VCCO_14
A9	IO_L3N_T0_DQS_AD1N_15	E3	MGTPRXN0_216	P17	VCCO_14
C11	IO_L4P_T0_15	B1	MGTPTXN3_216	R14	VCCO_14
B11	IO_L4N_T0_15	D1	MGTPTXN2_216	T11	VCCO_14
B10	IO_L5P_T0_AD9P_15	F2	MGTPTXP1_216	U8	VCCO_14
A10	IO_L5N_T0_AD9N_15	F1	MGTPTXN1_216	U18	VCCO_14
D11	IO_L6P_T0_15	H2	MGTPTXP0_216	V15	VCCO_14
C12	IO_L6N_T0_VREF_15	H1	MGTPTXN0_216	A16	VCCO_15
B12	IO_L7P_T1_AD2P_15	G12	VCCAUX	B13	VCCO_15
A12	IO_L7N_T1_AD2N_15	H13	VCCAUX	C10	VCCO_15
A13	IO_L8P_T1_AD10P_15	K13	VCCAUX	D17	VCCO_15
A14	IO_L8N_T1_AD10N_15	M13	VCCAUX	E14	VCCO_15
C14	IO_L9P_T1_DQS_AD3P_15	P13	VCCAUX	G18	VCCO_15
B15	IO_L9N_T1_DQS_AD3N_15	F7	VCCINT	H15	VCCO_15
B14	IO_L10P_T1_AD11P_15	F9	VCCINT	L6	VCCO_34
A15	IO_L10N_T1_AD11N_15	G8	VCCINT	M3	VCCO_34
D13	IO_L11P_T1_SRCC_15	H7	VCCINT	P7	VCCO_34
C13	IO_L11N_T1_SRCC_15	H9	VCCINT	R4	VCCO_34
E13	IO_L12P_T1_MRCC_15	J8	VCCINT	T1	VCCO_34
D14	IO_L12N_T1_MRCC_15	J12	VCCINT	V5	VCCO_34
E15	IO_L13P_T2_MRCC_15	K7	VCCINT	F11	VCCBRAM
D15	IO_L13N_T2_MRCC_15	K11	VCCINT	G10	VCCBRAM
E16	IO_L14P_T2_SRCC_15	L8	VCCINT	H11	VCCBRAM
D16	IO_L14N_T2_SRCC_15	L12	VCCINT	B4	MGTAVCC
B16	IO_L15P_T2_DQS_15	M7	VCCINT	C5	MGTAVCC
A17	IO_L15N_T2_DQS_ADV_B_15	M11	VCCINT	E5	MGTAVCC
C16	IO_L16P_T2_A28_15	N8	VCCINT	F5	MGTAVCC
B17	IO_L16N_T2_A27_15	N10	VCCINT	A2	MGTAVTT
E17	IO_L17P_T2_A26_15	N12	VCCINT	C1	MGTAVTT
D18	IO_L17N_T2_A25_15	P9	VCCINT	E1	MGTAVTT
C17	IO_L18P_T2_A24_15	P11	VCCINT	F3	MGTAVTT

CSD7A50T技术手册

4.3 FG484 封装信息

FG484 外形及引脚排列图如图 4 所示



单位为毫米

尺寸符号	数值		
	最小	公称	最大
A	—	—	1.58
A1	0.40	—	0.60
D	22.80	—	23.20
E	22.80	—	23.20
D1	—	21.00	—
E1	—	21.00	—
b	0.50	—	0.70
e	—	1.00	—

图4 FG484 封装外形及引脚排列图

CSD7A50T

FG484 封装引脚信息见下表所示

表4　　FG484 封装引脚信息

管脚	符号	管脚	符号	管脚	符号
G11	DONE_0	B21	IO_L21P_T3_DQS_16	C16	GND
N10	DXP_0	A21	IO_L21N_T3_DQS_16	D3	GND
K9	GNDADC_0	E22	IO_L22P_T3_16	D4	GND
K10	VCCADC_0	D22	IO_L22N_T3_16	D12	GND
M10	VREFP_0	E21	IO_L23P_T3_16	D13	GND
M9	VN_0	D21	IO_L23N_T3_16	E4	GND
E12	VCCBATT_0	G21	IO_L24P_T3_16	E5	GND
V12	TCK_0	G22	IO_L24N_T3_16	E7	GND
N9	DXN_0	F21	IO_25_16	E9	GND
L9	VREFN_0	T3	IO_0_34	E11	GND
L10	VP_0	T1	IO_L1P_T0_34	E20	GND
L12	CCLK_0	U1	IO_L1N_T0_34	F5	GND
U11	M0_0	U2	IO_L2P_T0_34	F11	GND
U10	M1_0	V2	IO_L2N_T0_34	F17	GND
U12	INIT_B_0	R3	IO_L3P_T0_DQS_34	G5	GND
R13	TDI_0	R2	IO_L3N_T0_DQS_34	G6	GND
U13	TDO_0	W2	IO_L4P_T0_34	G7	GND
U9	M2_0	Y2	IO_L4N_T0_34	G8	GND
U8	CFGBVS_0	W1	IO_L5P_T0_34	G9	GND
N12	PROGRAM_B_0	Y1	IO_L5N_T0_34	G10	GND
T13	TMS_0	U3	IO_L6P_T0_34	G12	GND
P20	IO_0_14	V3	IO_L6N_T0_VREF_34	G14	GND
P22	IO_L1P_T0_D00_MOSI_14	AA1	IO_L7P_T1_34	H1	GND
R22	IO_L1N_T0_D01_DIN_14	AB1	IO_L7N_T1_34	H7	GND
P21	IO_L2P_T0_D02_14	AB3	IO_L8P_T1_34	H9	GND
R21	IO_L2N_T0_D03_14	AB2	IO_L8N_T1_34	H11	GND
U22	IO_L3P_T0_DQS_PUDC_B_14	Y3	IO_L9P_T1_DQS_34	H21	GND
V22	IO_L3N_T0_DQS_EMCCLK_14	AA3	IO_L9N_T1_DQS_34	J8	GND
T21	IO_L4P_T0_D04_14	AA5	IO_L10P_T1_34	J10	GND
U21	IO_L4N_T0_D05_14	AB5	IO_L10N_T1_34	J12	GND
P19	IO_L5P_T0_D06_14	Y4	IO_L11P_T1_SRCC_34	J18	GND
R19	IO_L5N_T0_D07_14	AA4	IO_L11N_T1_SRCC_34	K5	GND
T19	IO_L6P_T0_FCS_B_14	V4	IO_L12P_T1_MRCC_34	K7	GND
T20	IO_L6N_T0_D08_VREF_14	W4	IO_L12N_T1_MRCC_34	K11	GND
W21	IO_L7P_T1_D09_14	R4	IO_L13P_T2_MRCC_34	K15	GND
W22	IO_L7N_T1_D10_14	T4	IO_L13N_T2_MRCC_34	L2	GND
AA20	IO_L8P_T1_D11_14	T5	IO_L14P_T2_SRCC_34	L8	GND
AA21	IO_L8N_T1_D12_14	U5	IO_L14N_T2_SRCC_34	L22	GND
Y21	IO_L9P_T1_DQS_14	W6	IO_L15P_T2_DQS_34	M7	GND

CSD7A50T技术手册

Y22	IO_L9N_T1_DQS_D13_14	W5	IO_L15N_T2_DQS_34	M11	GND
AB21	IO_L10P_T1_D14_14	U6	IO_L16P_T2_34	M19	GND
AB22	IO_L10N_T1_D15_14	V5	IO_L16N_T2_34	N6	GND
U20	IO_L11P_T1_SRCC_14	R6	IO_L17P_T2_34	N8	GND
V20	IO_L11N_T1_SRCC_14	T6	IO_L17N_T2_34	N16	GND
W19	IO_L12P_T1_MRCC_14	Y6	IO_L18P_T2_34	P3	GND
W20	IO_L12N_T1_MRCC_14	AA6	IO_L18N_T2_34	P7	GND
Y18	IO_L13P_T2_MRCC_14	V7	IO_L19P_T3_34	P9	GND
Y19	IO_L13N_T2_MRCC_14	W7	IO_L19N_T3_VREF_34	P11	GND
V18	IO_L14P_T2_SRCC_14	AB7	IO_L20P_T3_34	P13	GND
V19	IO_L14N_T2_SRCC_14	AB6	IO_L20N_T3_34	R8	GND
AA19	IO_L15P_T2_DQS_RDWR_B_14	V9	IO_L21P_T3_DQS_34	R10	GND
AB20	IO_L15N_T2_DQS_DOUT_CSO_B_14	V8	IO_L21N_T3_DQS_34	R12	GND
V17	IO_L16P_T2_CSI_B_14	AA8	IO_L22P_T3_34	R20	GND
W17	IO_L16N_T2_A15_D31_14	AB8	IO_L22N_T3_34	T7	GND
AA18	IO_L17P_T2_A14_D30_14	Y8	IO_L23P_T3_34	T9	GND
AB18	IO_L17N_T2_A13_D29_14	Y7	IO_L23N_T3_34	T11	GND
U17	IO_L18P_T2_A12_D28_14	W9	IO_L24P_T3_34	T17	GND
U18	IO_L18N_T2_A11_D27_14	Y9	IO_L24N_T3_34	U4	GND
P14	IO_L19P_T3_A10_D26_14	U7	IO_25_34	U14	GND
R14	IO_L19N_T3_A09_D25_VREF_14	F4	IO_0_35	V1	GND
R18	IO_L20P_T3_A08_D24_14	B1	IO_L1P_T0_AD4P_35	V11	GND
T18	IO_L20N_T3_A07_D23_14	A1	IO_L1N_T0_AD4N_35	V21	GND
N17	IO_L21P_T3_DQS_14	C2	IO_L2P_T0_AD12P_35	W8	GND
P17	IO_L21N_T3_DQS_A06_D22_14	B2	IO_L2N_T0_AD12N_35	W18	GND
P15	IO_L22P_T3_A05_D21_14	E1	IO_L3P_T0_DQS_AD5P_35	Y5	GND
R16	IO_L22N_T3_A04_D20_14	D1	IO_L3N_T0_DQS_AD5N_35	Y15	GND
N13	IO_L23P_T3_A03_D19_14	E2	IO_L4P_T0_35	H8	VCCINT
N14	IO_L23N_T3_A02_D18_14	D2	IO_L4N_T0_35	H10	VCCINT
P16	IO_L24P_T3_A01_D17_14	G1	IO_L5P_T0_AD13P_35	J7	VCCINT
R17	IO_L24N_T3_A00_D16_14	F1	IO_L5N_T0_AD13N_35	J9	VCCINT
N15	IO_25_14	F3	IO_L6P_T0_35	K8	VCCINT
J16	IO_0_15	E3	IO_L6N_T0_VREF_35	L7	VCCINT
H13	IO_L1P_T0_AD0P_15	K1	IO_L7P_T1_AD6P_35	M8	VCCINT
G13	IO_L1N_T0_AD0N_15	J1	IO_L7N_T1_AD6N_35	N7	VCCINT
G15	IO_L2P_T0_AD8P_15	H2	IO_L8P_T1_AD14P_35	P8	VCCINT
G16	IO_L2N_T0_AD8N_15	G2	IO_L8N_T1_AD14N_35	P10	VCCINT
J14	IO_L3P_T0_DQS_AD1P_15	K2	IO_L9P_T1_DQS_AD7P_35	R7	VCCINT
H14	IO_L3N_T0_DQS_AD1N_15	J2	IO_L9N_T1_DQS_AD7N_35	R9	VCCINT
G17	IO_L4P_T0_15	J5	IO_L10P_T1_AD15P_35	T8	VCCINT
G18	IO_L4N_T0_15	H5	IO_L10N_T1_AD15N_35	T10	VCCINT
J15	IO_L5P_T0_AD9P_15	H3	IO_L11P_T1_SRCC_35	H12	VCCAUX
H15	IO_L5N_T0_AD9N_15	G3	IO_L11N_T1_SRCC_35	K12	VCCAUX

CSD7A50T技术手册

H17	IO_L6P_T0_15	H4	IO_L12P_T1_MRCC_35	M12	VCCAUX
H18	IO_L6N_T0_VREF_15	G4	IO_L12N_T1_MRCC_35	P12	VCCAUX
J22	IO_L7P_T1_AD2P_15	K4	IO_L13P_T2_MRCC_35	R11	VCCAUX
H22	IO_L7N_T1_AD2N_15	J4	IO_L13N_T2_MRCC_35	F12	VCCO_0
H20	IO_L8P_T1_AD10P_15	L3	IO_L14P_T2_SRCC_35	T12	VCCO_0
G20	IO_L8N_T1_AD10N_15	K3	IO_L14N_T2_SRCC_35	AA17	VCCO_13
K21	IO_L9P_T1_DQS_AD3P_15	M1	IO_L15P_T2_DQS_35	AB14	VCCO_13
K22	IO_L9N_T1_DQS_AD3N_15	L1	IO_L15N_T2_DQS_35	V16	VCCO_13
M21	IO_L10P_T1_AD11P_15	M3	IO_L16P_T2_35	W13	VCCO_13
L21	IO_L10N_T1_AD11N_15	M2	IO_L16N_T2_35	Y10	VCCO_13
J20	IO_L11P_T1_SRCC_15	K6	IO_L17P_T2_35	M14	VCCO_14
J21	IO_L11N_T1_SRCC_15	J6	IO_L17N_T2_35	P18	VCCO_14
J19	IO_L12P_T1_MRCC_15	L5	IO_L18P_T2_35	R15	VCCO_14
H19	IO_L12N_T1_MRCC_15	L4	IO_L18N_T2_35	T22	VCCO_14
K18	IO_L13P_T2_MRCC_15	N4	IO_L19P_T3_35	U19	VCCO_14
K19	IO_L13N_T2_MRCC_15	N3	IO_L19N_T3_VREF_35	Y20	VCCO_14
L19	IO_L14P_T2_SRCC_15	R1	IO_L20P_T3_35	G19	VCCO_15
L20	IO_L14N_T2_SRCC_15	P1	IO_L20N_T3_35	H16	VCCO_15
N22	IO_L15P_T2_DQS_15	P5	IO_L21P_T3_DQS_35	J13	VCCO_15
M22	IO_L15N_T2_DQS_ADV_B_15	P4	IO_L21N_T3_DQS_35	K20	VCCO_15
M18	IO_L16P_T2_A28_15	P2	IO_L22P_T3_35	L17	VCCO_15
L18	IO_L16N_T2_A27_15	N2	IO_L22N_T3_35	N21	VCCO_15
N18	IO_L17P_T2_A26_15	M6	IO_L23P_T3_35	A17	VCCO_16
N19	IO_L17N_T2_A25_15	M5	IO_L23N_T3_35	B14	VCCO_16
N20	IO_L18P_T2_A24_15	P6	IO_L24P_T3_35	C21	VCCO_16
M20	IO_L18N_T2_A23_15	N5	IO_L24N_T3_35	D18	VCCO_16
K13	IO_L19P_T3_A22_15	L6	IO_25_35	E15	VCCO_16
K14	IO_L19N_T3_A21_VREF_15	F8	MGTRREF_216	F22	VCCO_16
M13	IO_L20P_T3_A20_15	E6	MGTREFCLK0N_216	AA7	VCCO_34
L13	IO_L20N_T3_A19_15	F6	MGTREFCLK0P_216	AB4	VCCO_34
K17	IO_L21P_T3_DQS_15	D11	MGTPRXP1_216	R5	VCCO_34
J17	IO_L21N_T3_DQS_A18_15	B10	MGTPRXP2_216	T2	VCCO_34
L14	IO_L22P_T3_A17_15	D9	MGTPRXP3_216	V6	VCCO_34
L15	IO_L22N_T3_A16_15	B8	MGTPRXP0_216	W3	VCCO_34
L16	IO_L23P_T3_FOE_B_15	D7	MGTPTXP3_216	C1	VCCO_35
K16	IO_L23N_T3_FWE_B_15	B6	MGTPTXP2_216	F2	VCCO_35
M15	IO_L24P_T3_RS1_15	F10	MGTREFCLK1P_216	H6	VCCO_35
M16	IO_L24N_T3_RS0_15	E10	MGTREFCLK1N_216	J3	VCCO_35
M17	IO_25_15	C11	MGTPRXN1_216	M4	VCCO_35
F15	IO_0_16	A10	MGTPRXN2_216	N1	VCCO_35
F13	IO_L1P_T0_16	C9	MGTPRXN3_216	J11	VCCBRAM
F14	IO_L1N_T0_16	A8	MGTPRXN0_216	L11	VCCBRAM
F16	IO_L2P_T0_16	C7	MGTPTXN3_216	N11	VCCBRAM

CSD7A50T技术手册

E17	IO_L2N_T0_16	A6	MGTPTXN2_216	T14	NC
C14	IO_L3P_T0_DQS_16	D5	MGTPTXP1_216	T15	NC
C15	IO_L3N_T0_DQS_16	C5	MGTPTXN1_216	T16	NC
E13	IO_L4P_T0_16	B4	MGTPTXP0_216	U15	NC
E14	IO_L4N_T0_16	A4	MGTPTXN0_216	U16	NC
E16	IO_L5P_T0_16	D6	MGTAVCC	V10	NC
D16	IO_L5N_T0_16	D10	MGTAVCC	V13	NC
D14	IO_L6P_T0_16	F7	MGTAVCC	V14	NC
D15	IO_L6N_T0_VREF_16	F9	MGTAVCC	V15	NC
B15	IO_L7P_T1_16	E8	MGTAVCC	W10	NC
B16	IO_L7N_T1_16	B5	MGTAVTT	W11	NC
C13	IO_L8P_T1_16	B7	MGTAVTT	W12	NC
B13	IO_L8N_T1_16	B9	MGTAVTT	W14	NC
A15	IO_L9P_T1_DQS_16	B11	MGTAVTT	W15	NC
A16	IO_L9N_T1_DQS_16	C4	MGTAVTT	W16	NC
A13	IO_L10P_T1_16	C8	MGTAVTT	Y11	NC
A14	IO_L10N_T1_16	D8	GND	Y12	NC
B17	IO_L11P_T1_SRCC_16	A2	GND	Y13	NC
B18	IO_L11N_T1_SRCC_16	A3	GND	Y14	NC
D17	IO_L12P_T1_MRCC_16	A5	GND	Y16	NC
C17	IO_L12N_T1_MRCC_16	A7	GND	Y17	NC
C18	IO_L13P_T2_MRCC_16	A9	GND	AA9	NC
C19	IO_L13N_T2_MRCC_16	A11	GND	AA10	NC
E19	IO_L14P_T2_SRCC_16	A12	GND	AA11	NC
D19	IO_L14N_T2_SRCC_16	A22	GND	AA13	NC
F18	IO_L15P_T2_DQS_16	AA2	GND	AA14	NC
E18	IO_L15N_T2_DQS_16	AA12	GND	AA15	NC
B20	IO_L16P_T2_16	AA22	GND	AA16	NC
A20	IO_L16N_T2_16	AB9	GND	AB10	NC
A18	IO_L17P_T2_16	AB19	GND	AB11	NC
A19	IO_L17N_T2_16	B3	GND	AB12	NC
F19	IO_L18P_T2_16	B12	GND	AB13	NC
F20	IO_L18N_T2_16	B19	GND	AB15	NC
D20	IO_L19P_T3_16	C3	GND	AB16	NC
C20	IO_L19N_T3_VREF_16	C6	GND	AB17	NC
C22	IO_L20P_T3_16	C10	GND		
B22	IO_L20N_T3_16	C12	GND		

CSD7A50T技术手册

4.4 引出端功能定义

CSD7A50T引出端接口信号功能说明如表5所示。

表5 引出端功能说明

引脚名	类型	方向	描述
用户 IO			
IO_LXXY_# IO_XX_#	用户引脚	输入/输出	大多数用户 I/O 引脚都能用作差分信号，并配对。每个 BANK 顶部和底部的 I/O 一直是单端。用户 I/O 引脚被命名为“IO_LXXY_#”格式，其中： “IO”表示这是一个用户 IO 引脚； “LXXY”表示组（Bank）上唯一的编号为 XX 的差分对，“Y”取 P 或者 N，分别表示这对差分对的正负极； “#”表示引脚所在的组号；
配置引脚			
CCLK_0	专用引脚	输入/输出	配置时钟。主模式下为输出，从模式下为输入。
DONE_0	专用引脚	双向	DONE 信号指示配置的成功完成。（高有效）
INIT_B_0	专用引脚	双向 开漏输出	指示配置存储器的初始化。（低有效）
M0_0, M1_0, or M2_0	专用引脚	输入	配置模式选择。
PROGRAM_B_0	专用引脚	输入	异步复位配置逻辑。（低有效）
TCK_0	专用引脚	输入	JTAG 时钟
TDI_0	专用引脚	输入	JTAG 数据输入
TDO_0	专用引脚	输出	JTAG 数据输出
TMS_0	专用引脚	输入	JTAG 模式选择
CFGBVS_0	专用引脚	输入	该引脚为专用和复用配置 Bank0，14，15 选择预配置 I/O 标准类型。如果 Bank0，14，15 的 VCCO 是 2.5V 或者 3.3V，那么该引脚必须连接到 VCCO_0。如果 Bank0，14，15 的 VCCO 小于或者等于 1.8V，那么该引脚必须连接到地。 注意：为了避免设备损毁，该引脚必须正确连接。
D00 ~D31	复用引脚	双向	配置数据引脚
ADV_B	复用引脚	输出	BPI flash 地址有效输出（低有效）
A00 ~A28	复用引脚	输出	BPI 地址输出，地址 A00 ~A28
RS0 或 RS1	复用引脚	输出	RS0 和 RS1 修订选择输出
FCS_B	复用引脚	输出	BPI 和 SPI flash 的片选信号（低有效）

CSD7A50T技术手册

引脚名	类型	方向	描述
FOE_B	复用引脚	输出	BPI flash 输出使能（低有效）
MOSI	复用引脚	输出	SPI flash 命令输出。也被看做 SPI 总线主模式输出，从模式输入信号。
FWE_B	复用引脚	输出	BPI flash 写使能（低有效）
DOUT	复用引脚	输出	串行菊花链的数据输出
CSO_B	复用引脚	输出	并行菊花链的片选输出（低有效）
CSI_B	复用引脚	输入	SelcetMAP 片选输入（低有效）
PUDC_B	复用引脚	输入	配置期间上拉 上电后和配置期间，PUDC_B 输入在用户 IO 引脚上使能内部上拉电阻。（低有效） 当 PUDC_B 为低，在每一个用户 IO 引脚上使能内部上拉电阻。 当 PUDC_B 为高，每一个用户 IO 引脚上的内部上拉电阻被取消。 PUDC_B 必须连接到地或者直接连接到 VCCO_14（通过 1KΩ 或者更低的电阻）。
RDWR_B	复用引脚	输入	SelectMAP 数据总线方向控制信号，为高代表读配置数据，为低代表写配置数据。
EMCCLK	复用引脚	输入	外部主配置时钟。
电源/地引脚			
GND	专用引脚	N/A	地。
VCCAUX	专用引脚	N/A	辅助电路的 1.8V 电源支持引脚。
VCCINT	专用引脚	N/A	内部核逻辑的 0.9V/1.0V 电源支持引脚。
VCCO_#	专用引脚	N/A	输出驱动的电源支持引脚（每个 Bank）
VCCBRAM	专用引脚	N/A	FPGA 逻辑块 RAM 的 1.0V 电源支持引脚。
VCCBATT_0	专用引脚	N/A	解密秘钥存储器备份电源支持，当不使用时，该引脚应该接到合适的 VCC 或地。
VREF	复用引脚	N/A	电压输入门限引脚，当不需要外部电压门限时，这些引脚变为用户 I/O。（每个 Bank）
模数转换器引脚			
VCCADC_0	专用引脚	N/A	XADC 模拟电源
GNDADC_0	专用引脚	N/A	XADC 模拟地
VP_0	专用引脚	输入	XADC 专用差分模拟输入（正极）
VN_0	专用引脚	输入	XADC 专用差分模拟输入（负极）

CSD7A50T技术手册

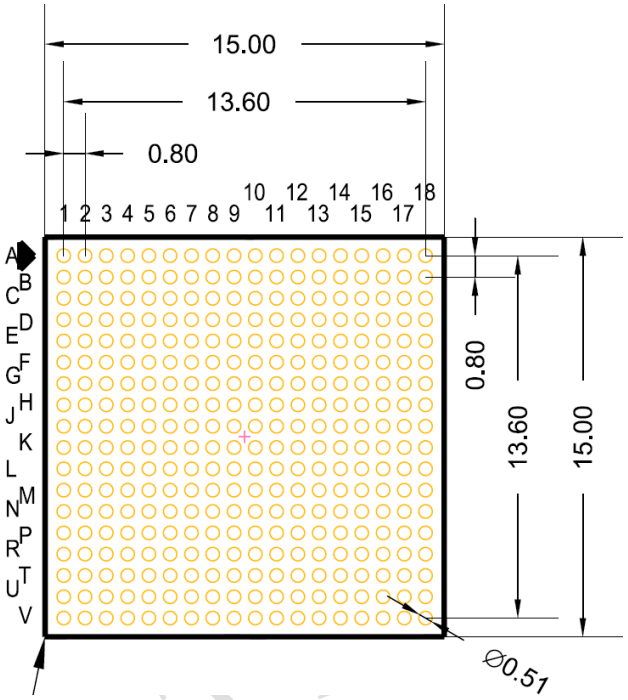
引脚名	类型	方向	描述
VREFP_0	专用引脚	N/A	1.25V 参考输入
VREFN_ 0	专用引脚	N/A	1.25V 参考地
AD0P ~ AD15P AD0N ~ AD15N	复用引脚	输入	XADC 差分辅助模拟输入 0-15
高速串行接口引脚			
MGTPRXP[0:3]	专用引脚	输入	SERDES Quad 的差分接收端口正极
MGTPRXN[0:3]	专用引脚	输入	SERDES Quad 的差分接收端口负极
MGTPTXP[0:3]	专用引脚	输出	SERDES Quad 的差分发送端口正极
MGTPTXN[0:3]	专用引脚	输出	SERDES Quad 的差分发送端口负极
MGTAVCC_G#	专用引脚	输入	发送、接收内部电路的 1.0V 模拟电源
MGTAVTT_G#	专用引脚	输入	发送驱动电路的 1.2V 模拟电源
MGTREFCLK0/1P	专用引脚	输入	发送端差分参考时钟正极
MGTREFCLK0/1N	专用引脚	输入	发送端差分参考时钟负极
MGTRREF	专用引脚	输入	为终端电阻调节电路提供的参考电阻
其它			
MRCC	复用引脚	Input	用于驱动 BUFRs、BUFIOs、BUFGs、MMCMs/PLLs 的时钟 I/O。此外还可以驱动 BUFMRs 提供多区域 BUFIO 和 BUFR 支持。当不需要作为时钟时为普通用户 I/O。当一个单端时钟连到差分 CC 对时必须接入差分对的 P 端。当用于单个时钟域时，MRCC 可以驱动单个 Bank 的 4 个 BUFIO 和 4 个 BUFR。
SRCC	复用引脚	Input	用于驱动 BUFRs、BUFIOs、BUFGs、MMCMs/PLLs 的时钟 I/O。当不需要作为时钟时为普通用户 I/O。当一个单端时钟连到差分 CC 对时必须接入差分对的 P 端。当用于单个时钟域时，SRCC 可以驱动单个 Bank 的 4 个 BUFIO 和 4 个 BUFR。
VRN	专用引脚	N/A	参考电阻的 N 端的 DCI 电压（每个 Bank，由参考电阻上拉）
VRP	专用引脚	N/A	参考电阻的 P 端的 DCI 电压（每个 Bank，由参考电阻下拉）
DXP_0, DXN_0	专用引脚	Input	温敏二极管管脚（正极 DXP，负极 DXN）。使用位于 Bank0 的 DXP、DXN 访问二极管。不使用时接 0。为使用此二极管，必须添加适当的外部热监测 IC 电路。推荐使用 XADC 内部的温度传感器来监测温度。
T0, T1, T2, T3	复用引脚	Input	属于存储字节组的 0~3。
T0_DQS, T1_DQS, T2_DQS, T3_DQS	复用引脚	Input	DDR DQS 选通管脚，属于存储字节组的 T0~T3。

CSD7A50T技术手册

4.5 焊盘开窗推荐

备注：焊盘开窗尺寸是指PCB端用于此器件焊接的未被阻焊覆盖区域的尺寸，非焊盘本身尺寸，用户需根据实际应用场景进行调整。

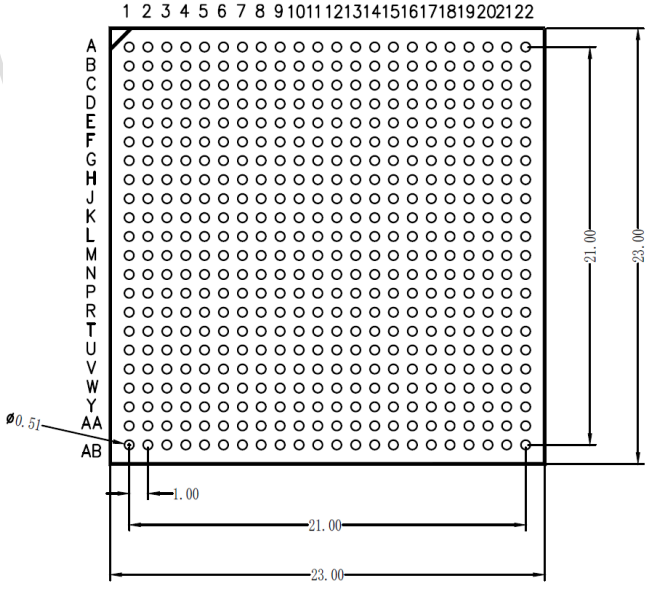
PBGA324焊盘开窗推荐如图5所示，用户可根据焊接要求进行调整。



单位:mm

图5　PBGA324 推荐焊盘开窗图

FG484焊盘开窗推荐如图6所示，用户可根据焊接要求进行调整。



单位:mm

图6　FG484 推荐焊盘开窗图

4.6 焊接推荐

CSD7A50T产品属于PBGA器件封装，封装焊球材料均为Sn96.5/Ag3.0/Cu0.5无铅焊球，推荐回流焊曲线如图7所示。

回流加热方式	热风对流，红外/热风对流
加热速度	最大 3℃/s
预热温度 150℃～200℃	60s～120s
熔点以上温度保持时间（回流时间）	60s～120s
低于峰值温度 5℃以内的保持时间	最大 30s
引脚或焊球峰值温度	最低 235℃，典型温度 245℃，不超过 260℃
降温速度	最大 6℃/s
室温到峰值温度时间	最小 3.5 分钟，典型值 5 分钟，不超过 8 分钟
建议焊膏	ALPHA OM338　SAC305
备注	请根据选用的焊膏特性作相应的调整

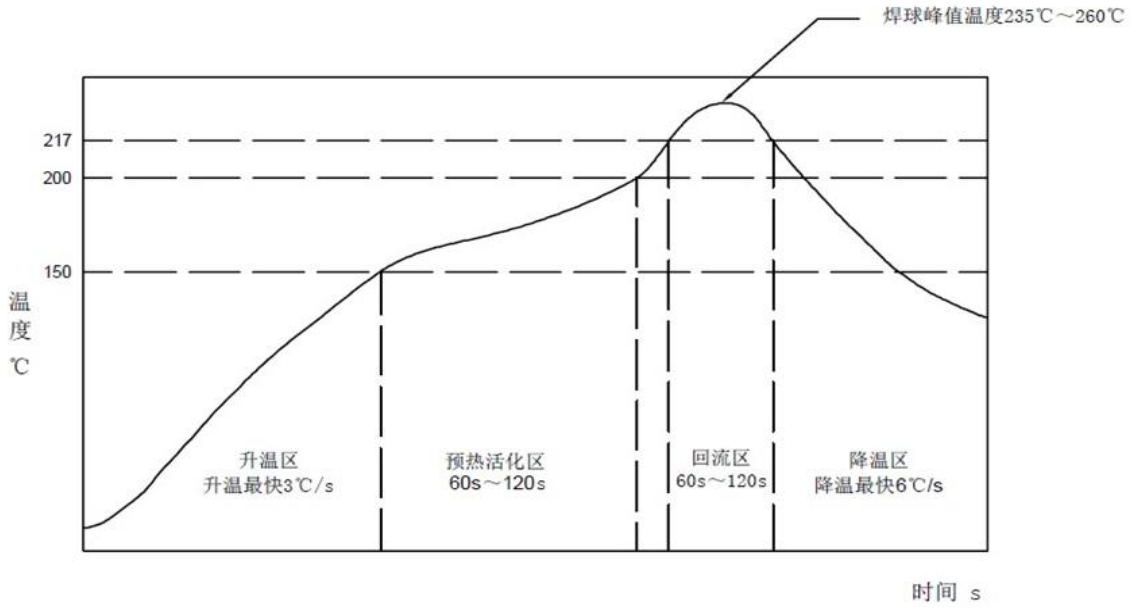


图7　CSD7A50T 推荐焊接温度曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

表6 绝对最大额定值

序号	参数名称	参数值
1	内核电源（V_{CCINT}）	-0.5V～1.1V
2	辅助电源（V_{CCAUX}）	-0.5V～2.0V
3	内部块 RAM 电源（V_{CCBRAM}）	-0.5V～1.1V
4	用户 IO 电源（V_{CCO}）	-0.5V～3.6V
5	输入参考电压（V_{REF}）	-0.5V～2.0V
6	用户 IO 输入电压（V_{IN}）(2)	-0.4V～VCCO+0.55V
7	密钥存储备用电池电压（V_{CCBATT}）	-0.5V～2.0V
8	高速收发器模拟电源（$V_{MGTAVCC}$）	-0.5V～1.1V
9	高速收发器端接电路电源（$V_{MGTAVTT}$）	-0.5V～1.32V
10	高速收发器参考时钟绝对输入电压（$V_{MGTREFCLK}$）	-0.5V～1.32V
12	ADC 相对 GNDADC 的电源电压（V_{CCADC}）	-0.5V～2.0V
13	相对 GNDADC 外部提供的参考电压（V_{REFP}）	-0.5V～2.0V
14	储存环境温度（T_{STG}）	-65℃～+150℃
15	封装引脚无铅焊球最大焊接温度（T_{SOL}）	260℃
16	器件结温（工业 I 级）（T_J）	-40℃～+100℃
注 1：器件在上述所列“绝对最大额定值”下工作，可能对该器件造成永久性损坏。		

5.2 推荐工作范围

表7 推荐工作范围

序号	参数名称	参数值
1	内核电源（V_{CCINT}）(2)	0.95V～1.05V
2	辅助电源（V_{CCAUX}）(2)	1.71V～1.89V
3	内部块 RAM 电源（V_{CCBRAM}）	0.95V～1.05V
4	用户 IO 电源（V_{CCO}）(3)	1.14V～3.465V
5	用户 IO 输入电压（V_{IN}）(4)	-0.2V～V_{CCO}+0.2V
6	密钥存储备用电池电压（V_{CCBATT}）(5)	1.0V～1.89V
7	高速收发器模拟电源（$V_{MGTAVCC}$）(5)	0.97V～1.03V
8	高速收发器端接电路电源（$V_{MGTAVTT}$）(6)	1.17V～1.23V

CSD7A50T技术手册

9	ADC 相对 GNDADC 的电源电压（V_{CCADC}）	1.71V～1.89V
10	相对 GNDADC 外部提供的参考电压（V_{REFP}）	1.20V～1.30V
11	器件工作结温（T_J）	-40℃～100℃

注 1：所有的电压值都是相对于大地的。
注 2：V_{CCINT} 和 V_{CCBRAM} 应该连接到相同的供电电源。
注 3：即使 V_{CCO} 下降到 0V，配置数据仍然会被保留。
注 4：每个 IO Bank 总和不能超过 200 mA。
注 5：只有在使用位流加密时才需要 V_{CCBATT}；如果没有使用电池，V_{CCBATT} 连接到大地或 V_{CCAUX}。
注 6：列出的每个电压都需要采用本器件的产品应用手册中描述的滤波电路

表8　器件上电需求最小电流

序号	参数名称	参数值
1	内核电源最小电流（$I_{CCINTMIN}$）	I_{CCINTQ} + 120mA
2	辅助电源最小电流（$I_{CCAUXMIN}$）	I_{CCAUXQ} + 40mA
3	用户 IO 电源最小电流（I_{CCOMIN}）	I_{CCOQ} + 40 mA /IO Bank
4	内部块 RAM 电源最小电流（$I_{CCBRAMMIN}$）	$I_{CCBRAMQ}$ + 60 mA

表9　器件上电上升时间

序号	参数名称	参数值
1	内核电源电压上电时间	0.20ms～50ms
2	辅助电源电压上电时间	0.20ms～50ms
3	IO 电源电压上电时间	0.20ms～50ms
4	内部块存储电源电源上电时间	0.20ms～50ms
5	高速收发器模拟电源上电时间	0.20ms～50ms
6	高速收发器端接电路电源上电时间	0.20ms～50ms

推荐上电顺序是按 V_{CCINT}、V_{CCBRAM}、V_{CCAUX} 和 V_{CCO} 以在上电过程中消耗最小的电流和确保 IO 为三态；推荐掉电顺序与推荐上电顺序相反。如果 V_{CCINT} 和 V_{CCBRAM} 为相同的电压值它们可以被同一电源驱动和同时上电；如果 V_{CCAUX}，和 V_{CCO} 为相同的电压值它们可以被同一电源驱动和同时上电。

对于高速收发器，为使上电过程中消耗最小的电流，推荐上电顺序为 V_{CCINT}、$V_{MGTAVCC}$ 和 $V_{MGTAVTT}$ 或 $V_{MGTAVCC}$、V_{CCINT} 和 $V_{MGTAVTT}$。$V_{MGTAVCC}$ 和 V_{CCINT} 可以同时上电；推荐掉电顺序与推荐上电顺序相反。

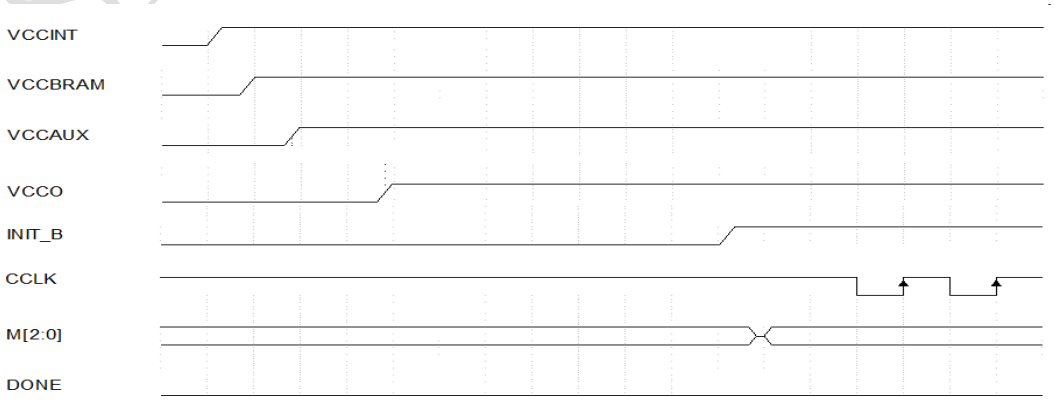


图8　推荐上电顺序

6 电特性参数

6.1 直流特性

表10 器件典型静态所需供电电流

参数	符号	条件	最小值	最大值	单位
V_{CCINT}静态供电电流	I_{CCINTQ}	V_{CCINT}=0.95V~1.05V, V_{CCBRAM}=0.95V~1.05V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465V	-	200	mA
V_{CCAUX}静态供电电流	I_{CCAUXQ}		-	100	mA
V_{CCO}静态供电电流	I_{CCOQ}		-	20	mA
V_{CCBRAM}静态供电电流	$I_{CCBRAMQ}$		-	20	mA
ADC模拟电源电流，模拟电路处于通电状态	I_{CCADC}		-	25	mA
eFUSE 编程 V_{CCAUX} 供电电流	I_{FS}		-	100	mA
注 1: IO 资源选择为单端工作模式；器件为空白配置，没有输出电流负载、没有输入上拉电阻、所有 IO 引脚为三态和悬空的条件下。					

表11 器件直流电参数

参数	符号	条件	最小值	最大值	单位
数据保持 V_{CCINT} 电压	V_{DRINT}	（注 1）	0.75	-	V
数据保持 V_{CCAUX} 电压	V_{DRI}	（注 1）	1.5	-	V
V_{REF} 引脚漏电流	I_{REF}	（注 2）	-	15	μA
引脚输入或输出漏电流	I_L	（注 3）	-	15	μA
引脚上拉电流	I_{RPU}	（注 4）	70	330	μA
		（注 5）	34	220	μA
		（注 6）	12	120	μA
引脚下拉电流	I_{RPD}	（注 7）	68	330	μA
ADC 模拟电源电流，模拟电路处于通电状态	I_{CCADC}	（注 8）	-	25	mA

注 1：V_{CCINT}=0.95V~1.05V,V_{CCBRAM}=0.95V~1.05V,V_{CCAUX}=1.71V~1.89V,V_{CCO}=1.14V~3.465V。

注 2：V_{CCINT}=0.95V~1.05V,V_{CCBRAM}=0.97V~1.03V,V_{CCAUX}=1.71V~1.89V,V_{CCO}=1.14V~3.465V。

注 3：V_{CCINT}=1.03V,V_{CCBRAM}=1.03V,V_{CCAUX}=1.89V, V_{CCO}=1.89V。

注 4：管脚上拉使能时, V_{IN}=0V, V_{CCO}=3.3V, V_{CCINT}=1.00V, V_{CCBRAM}=1.00V, V_{CCAUX}=1.80V。

注 5：管脚上拉使能时,V_{IN}=0V, V_{CCO}=1.8V, V_{CCINT}=1.00V,V_{CCBRAM}=1.00V,V_{CCAUX}=1.80V。

注 6：管脚上拉使能时，V_{IN}=0V，V_{CCO}=1.2V，V_{CCINT}=1.00V, V_{CCBRAM}=1.00V, V_{CCAUX}=1.80V。

注 7：管脚下拉使能时,V_{IN}=3.3V,V_{CCO}=3.3V, V_{CCINT}=1.00V,V_{CCBRAM}=1.00V,V_{CCAUX}=1.80V。

注 8：V_{CCINT}=1.00V,V_{CCBRAM}=1.00V,V_{CCAUX}=1.80V,V_{CCO}=1.80V, V_{CCADC}=1.89V, VREFP=1.25V。

注 9: IRPU 要低于 XX50T 产品。

CSD7A50T技术手册

表12　单端输入低电平电压

参数	符号	条　　件		最小	最大	单位
输入低电平电压	V_{IL}	LVTTL，V_{CCO}=3.3×（1±5%）V		-0.3	0.8	V
		PCI33_3，V_{CCO}=3.3×（1±5%）V		-0.4	30%V_{CCO}	V
		MOBILE_DDR，V_{CCO}=1.8×（1±5%）V		-0.3	20%V_{CCO}	V
		LVCMOS33，V_{CCO}=3.3×（1±5%）V		-0.3	0.8	V
		LVCMOS25，V_{CCO}=2.5×（1±5%）V		-0.3	0.7	V
		LVCMOS18，V_{CCO}=1.8×（1±5%）V		-0.3	35%V_{CCO}	V
		LVCMOS15，V_{CCO}=1.5×（1±5%）V		-0.3	35%V_{CCO}	V
		LVCMOS12，V_{CCO}=1.2×（1±5%）V		-0.3	35%V_{CCO}	V
		HSTL_I，V_{CCO}=1.5×（1±5%）V	V_{REF}=V_{CCO}/2	-0.3	V_{REF}-0.1	V
		HSTL_II，V_{CCO}=1.5×（1±5%）V		-0.3	V_{REF}-0.1	V
		SSTL15，V_{CCO}=1.5×（1±5%）V		-0.3	V_{REF}-0.1	V
		HSTL_I_18,V_{CCO}=1.8×（1±5%）V	V_{REF}=V_{CCO}/2	-0.3	V_{REF}-0.1	V
		HSTL_II_18,V_{CCO}=1.8×（1±5%）V		-0.3	V_{REF}-0.1	V
		SSTL18_I，V_{CCO}=1.8×（1±5%）V		-0.3	V_{REF}-0.125	V
		SSTL18_II，V_{CCO}=1.8×（1±5%）V		-0.3	V_{REF}-0.125	V
		HSUL_12，V_{CCO}=1.2×（1±5%）V	V_{REF}=V_{CCO}/2	-0.3	V_{REF}-0.13	V
		SSTL135，V_{CCO}=1.35×（1±5%）V	V_{REF}=V_{CCO}/2	-0.3	V_{REF}-0.09	V

表13　单端输入高电平电压

特 性	符号	条　　件		最小	最大	单位
输入高电平电压	V_{IH}	LVCMOS18，V_{CCO} =1.8×（1±5%）V		65% V_{CCO}	V_{CCO} +0.3	V
		LVCMOS25，V_{CCO} =2.5×（1±5%）V		1.7	V_{CCO} +0.3	V
		LVCMOS33/LVTTL，V_{CCO} =3.3×（1±5%）V		2.0	3.450	V
		LVCMOS15，V_{CCO} =1.5×（1±5%）V		65% V_{CCO}	V_{CCO} +0.3	V
		LVCMOS12，V_{CCO} =1.2×（1±5%）V		65% V_{CCO}	V_{CCO} +0.3	V
		MOBILE_DDR，V_{CCO} =1.8×（1±5%）V		80% V_{CCO}	V_{CCO} +0.3	V
		PCI33_3，V_{CCO} =3.3×（1±5%）V		50% V_{CCO}	V_{CCO} +0.5	V
		HSTL_I，V_{CCO} =1.5×（1±5%）V	V_{REF}=V_{CCO} /2	V_{REF} +0.1	V_{CCO} +0.3	V
		HSTL_II，V_{CCO} =1.5×（1±5%）V		V_{REF} +0.1	V_{CCO} +0.3	V
		SSTL15，V_{CCO} =1.5×（1±5%）V		V_{REF} +0.1	V_{CCO} +0.3	V
		HSTL_I_18, V_{CCO} =1.8×（1±5%）V	V_{REF}=V_{CCO} /2	V_{REF} +0.1	V_{CCO} +0.3	V
		HSTL_II_18，V_{CCO} =1.8×（1±5%）V		V_{REF} +0.1	V_{CCO} +0.3	V
		SSTL18_I，V_{CCO} =1.8×（1±5%）V		V_{REF} +0.125	V_{CCO} +0.3	V

CSD7A50T技术手册

		SSTL18_II，V_{CCO} =1.8×（1±5%）V		V_{REF} +0.125	V_{CCO} +0.3	V
		HSUL_12，V_{CCO} =1.2×（1±5%）V	V_{REF}=V_{CCO} /2	V_{REF} +0.13	V_{CCO} +0.3	V
		SSTL135，V_{CCO} =1.35×（1±5%）V	V_{REF}=V_{CCO} /2	V_{REF} +0.09	V_{CCO} +0.3	V

表14　单端输出低电平电压

特 性	符号	条　　件	最小	最大	单位
输出低电平电压	V_{OL}	LVCMOS18，V_{CCO} =1.8×（1±5%）V，I_{OL} =16mA	—	0.45	V
		LVCMOS25，V_{CCO} =2.5×（1±5%）V，I_{OL} =16mA	—	0.4	V
		LVCMOS33，V_{CCO} =3.3×（1±5%）V，I_{OL} =16mA	—	0.4	V
		LVTTL，V_{CCO} =3.3×（1±5%）V，I_{OL} =24mA	—	0.4	V
		LVCMOS15，V_{CCO} =1.5×（1±5%）V，I_{OL} =16mA	—	25% V_{CCO}	V
		LVCMOS12，V_{CCO} =1.2×（1±5%）V，I_{OL} =8mA	—	0.4	V
		MOBILE_DDR，V_{CCO} =1.8×（1±5%）V，I_{OL} =0.1mA	—	10% V_{CCO}	V
		PCI33_3，V_{CCO} =3.3×（1±5%）V，I_{OL} =1.5mA	—	10% V_{CCO}	V
		HSTL_I，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OL} =8mA	—	0.4	V
		HSTL_II，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OL} =16mA	—	0.4	V
		SSTL15，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OL} =13mA	—	V_{CCO}/2-0.175	V
		HSTL_I_18，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OL} =8mA	—	0.4	V
		HSTL_II_18，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =16mA	—	0.4	V
		SSTL18_I，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =8mA	—	V_{CCO}/2-0.47	V
		SSTL18_II，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =13.4mA	—	V_{CCO}/2-0.6	V
		HSUL_12，V_{CCO} =1.2×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =0.1mA	—	20% V_{CCO}	V
		SSTL135，V_{CCO} =1.35×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =13mA	—	V_{CCO}/2-0.15	V

CSD7A50T技术手册

表15　单端输出高电平电压

特 性	符号	条　　件	最小	最大	单位
输出高电平电压	V_{OH}	LVCMOS18，V_{CCO} =1.8×（1±5%）V，I_{OH} =-16mA	V_{CCO} -0.45	—	V
		LVCMOS25，V_{CCO} =2.5×（1±5%）V，I_{OH} =-16mA	V_{CCO} -0.4	—	V
		LVTTL，V_{CCO} =3.3×（1±5%）V，I_{OH} =-24mA	2.4	—	V
		LVCMOS33，V_{CCO} =3.3×（1±5%）V，I_{OH} =-16mA	V_{CCO} -0.4	—	V
		LVCMOS15，V_{CCO} =1.5×（1±5%）V，I_{OH} =-16mA	75% V_{CCO}	—	V
		LVCMOS12，V_{CCO} =1.2×（1±5%）V，I_{OH} =-8mA	V_{CCO} -0.4	—	V
		MOBILE_DDR，V_{CCO} =1.8×（1±5%）V，I_{OH} =--0.1mA	90% V_{CCO}	—	V
		PCI33_3，V_{CCO} =3.3×（1±5%）V，I_{OH} =-0.5mA	90% V_{CCO}	—	V
		HSTL_I，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-8mA	V_{CCO} -0.4	—	V
		HSTL_II，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-16mA	V_{CCO} -0.4	—	V
		SSTL15，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-13mA	V_{CCO} /2+0.175	—	V
		HSTL_I_18，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-8mA	V_{CCO} -0.4	—	V
		HSTL_II_18，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-16mA	V_{CCO} -0.4	—	V
		SSTL18_I，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-8mA	V_{CCO}/2+0.47	—	V
		SSTL18_II，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-13.4mA	V_{CCO} /2+0.6	—	V
		HSUL_12，V_{CCO} =1.2×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-0.1mA	80% V_{CCO}	—	V
		SSTL135，V_{CCO} =1.35×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-13mA	V_{CCO}/2+0.15	—	V

表16　IOB 差分接口标准输出性能指标（LVDS_25）

特 性	符号	条　　件	最小	最大	单位
LVDS_25					
输出高电平电压	V_{OH}	R_T=100Ω，跨接于 Q 和 QB 端口	–	1.675	V
输出低电平电压	V_{OL}	R_T=100Ω，跨接于 Q 和 QB 端口	0.700	–	V
输出差模电压	V_{ODIFF}	R_T=100Ω，跨接于 Q 和 QB 端口	247	600	mV
输出共模电压	V_{OCM}	R_T=100Ω，跨接于 Q 和 QB 端口	1.000	1.425	V
输入差模电压	V_{IDIFF}	—	100	600	mV
输入共模电压	V_{ICM}	—	0.300	1.5	V

CSD7A50T技术手册

6.2 交流开关特性

表17 网络应用接口性能

特性描述	标志符号	条 件	极限值	单位
SDR LVDS 发送端速率	$DR_{SDR_LVDS_TX}$	使用 OSERDES，数据位宽 4 到 8	680	Mb/s
DDR LVDS 发送端速率	$DR_{DDR_LVDS_TX}$	使用 OSERDES，数据位宽 4 到 14	1250	Mb/s
SDR LVDS 接收端速率	$DR_{SDR_LVDS_RX}$	SPI-4.1(1)	680	Mb/s
DDR LVDS 接收端速率	$DR_{DDR_LVDS_RX}$	SPI-4.1(1)	1250	Mb/s
注 1：LVDS 接收端所实现性能必须依靠于特定的动态相位对准（DPA：dynamic phase-alignment）算法				

表18 存储器接口生成器可用的存储器接口 IP 的最大物理接口（PHY）速率

特性描述	标志符号	极限值	单位
4:1 存储器控制			
DDR3	$PHYR_{DDR3_4}$	800	Mb/s
DDR3L	$PHYR_{DDR3L_4}$	800	Mb/s
DDR2	$PHYR_{DDR2_4}$	800	Mb/s
2:1 存储器控制			
DDR3	$PHYR_{DDR3_2}$	700	Mb/s
DDR3L	$PHYR_{DDR3L_2}$	700	Mb/s
DDR2	$PHYR_{DDR2_2}$	700	Mb/s
LPDDR2	$PHYR_{LPDDR2_2}$	667	Mb/s

6.3 Block RAM 和 FIFO 模块特性

表19 Block RAM 和 FIFO 模块频率特性

特性描述	标志符号	极限值	单位
最大频率			
非 SDP RF 模式，BRAM 最大工作频率（Write first 和 No change 模式）	$f_{MAX_BRAM_WF_NC}$	460.83	MHz
SDP RF 模式，但端口 A 和端口 B 之间无地址重叠时，BRAM 最大工作频率	$f_{MAX_BRAM_RF_PERFORMANCE}$	460.83	MHz
当在 SDP RF 模式下且端口 A 和端口 B 之间有地址重叠可能的情况下，BRAM 的最大工作频率	$f_{MAX_BRAM_RF_DELAYED_WRITE}$	404.53	MHz
在级联但不在 RF 模式下，BRAM 级联的最大工作频率（Write first, No change 模式）	$f_{MAX_CAS_WF_NC}$	418.59	MHz

CSD7A50T技术手册

在级联、RF 模式且端口地址不可能重叠/一个端口不打开的情况下，BRAM 级联的最大工作频率（Read first,性能模式）	$f_{MAX_CAS_RF_PERFORMANCE}$	418.59	MHz
在级联、RF 模式且端口 A 和端口 B 之间有地址重叠可能的情况下，BRAM 的最大工作频率	$f_{MAX_CAS_RF_DELAYED_WRITE}$	345.78	MHz
不使用 ECC 时，FIFO 的所有模式的最大工作频率	f_{MAX_FIFO}	460.83	MHz
使用 ECC 时，BRAM 和 FIFO 的最大工作频率	f_{MAX_ECC}	365.10	MHz

6.4 DSP48E1 模块特性

表20 DSP48E1 模块频率特性

特性描述	标志符号	极限值	单位
所有寄存器都使用上	f_{MAX}	550.66	MHz
使用模型（pattern）检测	f_{MAX_PATDET}	465.77	MHz
不带 M 寄存器的 2 级流水线乘法器	$f_{MAX_MULT_NOMREG}$	305.62	MHz
不带 M 寄存器的 2 级流水线乘法器，使用模型（pattern）检测	$f_{MAX_MULT_NOMREG_PATDET}$	277.62	MHz
不使用 AD 寄存器	$f_{MAX_PREADD_MULT_NOADREG}$	346.26	MHz
不使用 AD 寄存器，使用模型（pattern）检测	$f_{MAX_PREADD_MULT_NOADREG_PATDET}$	346.26	MHz
不使用流水线寄存器(M 寄存器，AD 寄存器)	$f_{MAX_NOPIPELINEREG}$	227.01	MHz
不使用流水线寄存器(M 寄存器，AD 寄存器)，使用模型（pattern）检测	$f_{MAX_NOPIPELINEREG_PATDET}$	211.15	MHz

表21 时钟缓冲器和网络频率特性

特性	符号	条件	极限值	单位
全局时钟树最大频率	f_{MAX_BUFG}		628.00	MHz
I/O 时钟树最大频率	f_{MAX_BUFIO}	—	680.00	MHz
区域时钟树最大频率	f_{MAX_BUFR}	—	375.00	MHz
水平时钟缓冲器最大频率	f_{MAX_BUFH}	—	628.00	MHz

CSD7A50T技术手册

表22　MMCM 模块开关特性

特性	符号	条　　件	极限值	单位
最小时钟输入频率	$MMCM_f_{INMIN}$		10	MHz
最大时钟输入频率	$MMCM_f_{INMAX}$		800	MHz
最小 MMCM VCO 频率	$MMCM_f_{VCOMIN}$		600	MHz
最大 MMCM VCO 频率	$MMCM_f_{VCOMAX}$		1200	MHz
最小输出频率	$MMCM_f_{OUTMIN}$		4.69	MHz
最大输出频率	$MMCM_f_{OUTMAX}$		800	MHz
鉴相器的最小频率	$MMCM_f_{PFDMIN}$		10	MHz
鉴相器的最大频率	$MMCM_f_{PFDMAX}$		500	MHz

表23　PLL 模块开关特性

特性	符号	条　　件	极限值	单位
最小时钟输入频率	PLL_f_{INMIN}		19	MHz
最大时钟输入频率	PLL_f_{INMAX}		800	MHz
最小 PLL VCO 频率	PLL_f_{VCOMIN}		800	MHz
最大 PLL VCO 频率	PLL_f_{VCOMAX}		1600	MHz
最小输出频率	PLL_f_{OUTMIN}		6.25	MHz
最大输出频率	PLL_f_{OUTMAX}		800	MHz
鉴相器的最小频率	PLL_f_{PFDMIN}		19	MHz
鉴相器的最大频率	PLL_f_{PFDMAX}		450	MHz

6.5　SerDes 收发器直流参数特性

表24　SerDes 收发器直流参数特性

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
差分峰到峰输入电压(1)（外部 AC 耦合）	DV_{PPIN}		150	—	2000	mV
单端输入电压（相对大地）	V_{IN}	DC 耦合，$V_{MGTAVTT}$ = 1.2V	–200	—	$V_{MGTAVTT}$	mV
共模输入电压	V_{CMIN}	DC 耦合，$V_{MGTAVTT}$ = 1.2V	—	$2/3V_{MGTAVTT}$	—	mV
差分峰到峰输出电压	DV_{PPOUT}	发射端输出幅度设为最大	1000	—	—	mV
共模输出电压: DC 耦合	$V_{CMOUTDC}$	基于计算公式	$V_{MGTAVTT}–DV_{PPOUT}/4(\pm10\%)$			mV
共模输出电压: AC 耦合	$V_{CMOUTAC}$	基于计算公式	$1/2V_{MGTAVTT}$			mV
差分输入电阻	R_{IN}	—	—	100	—	Ω
差分输出电阻	R_{OUT}	txdrvamp_sa_0<3:0>=0x0	—	100	—	Ω
发射端输出对（TXP 和 TXN）差分对内延迟差	t_{OSKEW}	—	—	—	12	ps
注 1：推荐外部 AC 耦合电容典型值为 100nF						

CSD7A50T技术手册

表25　SerDes 收发器时钟输入直流参数特性

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
差分峰到峰输入电压	V_{IDIFF}	DC 耦合，$V_{MGTAVTT}$ = 1.2V	350	–	2000	mV
差分输入电阻	R_{IN}	DC 耦合，$V_{MGTAVTT}$ = 1.2V	–	100	–	Ω

6.6　SerDes 收发器开关特性

表26　SerDes 收发器频率特性

特性描述	标志符号	条　　件	极限值	单位
SerDes 收发器最大数据速率	f_{GTPMAX}		6.25	Gb/s
SerDes 收发器最小数据速率	f_{GTPMIN}		0.500	Gb/s
CPLL 线路速率范围	$f_{GTPRANGE}$	输出分频：1	3.2~6.6	Gb/s
		输出分频：2	1.6~3.3	Gb/s
		输出分频：4	0.8~1.65	Gb/s
		输出分频：8	0.5~0.825	Gb/s
SerDes 收发器 CPLL 频率范围	$f_{GTPPLLRANGE}$		1.6~3.3	GHz
SerDes 收发器动态重配置端口频率特性				
SerDes DRPCLK 最大频率	$f_{GTPDRPCLK}$		175	MHz

表27　SerDes 收发器参考时钟开关特性

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
参考时钟频率范围	f_{GCLK}	—	60	–	820	MHz
参考时钟上升时间	f_{RCLK}	上升时间的 20% – 80%	–	200	–	ps
参考时钟下降时间	f_{FCLK}	下降时间的 80% – 20%	–	200	–	ps
参考时钟占空比	f_{DCREF}	仅适用于 SerDes 收发器 PLL	40	–	60	%

表28　SerDes 收发器用户时钟频率特性

特性描述	标志符号	条　　件	极限值	单位
		内部逻辑数据宽度		
TXOUTCLK 最大频率	f_{TXOUT}	—	412.500	MHz
RXOUTCLK 最大频率	f_{RXOUT}	—	412.500	MHz
TXUSRCLK 最大频率	f_{TXIN}	16-bit	412.500	MHz
RXUSRCLK 最大频率	f_{RXIN}	16-bit	412.500	MHz
TXUSRCLK2 最大频率	f_{TXIN2}	16-bit	412.500	MHz
RXUSRCLK2 最大频率	f_{RXIN2}	16-bit	412.500	MHz

CSD7A50T技术手册

表29　SerDes 发射端的开关特性

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
串行数据速率范围	$f_{SerDesTX}$		0.500	—	6.25	Gb/s
6.6Gb/s 总抖动	$tj_{6.6}$	6.6 Gb/s 使用 PLL_FBDIV = 2，20 位内部数据宽度，误码率小于 1^{e-12}	—	—	0.30	UI
6.6 Gb/s 确定性抖动	$dj_{6.6}$		—	—	0.15	UI
5Gb/s 总抖动	$tj_{5.0}$	5.0 Gb/s 使用 PLL_FBDIV = 2，20 位内部数据宽度，误码率小于 1^{e-12}	—	—	0.30	UI
5 Gb/s 确定性抖动	$dj_{5.0}$		—	—	0.15	UI
4.25Gb/s 总抖动	$tj_{4.25}$	4.25 Gb/s 使用 PLL_FBDIV = 2，20 位内部数据宽度，误码率小于 1^{e-12}	—	—	0.30	UI
4.25 Gb/s 确定性抖动	$dj_{4.25}$		—	—	0.15	UI
3.75Gb/s 总抖动	$tj_{3.75}$	3.75 Gb/s 使用 PLL_FBDIV = 2，20 位内部数据宽度，误码率小于 1^{e-12}	—	—	0.30	UI
3.75 Gb/s 确定性抖动	$dj_{3.75}$		—	—	0.15	UI
TXOUT_DIV = 2，3.2Gb/s 总抖动	$tj_{3.20}$	3.20 Gb/s 使用 PLL_FBDIV = 2，20 位内部数据宽度，误码率小于 $1^{e-12,}$ PLL 频率为 3.2 GHz 、TXOUT_DIV = 2	—	—	0.2	UI
TXOUT_DIV = 2 时，3.2 Gb/s 确定性抖动	$dj_{3.20}$		—	—	0.1	UI
TXOUT_DIV = 1 时，3.2Gb/s 总抖动	$tj_{3.20L}$	3.20 Gb/s 使用 PLL_FBDIV = 2，20 位内部数据宽度，误码率小于 1^{e-12} ，PLL 频率为 1.6 GHz 、TXOUT_DIV = 1	—	—	0.32	UI
TXOUT_DIV = 1 时，3.2 Gb/s 确定性抖动	$dj_{3.20L}$		—	—	0.16	UI
2.5Gb/s 总抖动	$tj_{2.5}$	2.5 Gb/s 使用 PLL_FBDIV = 2，20 位内部数据宽度，误码率小于 1^{e-12} ，PLL 频率为 2.5 GHz 、TXOUT_DIV = 2	—	—	0.20	UI
2.5Gb/s 确定性抖动	$dj_{2.5}$		—	—	0.08	UI
1.25Gb/s 总抖动	$tj_{1.25}$	1.25 Gb/s 使用 PLL_FBDIV = 2，20 位内部数据宽度，误码率小于 1^{e-12} ，PLL 频率为 2.5 GHz 、TXOUT_DIV = 4	—	—	0.15	UI
1.25 Gb/s 确定性抖动	$dj_{1.25}$		—	—	0.06	UI
500 Mb/s 总抖动	tj_{500}	500 Mb/s 使用 PLL_FBDIV = 2，20 位内部数据宽度，误码率小于 1^{e-12}	—	—	0.1	UI
500 Mb/s 确定性抖动	dj_{500}		—	—	0.03	UI

CSD7A50T 技术手册

表30　SerDes 接收端的开关特性

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
串行数据速率范围	$f_{SerDesRX}$		0.500	—	6.25	Gb/s
OOB 检测峰峰值阈值	$RX_{OOBVDPP}$		60	—	150	mV
运行长度（CID）	RX_{RL}		—	—	512	UI
接收器扩展频谱跟踪	RX_{SST}	RXOUT_DIV = 1, 2, and 4，调制 33 kHz	–5000	—	5000	ppm
数据/参考时钟 PPM 偏移公差	RX_{PPMTOL}	比特率 ≤ 6.6 Gb/s	–1250	—	1250	ppm
6.6 Gb/s 正弦抖动容限	$jt_sj_{6.6}$	6.6 Gb/s 正弦抖动（注入的正弦抖动频率为 10Mhz）	0.44	—	—	UI
5.0 Gb/s 正弦抖动容限	$jt_sj_{5.0}$	5.0 Gb/s 正弦抖动（注入的正弦抖动频率为 10Mhz）	0.44	—	—	UI
4.25 Gb/s 正弦抖动容限	$jt_sj_{4.25}$	4.25 Gb/s 正弦抖动（注入的正弦抖动频率为 10Mhz）	0.44	—	—	UI
3.75 Gb/s 正弦抖动容限	$jt_sj_{3.75}$	3.75 Gb/s 正弦抖动（注入的正弦抖动频率为 10Mhz）	0.44	—	—	UI
使用 CPLL 、RXOUT_DIV = 2.，正弦抖动容限 3.2 Gb/s	$jt_sj_{3.2}$	3.2 Gb/s 正弦抖动（注入的正弦抖动频率为 10Mhz）、PLL 频率为 3.2 GHz 且 RXOUT_DIV = 2	0.45	—	—	UI
使用 CPLL、RXOUT_DIV = 2.，正弦抖动容限 8.0 Gb/s	$jt_sj_{3.2L}$	3.2 Gb/s 正弦抖动（注入的正弦抖动频率为 10Mhz）、PLL 频率为 1.6 GHz 且 RXOUT_DIV = 1	0.45	—	—	UI
使用 CPLL，正弦抖动容限 2.5Gb/s	$jt_sj_{2.5}$	2.5 Gb/s 正弦抖动（注入的正弦抖动频率为 10Mhz）CPLL 频率为 2.5 GHz 且 RXOUT_DIV = 2	0.5	—	—	UI
使用 CPLL，正弦抖动容限 1.25Gb/s	$jt_sj_{1.25}$	1.25 Gb/s 正弦抖动（注入的正弦抖动频率为 1Mhz）、PLL 频率为 2.5 GHz 且 RXOUT_DIV = 4	0.5	—	—	UI
使用 CPLL，正弦抖动容限 500Mb/s	jt_sj_{500}	500 Mb/s 正弦抖动（注入的正弦抖动频率为 10Mhz）（PLL）	0.4	—	—	UI
带压力眼的总抖动（在 LPM 或 DFE 模式下与 RX 合成抖动）	$jt_sjse_{3.2}$	3.2 Gb/s	0.70	—	—	UI
	$jt_sjse_{6.6}$	6.6 Gb/s	0.70	—	—	UI
带压力眼的正弦抖动（在 LPM 或 DFE 模式下与 RX 合成抖动）	$jt_sjse_{3.2}$	3.2 Gb/s	0.1	—	—	UI
	$jt_sjse_{6.6}$	6.6 Gb/s	0.1	—	—	UI

CSD7A50T 技术手册

表31　集成 PCIe 模块开关特性

特性描述	标志符号	条　　件（注 1）	极限值	单位
PIPE 时钟最大频率	$f_{PIPECLK}$		250.00	MHz
用户时钟最大频率	$f_{USERCLK}$		250.00	MHz
用户时钟 2 最大频率	$f_{USERCLK2}$		250.00	MHz
动态重配置端口 DRP 最大时钟频率	f_{DRPCLK}		250.00	MHz

表32　引脚到引脚（Pin-to-Pin）输入及输出参数

特 性	符号	条　　件（注 1）	最小	最大	单位
时钟输入引脚到输出触发器输出引脚（最靠近 BUFGs）的延迟	t_{ICKOF}	SSTL15，Fast Slew Rate，不使用 MMCM 和 PLL	—	5.70	ns
时钟输入引脚到输出触发器输出引脚（距离 BUFGs 最远）的延迟	$t_{ICKOFFAR}$	SSTL15，Fast Slew Rate，不使用 MMCM 和 PLL	—	5.70	ns
时钟输入引脚到输出触发器输出引脚的延迟（使用 MMCM）	$t_{ICKOFMMCMCC}$	SSTL15，Fast Slew Rate 使用 MMCM	—	1.00	ns
时钟输入引脚到输出触发器输出引脚的延迟（使 PLL）	$t_{ICKOFPLLCC}$	SSTL15，Fast Slew Rate 使用 PLL	—	0.82	ns

6.7　集成 ADC 模块参数特性

表33　集成 ADC 模块参数特性

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
V_{CCADC}=1.8V ±5%，V_{REFP} = 1 .25V，V_{REFN} = 0V，ADCCLK = 26 MHz，						
ADC 精度（自动校准功能启用）						
分辨率	RES		12	–	–	Bits
积分非线性	INL	线性增强模式开启	–	–	±3	LSBs
差分非线性	DNL	没有编码丢失，保证无变化	–	–	±1	LSBs
偏移误差	Err_offset	偏移校准开启	–	–	±6	LSBs
增益误差	Err_gain	增益校准开启	–	–	±0.5	%
偏移匹配	Match_offset	偏移校准开启	–	–	4	LSBs
增益匹配	Match_gain	增益增校校准开启	–	–	0.3	%
采样速率	f_{sample}		–	–	1	MS/s

CSD7A50T 技术手册

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
信噪比	SNR	f_{SAMPLE} = 500KS/s, f_{IN} = 20 kHz 线性增强模式开启	60	–	–	dB
随机信号编码噪声	Noise_code	外部参考电压 1.25V	–	–	2	LSBs
		片上基准	–	3	–	LSBs
总谐波失真	THD	f_{SAMPLE} = 500KS/s, f_{IN} = 20 kHz 线性增强模式开启	–	70	–	dB
扩展温度范围的 ADC 精度						
分辨率			10	–	–	Bits
积分非线性	INL	(分辨率 10 bits)线性增强模式开启	–	–	±1	LSB
差分非线性	DNL	没有编码丢失，保证无变化, (分辨率 10 bits)	–	–	±1	
模拟输入						
ADC 输入范围	FS	单极性操作	0	–	1	V
		双极性操作	–0.5	–	+0.5	V
		单极性普通模式范围（FS 输入端）	0	–	+0.5	V
		双极性普通模式范围（FS 输入端）	+0.5	–	+0.6	V
最大的外部通道输入范围	FS_{AUX}	在这个范围内设置的相邻通道不应破坏相邻通道上的测量	–0.1	–	V_{CCADC}	V
辅助通道的全分辨率带宽	FRBW	–	250	–	–	kHz
片上传感器						
温度传感器误差	Err_temp	T_J = –40 ℃ to 100 ℃	–	–	±4	℃
供电传感器误差	Err_supply	V_{CCAUX} =1.8V ±5% T_J= –40 ℃ to +100 ℃	–	–	±1	%
转换速率						
连续转换时间	t_{CONV}	ADCCLK 周期数	26	–	32	Cycles
事件转换时间	t_{CONV}	CLK 周期数	–	–	21	Cycles
动态重配置端口的时钟频率	f_{DCLK}	动态重配置端口 DRP 时钟频率	8	–	250	MHz
ADC 的时钟频率	f_{ADCCLK}	来自于 DCLK	1	–	26	MHz
DCLK 占空比	$f_{DCDCLKXADC}$		40	–	60	%

CSD7A50T技术手册

特性描述	标志符号	条　　件	极限值			单位
			最小值	典型值	最大值	
XADC 参考电压						
外部参考	V_{REFP}	外部输入参考电压	1.20	1.25	1.30	V
内部参考	V_{REFP_IN}	-	1.2375	1.25	1.2625	V

表34　配置模块开关特性

特性描述	标志符号	条件	极限值		单位
			最小值	最大值	
上电时间特性参数					
编程延迟	t_{PL}		—	5	ms
编程脉冲宽度	$t_{PROGRAM}$		250	—	ns
上电复位时间	t_{POR}	50ms 上电爬升时间	10	50	ms
		1ms 上电爬升时间	10	35	ms
CCLK 输出(主模式)					
主 CCLK 输出延迟	t_{ICCK}		150	—	ns
主 CCLK 时钟低电平占空比	t_{MCCKL}		40	60	%
主 CCLK 时钟高电平	t_{MCCKH}		40	60	%
主 CCLK 频率	f_{MCCK}		—	100	MHz
16 位加密情况下，主 CCLK 频率			—	50	MHz
配置刚开始主 CCLK 频率	f_{MCCK_START}		3（典型值）		MHz
主模式 CCLK 相对标称值得频率公差	$f_{MCCKTOL}$		—	±50	%
CCLK Input (从模式)					
从模式 CCLK 时钟最小低电平时间	t_{SCCKL}		2.5	—	ns
从模式 CCLK 时钟最小高电平时间	t_{SCCKH}		2.5	—	ns
从模式 CCLK 频率	f_{SCCK}		—	100	MHz
EMCCLK 输入(主模式)					
外部主模式 CCLK 最小低电平时间	t_{EMCCKL}		2.5	—	ns
外部主模式 CCLK 最小高电平时间	t_{EMCCKH}		2.5	—	ns
外部主模式 CCLK 频率	f_{EMCCK}		—	100	MHz
内部配置访问端					
内部配置访问端频率（ICAPE2）	f_{ICAPCK}		—	100	MHz
串行模式编程开关特性					
DIN 端建立/保持时间	$t_{DCCK_SS}/t_{CCKD_}$	采用从模式测试	4.0/0.0	—	ns

CSD7A50T技术手册

特性描述	标志符号	条件	极限值		单位
			最小值	最大值	
时钟到 DOUT 端输出的延迟	t_{CCO_SS}		—	8.0	ns
并行模式编程开关特性					
D[31:00]端建立/保持时间	t_{SMDCCK}/t_{SMCCK}		4.0/0.0	—	ns
CSI_B 端建立/保持时间	$t_{SMCSCCK}/t_{SMCC}$		4.0/0.0	—	ns
RDWR_B 端时间保持/时间	t_{SMWCCK}/t_{SMCCK}		10.0/0.0	—	ns
时钟到 CSO_B 端输出延迟	$t_{SMCKCSO}$	CSO_B 需要外接上	—	7.0	ns
时钟到 D[31:00]端回读延迟	t_{SMCO}		—	8.0	ns
回读最大频率	f_{RBCCK}		—	100	MHz
边界扫描端口时间参数特性					
TMS 和 TDI 端建立/保持时间	t_{TAPTCK}/t_{TCKTAP}		3.0/2.0	—	ns
TCK 下降沿到 TDO 端输出延迟	t_{TCKTDO}		—	7.0	ns
TCK 最大频率	f_{TCK}		—	66	MHz
内部配置访问端口					
内部配置访问端口速率(ICAPE2)	f_{ICAPCK}		—	100	MHz
BPI Flash 主模式编程开关特性					
时钟到 A[28:00], RS[1:0], FCS_B,	t_{BPICCO}	仅在配置期间，由 I/O	—	8.5	ns
D[15:00]端建立/保持时间	t_{BPIDCC}/t_{BPICCD}		4.0/0.0	—	ns
SPI Flash 主模式编程开关特性					
D[03:00]端建立/保持时间	t_{SPIDCC}/t_{SPICCD}		3.0/0.0	—	ns
时钟到 MOSI 端输出延迟	t_{SPICCM}		—	8.0	ns
时钟到 FCS_B 端输出延迟	$t_{SPICCFC}$		—	8.0	ns
STARTUPE2 端口					
USRCCLKO 输入到 CCLK 输出延迟	$t_{USRCCLKO}$		0.50	7.50	ns
CFGMCLK 输出频率	$f_{CFGMCLK}$		65（典型值）		MHz
CFGMCLK 输出频率公差	$f_{CFGMCLKTOL}$		—	±50	%
器件 DNA 访问端口					
DNA 访问端口频率	f_{DNACK}		—	100	MHz

表35 eFUSE 编程特性

特 性	符号	条 件	最小	最大	单位
编程温度范围	T_J		15	125	℃
V_{CCAUX} 编程电流	I_{FS}		—	115	mA
注 1: FPGA 器件在 eFUSE 编程过程中必须禁止配置。					

CSD7A50T技术手册

7 功能描述

7.1 概述

CSD7A50T 的高度为 3 个时钟域高度（1 个时钟区域高度为 50 个 CLB 或 50 个 IOB），1 个时钟区域的宽度为横跨半个产品，所以 CSD7A50T 总共有 6 个时钟区域。最右侧为 HRIO 和 GTP 共同构成，最左侧为 HRIO。

7.2 器件工作原理

CSD7A50T 是 SRAM 型的 FPGA，器件在掉电后将会丢失配置，通常使用一个外部的如 Flash 的存储器件，从而在生产场合下防止电源掉电后丢失配置数据；也可以通过电缆进行编程而不需要外部存储器件。

配置或编程 CSD7A50T 主要有必不可少的三步。

第 1 步：设计输入

软件设计输入工具被用来建立一个 VHDL、Verilog、ABEL 或原理图（Schematic）形式的设计。

第 2 步：实现

软件实现工具被用来将设计网表适配到所需的 CSD7A50T 器件结构中去并生成一个配置用的比特流。

第 3 步：配置或输入

配置是用外部的数据源（如 FLASH）将配置数据下载到 FPGA 中的一个过程。

CSD7A50T 支持的配置模式包含：

- 主-串配置模式
- 从-串配置模式
- 主-选择映射（并行）配置模式（x8 和 x16）
- 从-选择映射（并行）配置模式（x8，x16 和 x32）
- JTAG/边界扫描配置模式
- SPI Flash 配置模式（x1, x2, x4）
- BPI Flash 配置模式（x8, x16）使用并联 NOR Flash

器件的配置流程如图 9：

CSD7A50T技术手册

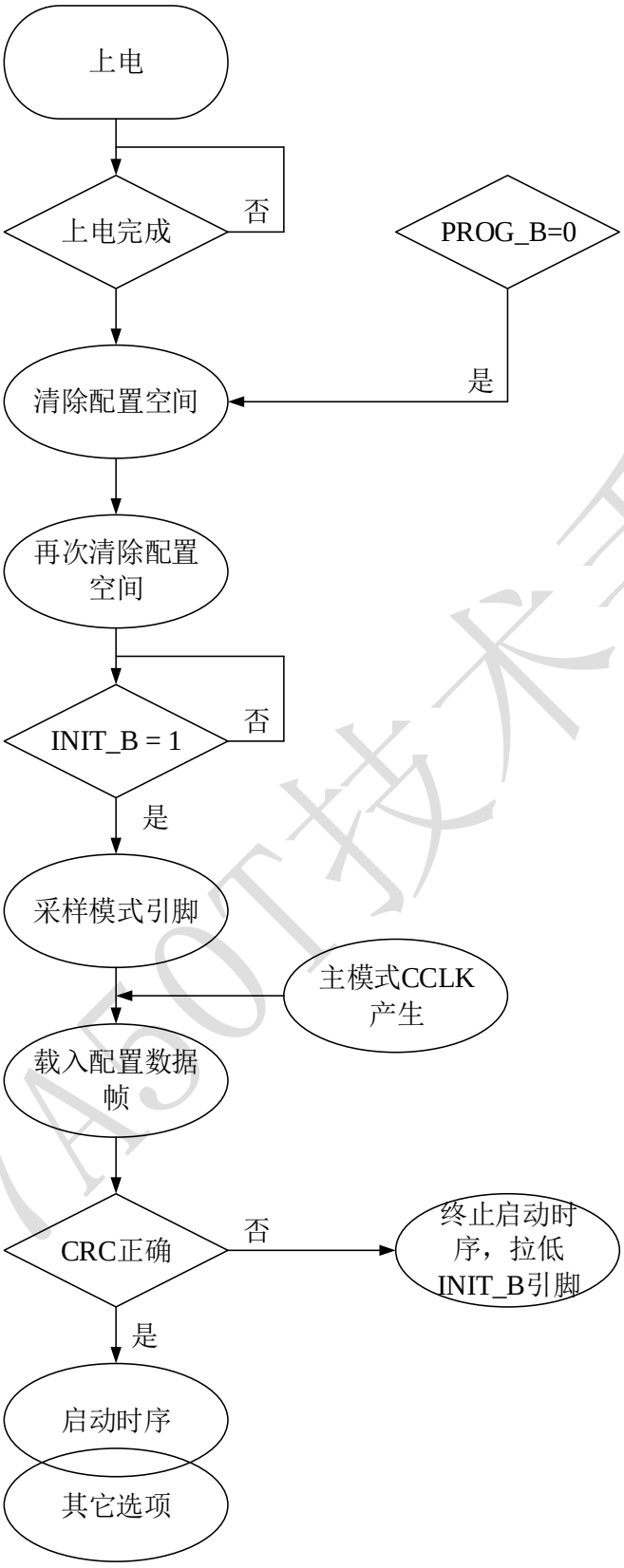


图9　　CSD7A50T 的配置流程图

CSD7A50T技术手册

7.3 功能描述

7.3.1 宽范围 IO 模块

宽范围 IO(HRIO)模块由 IO 输入输出模块(IOB)、IDELAY，以及相对应的 ILOGICE/ISERDESE、OLOGICE/OSERDESE 组成，其适用于宽范围要求的 IO，例如高速存储接口或者高达 3.3V 电压的片间连接。

表36 宽范围 IO Bank 支持的电平和功能特性

特性	宽范围 IO Bank
3.3V IO	支持
2.5V IO	支持
1.8V IO	支持
1.5V IO	支持
1.35V IO	支持
1.2V IO	支持
LVDS_25 电平	支持
24mA LVCMOS18、LVTTL 输出	支持
数字控制阻抗（DCI）及 DCI 级联	NA
内部 V_{REF}	支持
内部差分中端（DIFF_TERM）	支持
IDELAY	支持
ODELAY	NA
IDELAYCTRL	支持
ISERDES	支持
OSERDES	支持
ZHOLD_DELAY	NA

表37 宽范围 IO 模块功能列表

编号	模块内部功能
1	三态
2	边沿触发式 D 触发器输入/输出功能
3	电平敏感型锁存器输入/输出功能
4	不同模式的 IDDR 功能（OPPOSITE_EDGE，SAME_EDGE，SAME_EDGE_PIPELINED）
5	不同模式的 ODDR 功能（SAME_EDGE，OPPOSITE_EDGE）
6	输入串并转换功能

CSD7A50T 技术手册

编号	模块内部功能
7	输出并串转换功能
8	IDELAY 功能
9	IO_FIFO 功能（4x4,4x8/8x4，级联）

7.3.2 CLB 模块

可编程逻辑单元（CLB）是实现用户自定义时序逻辑、组合逻辑功能的主要模块。可编程逻辑单元可以通过互联矩阵实现互联，也可以通过互联阵列和产品内其他资源连接。可编程逻辑单元的复杂度和数量是产品可编程能力的重要参数。

CSD7A 系列的 CLB 模块主要特征有：

- 真 6 输入查找表（LUT）
- 双 LUT5（5 输入 LUT）操作
- 分布式存储和移位寄存器逻辑
- 为算术功能提供专用的进位逻辑
- 宽多路复用器用于高效使用

每个 LUT 可以配置为 6 输入 1 输出的 LUT ，或者 2 个 5 输入 2 个独立输出的 LUT，但使用共同的地址或者输入逻辑。每个 LUT 输出都可以选择寄存器输出。一个 Slice 单元中包含 4 个 6 输入 LUT 以及配套的 8 个触发器，复接器和算术进位逻辑。2 个 Slice 单元构成 1 个 CLB 模块。每个 Slice 单元的 4 个触发器（每个 LUT 一个触发器）可以配置为锁存器操作，同时剩下的 4 个触发器必须保持未使用。

CSD7A 系列大约 2/3 的 CLB 单元是 SLICEL 逻辑，剩余的是 SLICEM 逻辑，SLICEM 逻辑可以使用他们的 LUT 作为分布式 64bit RAM 或者 32bit 移位寄存器（SRL32）或者 2 个 SRL16。

表38 CLB 模块主要功能列表

编号	模块内部功能
1	查找表功能：1 个 6 输入、2 个 5 输入
2	存储元件功能：边沿式 D 触发器、电平敏感型锁存器
3	分布式 RAM 功能（SLICEM）： RAM：32x1S，32x1D，64x1Q，64x3DSP，256x1S；
4	ROM(SLICEM&SLICEL)：64x1、256x1
5	移位寄存器（SR）（SLICEM）：32bit、Dual 16bit、128bit
6	多路选择器（MUX）：16:1
7	进位链功能：10 输入、8 输出进位链功能

CSD7A50T技术手册

7.3.3 BRAM 模块

CSD7A 系列 Block RAM 模块的主要特征包括：

- 每个 BRAM 可以存储多达 36Kbit 的数据
- 每个 BRAM 支持两个独立的 18Kb 或者单个 36Kb
- 每个 36Kb BRAM 可以设置为简单双端口模式，BRAM 双倍数据位宽支持 72bit。18Kb BRAM 可以设置为简单双端口模式，BRAM 双倍数据位宽支持 36bit。简单双端口模式定义为有独立时钟的一个只读、一个只写端口。
- 简单双端口模式支持一端固定位宽，另一端可变位宽。
- 相邻 BRAM 可以合成 64K ×1 的存储器而不要额外的逻辑。
- 64bit 的 ECC 支持每个 36Kb BRAM 或者 36Kb FIFO，编码解码功能分开。ECC 模式支持误码注入。
- BRAM 输出的锁存器和寄存器模式，可以同步设置/复位到初始值。
- 可以将 BRAM 配置为同步 FIFO，消除不确定的标志位。
- FULL 标志位。
- 18, 36, 72bit 位宽 BRAM 端口可以按 byte 独立写。此功能常用于微处理器接口。
- 每个 BRAM 包含操作地址序列和控制电路以产生一个内置双时钟的 FIFO 存储器，BRAM 可以设置为 18 Kb 或 36 Kb FIFO。
- 所有输入通过端口时钟寄存，且有时钟建立时序指标。
- 所有输出有读功能或者边写边读功能，由写使能（WE）pin 决定。在时钟-输出间距后，输出可用。边读边写输出可选三种操作模式之一：WRITE_FIRST, READ_FIRST, 和 NO_CHANGE。
- 写操作要求一个时钟沿。
- 读操作要求一个时钟沿。
- 所有输出端口被锁存或者寄存操作。在被其他读写操作之前，输出端口状态不会改变。BRAM 默认是锁存模式。
- 输出数据深度可以通过内部流水线寄存器操作。强烈推荐使用寄存器模式，此时允许更高的时钟频率，同时也增加了一个延迟时钟周期。
- BRAM 的使用规则包括：
- 不能在 ECC 解码器使用时(EN_ECC_READ = TRUE)同步置位和复位（RSTRAM）端口。
- BRAM 同步输出寄存器（可选）在 DO_REG = 1 时，通过 RSTREG 设置或复位（SRVAL），当 RSTREG 优先级高于 REGCE 时决定 RSTREG_PRIORITY。在 DO_REG = 0 或者 1 时，同步输出锁存被 RSTRAM 设置或复位（SRVAL）。
- BRAM 地址或者写使能 pin 的建立时间不能违反。违反地址建立时间（即使写使能为 LOW 时）会导致 BRAM 数据内容丢失。
- 如果 RSTREG_PRIORITY 设置为 REGCE，BRAM 寄存器模式 RSTREG 要求 REGCE = 1 来复位输

CSD7A50T技术手册

出 DO 寄存器值。BRAM 阵列数据输出锁存不能通过这种模式复位。BRAM 锁存模式 RSTRAM 要求 BRAM 使能 EN = 1 时，复位输出 DO 锁存值。

- 两种 BRAM 原语，RAMB36E1 和 RAMB18E1。RAM_MODE 属性定义了 BRAM 的模式，SDP 模式与真双端口（TDP）模式之一。
- 在使用特殊的 BRAM 原语时支持选择不同的读写端口宽度。检验位只用于 x9, x18,x36 端口宽度。检验位不能用于 x1, x2, x4 读宽度。如果读宽度为 x1, x2, x4，有效地写宽度为 x1, x2, x4, x8, x16, x32。同样的，写宽度为 x1, x2, x4，实际有效地读宽度为 x1, x2, x4, x8, x16, x32，哪怕通过原语属性分别设置为 1, 2, 4, 9, 18, 36。

表39　BRAM 模块主要功能列表

编号	模块内部功能
1	不同模式的 BRAM 读写功能（WRITE_FIRST，READ_FIRST，NO_CHANGE）
2	不同宽度深度的 BRAM 读写功能（SDP，TDP）： 36Kbit RAM：64Kx1，32Kx1，16Kx2，8Kx4，4Kx9，2Kx18，1Kx36，512x72 18Kbit RAM：16Kx1，8Kx2，4Kx4，2Kx9，1Kx18，512x36
3	RAM 输出寄存器（RSTREG，DO_REG）
4	独立读写位宽功能
5	BRAM 级联功能
6	不同模式的 FIFO 功能及状态标志位测试（同步或异步，standard 或 first-word fall-through，FWFT）
7	FIFO 输出寄存器测试
8	不同深度宽度的 FIFO 功能：18Kb：4K x 4，2K x 9，1K x 18，512 x 36 36Kb：8K x 4，4K x 9，2K x 18，1K x 36，512 x 72
9	FIFO36 级联和并联功能、BRAM 和 FIFO 的组合连接功能
10	不同模式的 64 bit ECC 功能（Standard，encode only，decode only）
11	RAM ECC，FIFO ECC 功能
12	ECC 输出寄存器功能

表40　BRAM 应用场景

原语	设置读宽度	设置写宽度	有效读宽度	有效写宽度
RAMB18E1	1, 2, 4	9,18	与设置相同	8,16
RAMB18E1	9,18	1, 2, 4	8,16	与设置相同
RAMB18E1	1, 2, 4	1, 2, 4	与设置相同	与设置相同
RAMB18E1	9,18	9,18	与设置相同	与设置相同
RAMB36E1	1, 2, 4	9,18,36	与设置相同	8,16,32
RAMB36E1	9,18,36	1, 2, 4	8,16,32	与设置相同
RAMB36E1	1, 2, 4	1, 2, 4	与设置相同	与设置相同
RAMB36E1	9,18,36	9,18,36	与设置相同	与设置相同

CSD7A50T技术手册

7.3.4 DSP 模块

DSP 支持多种功能，包括乘法、乘累加（MACC）、乘加、三输入加法、桶形移位、宽总线选择、数值比较、按位逻辑运算、样本检测与宽计数功能。还支持多个 DSP 级联，构建更大的数学函数、DSP 滤波器和复杂的运算。

CSD7A 系列 DSP 模块主要特性包括：

- 25×18 位宽二进制补码乘法器
- 48 位累加器
- 低功耗预加器
- 单指令多数据操作算数单元
- 任意功能逻辑单元
- 码型检测器
- 可选的流水线和专用总线级联

表41 DSP 模块主要功能列表

编号	模块内部功能
1	25 位预加器（带或不带 D 触发器）
2	25 x 18 乘法器
3	A、B、C、D 数据端口
4	三输入加法器/减法器/48 位逻辑运算单元
5	PATTERN 检测器
6	流水线功能
7	DSP 级联功能

7.3.5 时钟布线资源

CSD7A 系列 FPGA 时钟资源具有专门的全局时钟、区域 IO 和时钟资源。时钟管理单元（CMT）提供时钟频率合成、去偏斜和抖动过滤功能。在设计时钟功能时，不建议使用非时钟资源（如本地布线）。

- 全局时钟树允许同步逻辑的时钟跨越该模块。
- IO 和区域时钟树允许驱动多达 3 个邻近的垂直时钟区域。
- 每个 CMT 包含 1 个混合模式时钟管理器（MMCM）和 1 个锁相环（PLL），其位置紧靠 IO 模块。
- 对于时钟而言，FPGA 可以分成多个时钟域。
- 时钟域的数量与 FPGA 器件型号有关，CSD7A50T 有 6 个时钟区域。
- 时钟域包括所有的同步模块（如 CLB、IO、串行收发器、DSP、BRAM、CMT）在一个区域跨越 50 个 CLB 和 1 个 IO bank，在时钟域的中间是水平时钟通道（HROW）。

CSD7A50T技术手册

- 每个时钟域分为 HROW 的上 25 个 CLB、下 25 个 CLB，对称分布。

每个 IO Bank 都包含时钟功能输入引脚（CC），以将用户时钟引入 CSD7A 系列 FPGA 时钟布线资源。结合专用时钟缓冲器，时钟功能输入引脚将用户时钟带到：

- 位于器件相同的上半部分/下半部分的全局时钟线
- 同一 IO Bank 和竖直相邻的 IO Bank 内的 IO 时钟线
- 同一时钟区域和竖直相邻时钟区域内的区域时钟线
- 同一时钟区域内，和有限制、竖直相邻时钟区域内的 CMTs

每个 CSD7A 系列器件都具有 32 条全局时钟线，可以提供时钟和控制信号到整个器件中的所有时序资源。全局时钟缓冲器（BUFGCTRL，简称为 BUFG）驱动全局时钟线，并且必须是用于访问全局时钟线。每个时钟区域可以最多支持 12 个全局时钟线使用时钟区域中的 12 条水平时钟线。

全局时钟缓冲器：

- 可用作时钟使能电路来启用或禁用多个时钟时钟区域
- 可用作无干扰多路复用器：
  - 在两个时钟源之间选择
  - 与不使用的时钟源隔离
- 通常由 CMT 驱动：
  - 消除时钟分配延迟
  - 调整相对于另一个时钟的时钟延迟

在单个时钟区域内，水平时钟缓冲器（BUFH / BUFHCE）允许通过水平时钟行访问全局时钟线。它也可以用作时钟使能电路（BUFHCE）独立启用或禁用跨越单个时钟区域的时钟。每个时钟区域可以使用 12 个水平时钟线支持最多 12 个时钟。

在一个时钟区域内，每个 CSD7A 系列 FPGA 都有可以为所有时序资源提供时钟的区域和 IO 时钟树。每个器件还拥有多区域时钟缓冲器（BUFMR），允许区域时钟和 IO 时钟跨越三个竖直相邻的时钟区域。

- IO 时钟缓冲器（BUFIO）驱动 IO 时钟树，在同一 IO bank 内给所有 IO 资源序列提供时钟。
- 区域时钟缓冲器（BUFR）驱动区域时钟树，其能够驱动相同时钟域中的所有时钟节点，并且可以通过编程对输入时钟频率进行分频。
- 协调 IOB 中的可编程串行器/解串器（请参考 CSD7A 系列 FPGA IO 资源用户指南），BUFIO 和 BUFR 时钟缓冲器允许源同步系统跨越时钟域而不使用额外的逻辑资源
- 相邻时钟区域和 IO Bank 的区域时钟树和 IO 时钟树可以通过使用多区域时钟缓冲器（BUFMR）被驱动，当使用有相关的 BUFR 或 BUFIO。
- 一个时钟区域最多支持四个独立的区域时钟，一个 IO Bank 中最多支持四个独立的 IO 时钟。
- 高性能时钟路径（HPC）将 CMT 某些特定输出连接到 IO，其为低抖动、最小占空比直连路径。

CSD7A50T技术手册

表42　时钟布线主要资源列表

编号	模块内部
1	全局时钟缓冲器 BUFG
2	IO 时钟缓冲器 BUFIO
3	区域时钟缓冲器 BUFR
4	多区域时钟缓冲器 BUFMR
5	横向时钟缓冲器 BUFH

7.3.6　CMT 模块

时钟管理模块 (CMT) 提供非常灵活的高性能时钟控制。每个 CMT 包含一个复合模式时钟管理模块 MMCM 和一个锁相环 PLL。

该 MMCM 和 PLL 可用作各种频率的频率合成器和作为外部或内部时钟的抖动滤波器，以及去偏斜时钟。PLL 是 MMCM 功能的一个子集。CSD7A 系列 FPGA 时钟输入连接允许多种资源为 MMCM 和 PLL 提供参考时钟。

CSD7A 系列 FPGA MMCM 在任何方向上都具有无限精细的相移能力并用于动态相移模式。MMCM 也有一个微计数器存在于反馈路径或在一个输出路径中，实现频率合成的进一步粒度能力。

表43　CMT 模块主要功能列表

编号	模块内部功能
1	MMCM 的小数分频（O 分频）功能
2	MMCM 分频级联（CLKOUT4 分频与 CLKOUT6 分频）
3	MMCM 参考时钟选择功能
4	CMT 内反馈
5	MMCM/PLL 动态重配置
6	MMCM 的动态相移功能
7	CMT 级联（MMCM 与 MMCM 级联、PLL 与 PLL 级联）
8	MMCM/PLL 频率综合功能（频点抽样）
9	MMCM 扩频时钟产生器（SSCG）

7.3.7　高速串行接口 SERDES 模块

每个高速串行接口 SERDES 模块含发送端和接收端，分为物理编码子层（PCS）和物理媒介接入子层（PMA）两部分，其中 PCS 主要实现对数据的编码、解码及各种协议控制等功能，PMA 主要实现数据的并串转换和串并转换。

CSD7A50T技术手册

表44　SERDES 模块主要功能列表

分类	功能
PCS	2,4 字节内部数据通路，以支持不同的线速率要求
	8B/10B 编解码
	支持 64B/66B 和 64B/67B 编解码
	Comma 检测，字节和字对准
	PRBS 产生和检测
	TX 相位 FIFO
	RX 弹性 FIFO 用于时钟校准和通道绑定
	可编程逻辑接口
	支持旁路 buffer 的本地多通道
	TX 相位内插结构支持 PPM Controller interface
PMA	每个通道配置一个 CPLL，提供便利的时钟方案
	具有自适应调节的 7tap 判决反馈均衡器
	TX 预加重
	可调 TX 输出摆幅
	Beacon 信号用于 PCIE 应用
	OOB 信号用于支持 SATA 应用
	数据速率支持达到 6.6Gbps(非器件工作全温区)

高速串行收发器支持的应用模式主要有：

- PCI Express Gen1.1、2.0
- Gigabit Ethernet
- Interlaken
- 10 Gb XAUI, RXAUI
- CPRI™/ OBSAI
- OC-48
- OTU-1
- SRIO
- SATA/ SAS
- SDI

CSD7A50T技术手册

表45　SERDES 支持的主要协议，速率以及内部数据位宽

协议	数据率(Gb/s)	数据位宽(16/20/32/40b)
XAUI	3.125	20b
	1.25	20b
RXAUI	6.25	20b
Gigabit Ethernet	1.25	20b
Serial RapidIO	3.125	20b
	2.5	20b
	1.25	20b
PCIe	5.0	20b
	2.5	20b
CPRI(Multi_Rate)	3.072	20b
	2.4576	20b
	1.2288	20b
	0.6144	20b
OBSAI	3.072	20b
	1.536	20b
	0.768	20b
3G-SDI HD-SDI	2.97	20b
	1.485	20b
Interlaken	3.125	16b
OC-48	2.48832	16b
OTU-1	2.666057	16b
SATA/SAS	3	20b
	1.5	20b

- 数字算法实现自动校准终端 50 欧姆阻抗；
- 数字算法实现的 PLL 频率锁定检测功能；
- TX 支持去加重及输出差分电压幅度可配置；
- RX 支持连续时间的线性均衡器（CTLE）和判决反馈均衡（DFE）以及低功耗模式工作；
- 采用 2 阶的基于相位内插结构的数字时钟数据恢复（CDR）；
- 内建数字眼图扫描功能，包括横向和纵向扫描；
- 具有多个环回路径（PMA 和 PCS 端的远端和近端环回）、内建自测试模式（PRBS7、PRBS15、PRBS23 和 PRBS31）以及 PMA 内部信号测试。

CSD7A50T 技术手册

7.3.8 PCIE 模块

PCIE 模块支持 PCIE Gen2，x1、x2、x4 和，该模块规定的每通道数据速率为 5Gbps。

表46 PCIE2_1 模块主要功能列表

编号	模块内部功能		
1	用户接口	AXI4-Stream 接口 64bit，128bit	
2	链路宽度	X1，X2，X4	
3	链路速度	2.5Gb/s，5.0Gb/s	
4	DRP	可动态重配置	
5	功耗调节	电源管理	
6	传输方式	请求者、完成者双通道传输	
7	协议层	产生和处理事务层包	存储器类型包的读、写、完成（带数据，不带数据）
8			配置类型包的读、写、完成（带数据，不带数据）
9			消息类型包的读、写、完成（带数据，不带数据）
10		数据包传输	流控管理
11			中断最大 32 个 MSI 和 MSI-X 向
12			支持 INTx
13			最大传输负载 512bytes
14			事务排序
15			链路翻转
16		链路训练状态机	链路初始化
17			链路训练
18			链路维护
19			链路协商握手
20	配置管理	0/1 类型的配置头标区	
21		配置空间访问	
22		PCIE 扩展能力空间	
23		环回控制和状态	
24		错误报告和状态	
25		设备序列号扩展	
26		设备 ID 的捕获与存储	
27		用户自定义配置能力	

CSD7A50T技术手册

7.3.9 ADC 模块

CSD7A 系列 FPGA 内部 ADC 模块，主要是由包含两个 12 位、可达 1MSPS 采样率的模数转换器（ADC）和相关的片上传感器组成。

表47 ADC 模块主要功能列表

编号	模块内部功能	
	功能	模式
1	采样模式	初始模式
2		单次模式
3		连续模式
4		单通道模式
5		同步采样模式
6		独立 ADC 模式
7	校准功能	ADC 失调校准使能
8		ADC 失调和增益校准使能
9		电源电压传感器校准使能
10		电源电压失调和增益校准使能
11	告警功能	过温告警使能
12		温度告警使能
13		VCCINT 告警
14		VCCAUX 告警
15		VCCBRAM 告警
16		综合告警
17	上电/掉电功能	ADC 上电
18		无效选择
19		ADC 掉电
20	时钟分频功能	DCLK 分频
21	均值滤波器功能	均值滤波器使能(校准)
22		无均值
23		均值 16 次
24		均值 64 次
25		均值 256 次
26	ADC 通道	片上温度
27		电源 VCCINT

CSD7A50T 技术手册

28		电源 VCCAUX
29		专用模拟输入
30		基准 VREFP
31		基准 VREFN
32		电源 VCCBRAM
33		无效通道
34		XADC 校准
35		辅助通道 0 至 15
36	模拟输入功能	单端输入模式
37		差分输入模式

7.3.10 配置模块

配置电路和 FPGA 产品的架构关系密切，架构直接决定了配置电路实现的系统组合。其基本功能就是对 SRAM 阵列写入不同的数据组合控制内部的逻辑电路来满足用户设计的功能，而 FPGA 能够“实现”何种功能是由其配置比特流文件（.bit 文件）来决定的。

表48 CSD7A 系列 FPGA 支持的配置模式

配置模式	M[2:0]	总线位宽	CCLK 方向
主-串配置模式	000	x1	输出
主模式 SPI Flash 配置	001	x1、x2、x4	输出
主模式 BPI Flash 配置	010	x8、x16	输出
主-选择映射配置模式	100	x8、x16	输出
JTAG/边界扫描配置模式	101	x1	\
从-选择映射配置模式	110	x8、x16、x32	输入
从-串配置模式	111	x1	输入

表49 配置模块主要功能列表

编号	模块内部功能
1	从串、从模式并口配置（x8，x16，x32）
2	JTAG/boundary-scan 配置
3	主模式 SPI flash 配置（Serial Peripheral Interface，SPI，串行外设接口）（x1，x2，x4）
4	主串，主模式并口配置（x8，x16）(2MHz – 60MHz)
5	使用并口 NOR flash 的主模式 BPI flash 配置（x8，x16）（Byte Peripheral Interface，BPI ）
6	eFUSE（checkbit 测试数据编程与读取）

CSD7A50T 技术手册

8 应用建议

8.1 开发工具版本

FPGA 配套开发工具建议使用版本为 2018.3 及以上，建议选择-2 速度等级，支持官方所有 IP 核。

8.2 参考配置电路

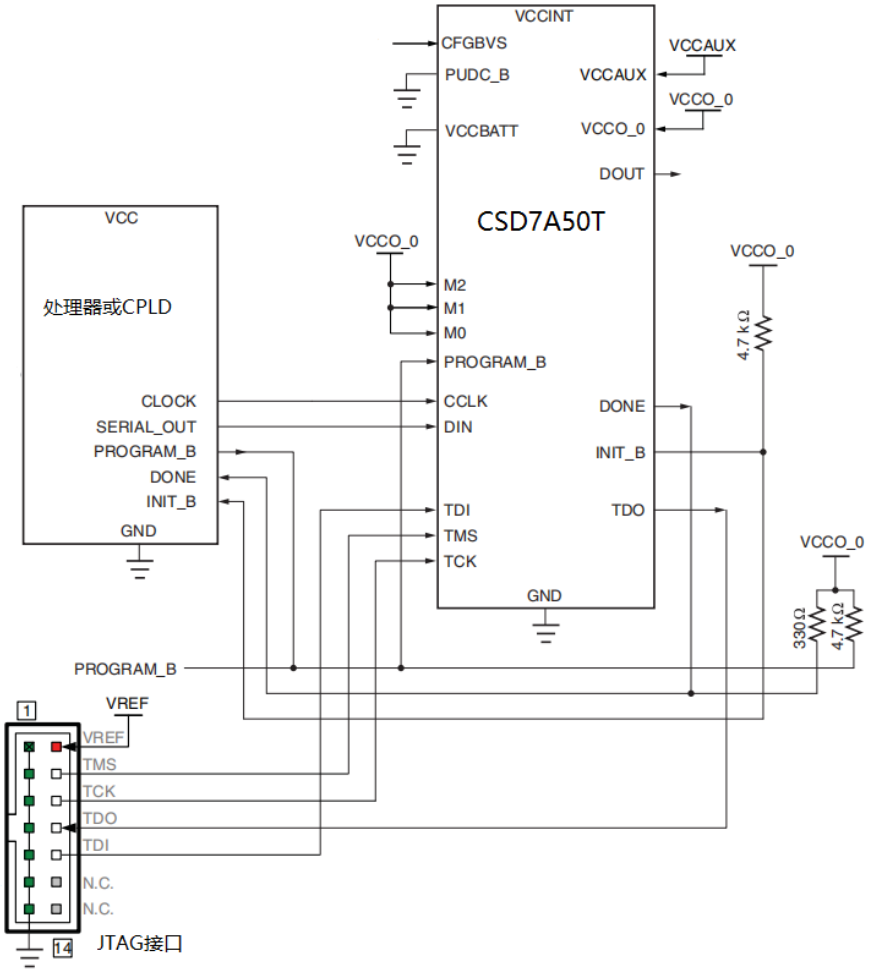


图10 从串配置参考电路

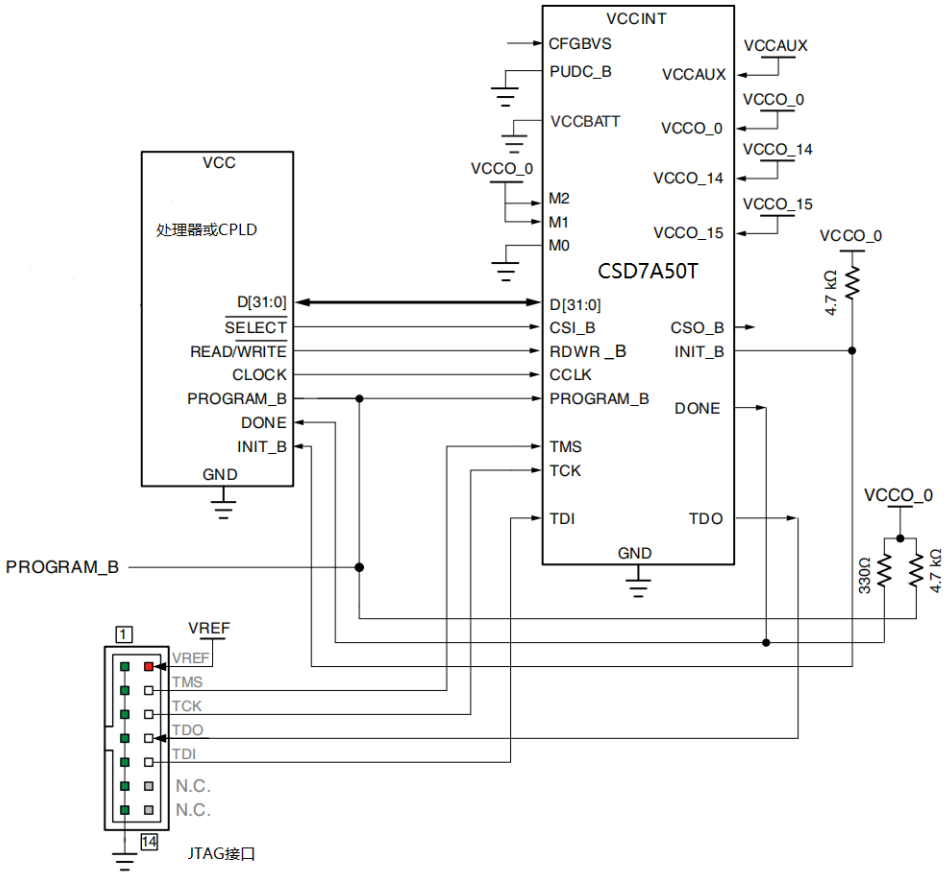


图11　单个从设备选择映射配置参考电路

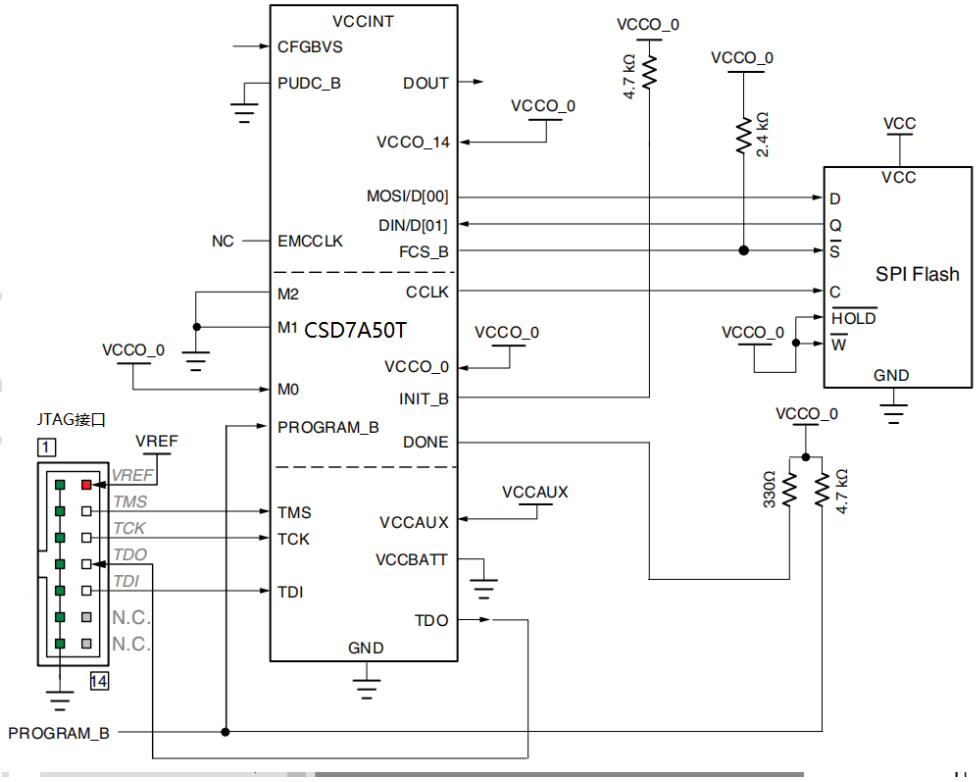


图12　XC7A50T SPI x1/x2 配置参考电路

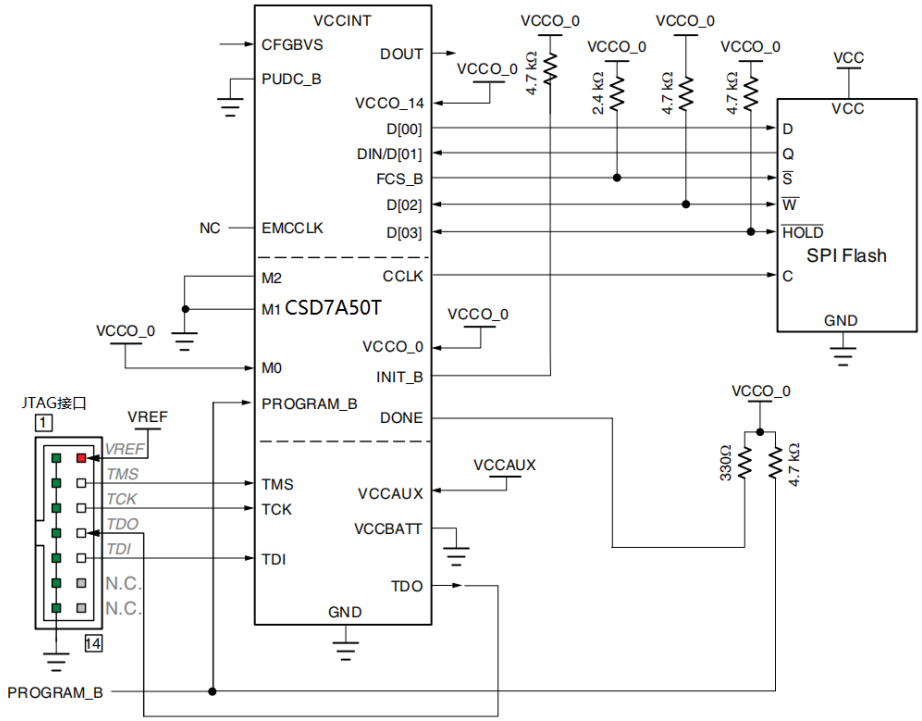


图13　XC7A50T SPI x4 配置参考电路

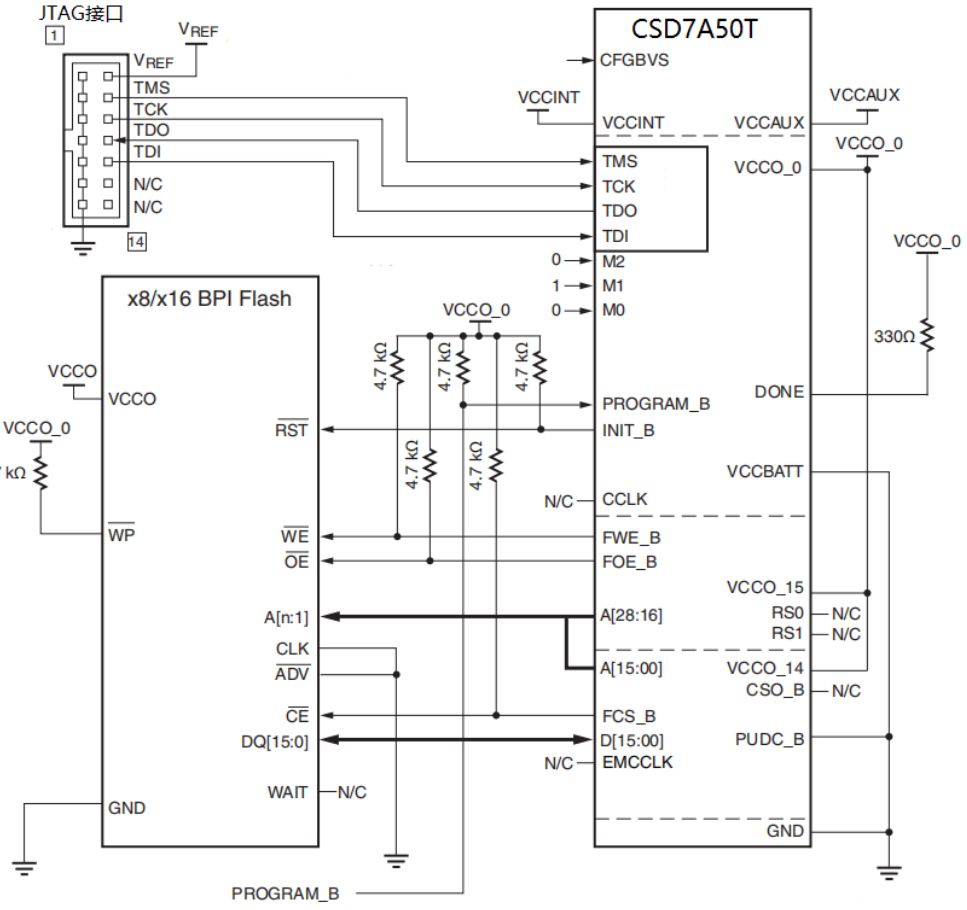


图14　XC7A50T 主模式 BPI 配置异步读参考电路

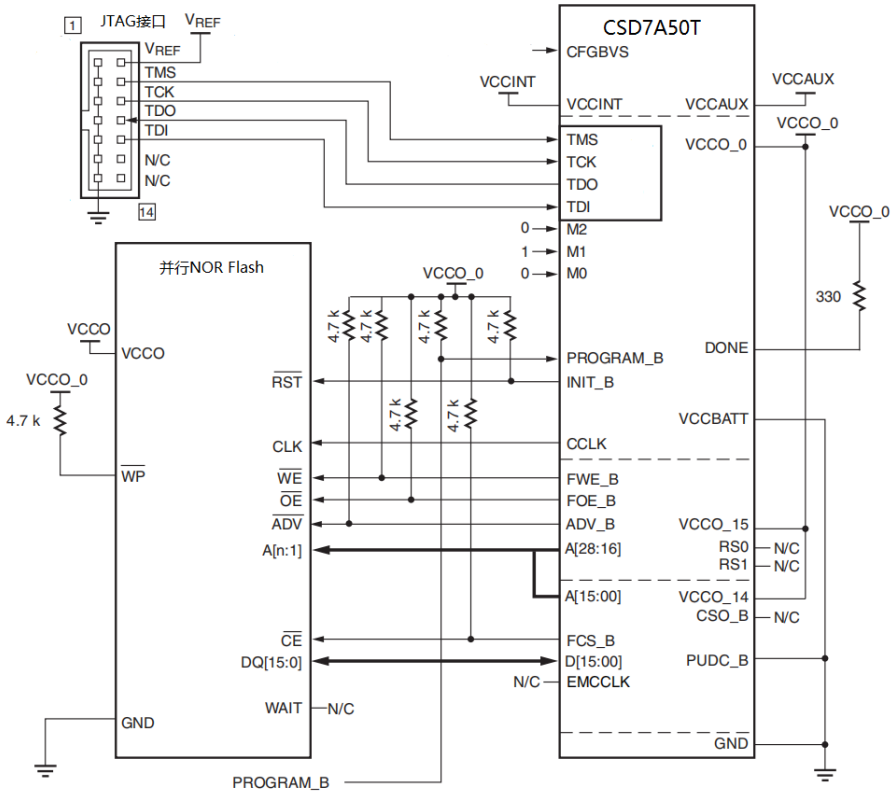


图15　XC7A50T 主模式 BPI 配置同步读参考电路

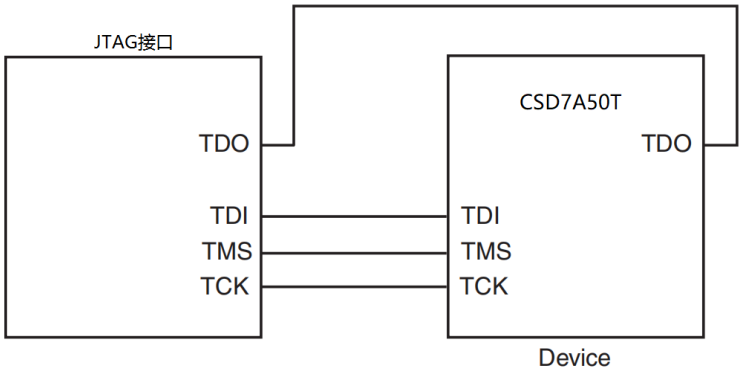


图16　单个器件 JTAG 编程连接

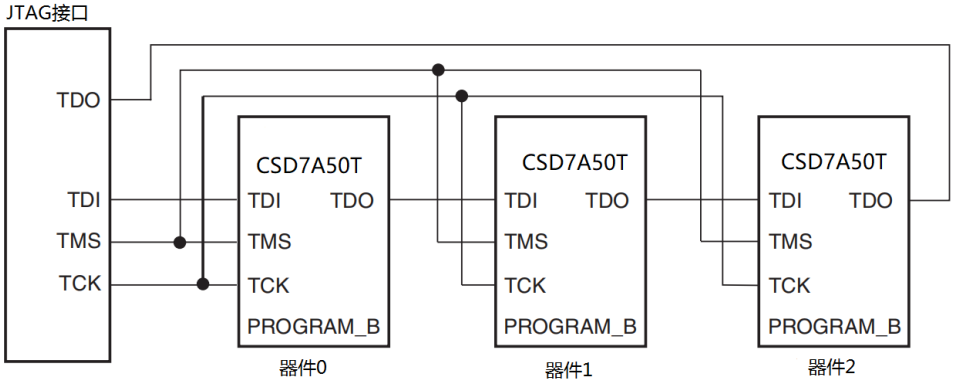


图17　边界扫描多个器件菊花链连接

8.3 SERDES 应用注意事项

8.3.1. AVCC 电源要求

SERDES 的 AVCC 需要单独供电，不建议与其它电源共用（特别不能与 VCCINT 共用），避免其它电源的噪声影响 SERDES 的性能。

AVCC 管脚处的电源纹波需小于 10mVpp，同时包括纹波在内的电压值严禁超过推荐工作条件。

8.3.2. AVTT 电源要求

SERDES 的 AVTT 需要单独供电，不建议与其它电源共用，避免其它电源的噪声影响 SERDES 的性能。

AVTT 管脚处的电源纹波需小于 10mVpp，同时包括纹波在内的电压值严禁超过推荐工作条件。

8.3.3. 参考时钟要求

1）参考时钟在管脚处的差分峰峰电压输入需满足指标（350mV~2000mV)；参考时钟的随机抖动小于 1ps(rms)。

2）参考时钟的交流耦合电容需在板卡设计中靠近 FPGA 器件端，如下图：

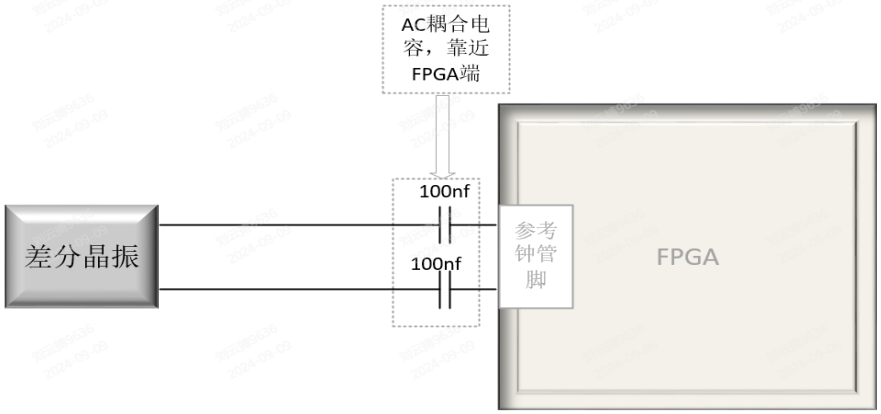


图18 交流耦合

交流耦合主要作用：

- 隔断各器件之间的直流分量，降低功耗；
- 保持器件之间独立的共模电压；
- 交流耦合电容与器件终端形成高通滤波器，减小基准时钟漂移。

8.3.4. Lane 的耦合电容

Lane 的耦合电容在板卡的位置需根据具体协议进行相应设计，具体参考相应协议的用户指南。

8.3.5. PCB 高速信号走线规则

SERDES 参考时钟、发送端、接收端在 PCB 的走线与相邻走线的距离，需大于等于走线线宽的 3 倍，防止相邻信号的串扰。

8.3.6. 端接校准电阻设计

端接校准电阻原理图设计如下：

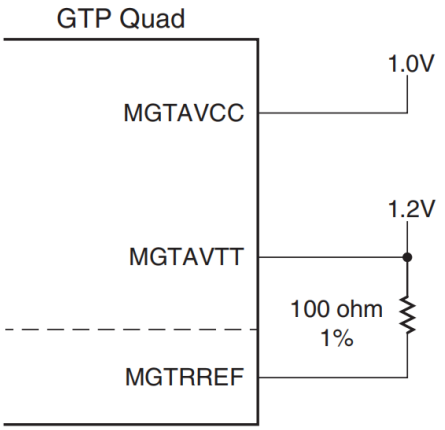


图19　SERDES 外部电源连接关系图

MGTRREF 为端接电阻校准模块电阻输入，应连接到 100Ω精密外部电阻引脚上，电阻的另一个引脚连接到 MGTAVTT。

8.3.7. 未使用的 HRIO BANK VCCO 电源建议

当 HRIO 整个 BANK 不使用时，该 BANK 的 VCCO 可以接 1.8V、2.5V、3.3V 或者悬空处理，若接地建议串联 4K 以上的电阻到地，否则直接接地或导致 VCCAUX 静态电流增加。

9　差异对比

9.1　功能对比

表50　CSD7A50T 与对标产品功能差异对比

模块	功能	CSD7A50T	与 XX50T 差异说明
CLB	6 输入查找表	支持	无差异
	双 5 输入查找表	支持	无差异
	分布式存储 RAM	32x1S/D、32x2Q、32 x6SDP 64x1 S/D/Q、64x3DSP、 128x1S/D、256x1S	无差异
	只读存储器 ROM	64x1、128x1、256x1	无差异
	移位寄存器	32bit、双 16bit、64bit、96bit、 128bit	无差异
	触发器/锁存器	支持	无差异
	多路选择器	4 个 4:1、2 个 8:1、1 个 16:1	无差异
	进位链	10 输入、8 输出	无差异
BRAM	36Kbit RAM（SDP、TDP）	64Kx1、32Kx1、16Kx2、8Kx4、4Kx9，2Kx18、1Kx36、512x72	无差异

模块	功能	CSD7A50T	与 XX50T 差异说明
	18Kbit RAM（SDP、TDP）	16Kx1、8Kx2、4Kx4、2Kx9、1Kx18，512x36	无差异
	不同模式的 BRAM 读写功能	WRITE_FIRST、READ_FIRST、NO_CHANGE	无差异
	RAM 输出寄存器	支持	无差异
	独立读写位宽功能	支持	无差异
	36Kbit FIFO	8K x 4、4K x 9、2K x 18、1K x 36、512 x 72	无差异
	18Kbit FIFO	4K x 4、2K x 9、1K x 18、512 x 36	无差异
	不同模式的 FIFO 功能及状态标志位	同步或者异步、standard 或 first-word fall-through、FWFT	无差异
	FIFO 输出寄存器	支持	无差异
	RAM 或 FIFO 级联	支持	无差异
	RAM 或 FIFO 64 bit ECC	Standard，encode only，decode only	无差异
	ECC 输出寄存器	支持	无差异
DSP	预加器	25bit，带或不带触发器	无差异
	乘法器	25 x 18	无差异
	ALU 逻辑运算	三输入加法器/减法器/48 位逻辑运算单元	无差异
	多数据端口	A、B、C、D	无差异
	PATTERN 检测器	支持	无差异
	流水线	支持	无差异
	级联	支持	无差异
HRIO	单端 IO 电平标准	3.3V、2.5V、1.8V、1.5V、1.35V、1.2V	无差异
	差分 LVDS 电平	支持	无差异
	数字控制阻抗（DCI）及 DCI 级连	不支持	无差异
	内部 VREF	支持	无差异
	内部差分中端（DIFF_TERM）	支持	无差异
	IDELAY	支持	无差异
	ODELAY	不支持	无差异
	IDELAYCTRL	支持	无差异
	ISERDES	专门的解串器/串行-并行转换器 Bit 滑动子模块 专用于支持频闪存储器接口 专用于支持网络接口 专用于支持 DDR3 接口 专用于支持 QDR 接口 专用于支持异步接口	无差异
	OSERDES	数据 DATA 并串转换 8:1、10:1、14:1 三态控制并串转换最大 14:1 专用于支持 DDR3 接口模式	无差异

CSD7A50T技术手册

模块	功能	CSD7A50T	与 XX50T 差异说明
	IO_FIFO	支持	无差异
CMT	MMCM 小数分频	支持	无差异
	MMCM 分频级联	支持	无差异
	MMCM 参考时钟选择	支持	无差异
	MMCM/PLL 静态相移	支持	无差异
	MMCM/PLL 动态重配置	支持	无差异
	MMCM 动态相移	支持	无差异
	级联（MMCM 与 MMCM 级联、PLL 与 PLL 级联）	支持	无差异
	MMCM/PLL 频率综合（频点抽样）	支持	无差异
	MMCM 扩频时钟产生器（SSCG）	支持	无差异
GTP	PCS	2,4 字节内部数据通路，以支持不同的线速率要求	无差异
		8B/10B 编解码	无差异
		支持 64B/66B 和 64B/67B 编解码	无差异
		Comma 检测，字节和字对准	无差异
		PRBS 产生和检测	无差异
		TX 相位 FIFO	无差异
		RX 弹性 FIFO 用于时钟校准和通道绑定	无差异
		可编程逻辑接口	无差异
		支持旁路 buffer 的本地多通道	无差异
		TX 相位内插结构支持 PPM Controller interface	无差异
	PMA	每个通道配置一个 CPLL，提供便利的时钟方案	无差异
		具有自适应调节的 7tap 判决反馈均衡器	无差异
		TX 预加重	无差异
		可调 TX 输出摆幅	无差异
		Beacon 信号用于 PCIe 应用	无差异
		OOB 信号用于支持 SATA 应用	无差异
		数据速率支持高 6.25Gbps	无差异
PCIe	协议层	Gen1、Gen2	无差异
	用户接口	AXI4-Stream 接口 64bit，128bit	无差异
	链路宽度	X1，X2，X4	无差异
	链路速度	2.5Gb/s，5.0Gb/s	无差异
	动态重配置	支持	无差异
	功耗调节	支持	无差异
	采样模式	初始模式	无差异
		单次模式	无差异
		连续模式	无差异

CSD7A50T 技术手册

模块	功能	CSD7A50T	与 XX50T 差异说明
ADC		单通道模式	无差异
		同步采样模式	无差异
		独立 ADC 模式	无差异
		初始模式	无差异
	校准功能	ADC 失调校准使能	无差异
		ADC 失调和增益校准使能	无差异
		电源电压传感器校准使能	无差异
		电源电压失调和增益校准使能	无差异
	告警功能	过温告警使能	无差异
		温度告警使能	无差异
		VCCINT 告警	无差异
	配置管理	VCCAUX 告警	无差异
		VCCBRAM 告警	无差异
		综合告警	无差异
	上电/掉电功能	ADC 上电	无差异
		无效选择	无差异
		ADC 掉电	无差异
	时钟分频功能	DCLK 分频	无差异
	均值滤波器功能	均值滤波器使能(校准)	无差异
		无均值	无差异
		均值 16 次	无差异
		均值 64 次	无差异
		均值 256 次	无差异
	ADC 通道	片上温度	无差异
		电源 VCCINT	无差异
		电源 VCCAUX	无差异
		专用模拟输入	无差异
		基准 VREFP	无差异
		基准 VREFN	无差异
		电源 VCCBRAM	无差异
		无效通道	无差异
		ADC 校准	无差异
		无效通道	无差异
		辅助通道 0 至 15	无差异
	模拟输入功能	单端输入模式	无差异
		差分输入模式	无差异

CSD7A50T技术手册

9.2 性能对比

9.2.1 推荐工作电压

CSD7A50T 各供电电源与对标产品一致。

表51 CSD7A50T 与对标产品推荐工作电压差异对比

参数项	CSD7A50T	XX50T	差异说明
FPGA 逻辑			
V_{CCINT}	0.95V~1.05V	0.95V~1.05V	一致
V_{CCBRAM}	0.95V~1.05V	0.95V~1.05V	一致
V_{CCAUX}	1.71V~1.89V	1.71V~1.89V	一致
V_{CCO}	1.14V~3.465V	1.14V~3.465V	一致
V_{CCBATT}	1V~1.89V	1V~1.89V	一致
高速串行收发器			
$V_{MGTAVCC}$	0.97V~1.03V	0.97V~1.03V	一致
$V_{MGTAVTT}$	1.17V~1.23V	1.17V~1.23V	一致
片上 ADC 模块			
V_{CCADC}	1.71V~1.89V	1.71V~1.89V	一致
V_{REFP}	1.2V~1.3V	1.2V~1.3V	一致

9.2.2 推荐上电要求

CSD7A50T 上电各电源供电电流需求及推荐上电顺序与对标产品一致。

表52 CSD7A50T 上电需求最小电流

器件	$I_{CCINTMIN}$	$I_{CCAUXMIN}$	I_{CCOMIN}	$I_{CCBRAMMIN}$	单位
CSD7A50T	I_{CCINTQ} + 120	I_{CCAUXQ} + 40	I_{CCOQ} + 40 mA /IO Bank	$I_{CCBRAMQ}$ + 60	mA

表53 CSD7A50T 上电上升时间

标志符号	特性描述	条件	最小	最大	单位
t_{VCCINT}(1)	从 GND 到 90% V_{CCINT} 的爬升时间	--	0.2	50	ms
t_{VCCO}	从 GND 到 90% V_{CCO} 的爬升时间	--	0.2	50	ms
t_{VCCAUX}	从 GND 到 90% V_{CCAUX} 的爬升时间	--	0.2	50	ms
$t_{VCCBRAM}$	从 GND 到 90% V_{CCBRAM} 的爬升时间	--	0.2	50	ms
$t_{MGTAVCC}$(3)	从 GND 到 90% $V_{MGTAVCC}$ 的爬升时间	--	0.2	50	ms
$t_{MGTAVTT}$	从 GND 到 90% $V_{MGTAVTT}$ 的爬升时间	--	0.2	50	ms

注 1：推荐的上电电源顺序为 V_{CCINT}、V_{CCBRAM}、V_{CCAUX} 和 V_{CCO}，以实现最小的上电电流并确保 I/Os 在上电过程中状态为三态。推荐的掉电电源顺序与上电电源顺序相反。

注 2：为实现高速收发器 SERDES 最小的上电电流，推荐的上电电源顺序为 V_{CCINT}、$V_{MGTAVCC}$、$V_{MGTAVTT}$ 或 $V_{MGTAVCC}$、V_{CCINT}、$V_{MGTAVTT}$。推荐的掉电电源顺序与上电电源顺序相反。

注 3：如果 V_{CCINT} 和 V_{CCBRAM} 为相同的电压值它们可以被同一个电源驱动和同时上电；

注 4：如果 V_{CCAUX} 和 V_{CCO} 为相同的电压值它们可以被同一个电源驱动和同时上电。

CSD7A50T技术手册

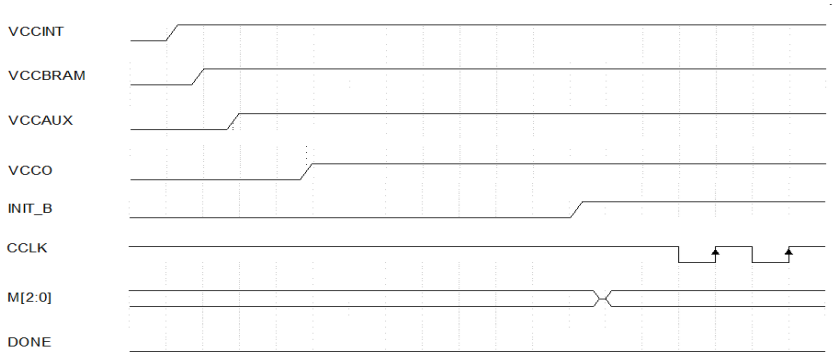


图20　CSD7A50T 推荐上电顺序

9.2.3　高速串行接口（SerDes）性能

9.2.3.1　TX 对比明细

CSD7A50T 产品与对标产品进行 TX 性能测试对比，测试条件线速率 6.25Gb/s

表54　TX 总抖动性能（环境温度 25℃）测试情况对比

QUAD	测试参数	XX50T 均值	CSD7A50T 均值	单位
QUAD216	6.25Gbps 总抖动	0.315	0.344	UI

表55　TX 总抖动性能（环境温度-55℃）测试情况对比

QUAD	测试参数	XX50T 均值	CSD7A50T 均值	单位
QUAD216	6.25Gbps 总抖动	0.334	0.362	UI

表56　TX 总抖动性能（环境温度 125℃）测试情况对比

QUAD	测试参数	XX50T 均值	CSD7A50T 均值	单位
QUAD216	6.25Gbps 总抖动	0.305	0.341	UI

9.2.3.2　RX 对比明细

测试条件线速率 6.25Gbps、抖动容限 500KHz～100MHz。

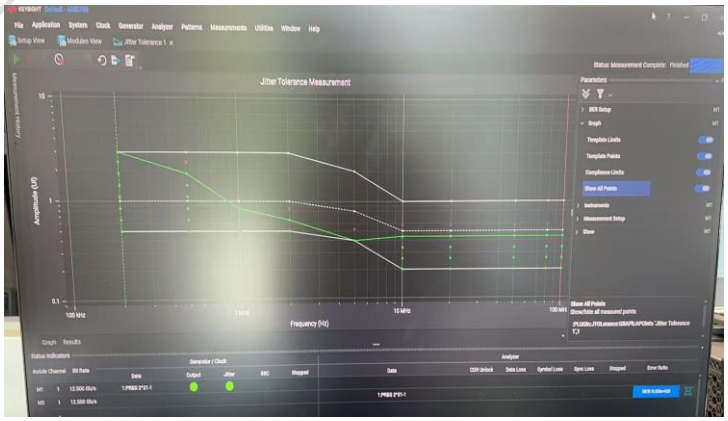


图21　CSD7A50T 抖动容限测试结果

9.2.3.3 驱动能力对比明细

表57 驱动能力测试情况对比

数据率	通道损耗性能指标	CSD7A50T 环境温度-55-110℃	XX50T 环境温度-55-110℃
6.25Gbps	通道损耗@DFE	≤26dB	≤26dB

9.2.3.4 SerDes 性能对比结论

1、实测 TX 总抖动≤0.34UI（全温区），相比于对标产品≤0.38UI（全温区）略好；

2、RX 抖动容限满足使用要求；

3、驱动能力与对标产品相当。

9.3 功耗对比

9.3.1 静态功耗

9.3.1.1 对比明细

静态功耗常温（环境温度 25℃）测试情况如表 58 所示。

表58 静态功耗常温（环境温度 25℃）测试情况对比

特性	测试参数	XX50T	CSD7A50T	单位	差异说明
		典型值	典型值		
V_{CCINT} 静态供电电流	I_{CCINTQ}	21.934	28.727	mA	高于
V_{CCO} 静态供电电流	I_{CCOQ}	2.145	2.015	mA	相当
V_{CCAUX} 静态供电电流	I_{CCAUXQ}	15.095	11.390	mA	低于
V_{CCBRAM} 静态供电电流	$I_{CCBRAMQ}$	1.026	2.158	mA	高于
$V_{MTGAVCC}$ 静态供电电流	$I_{MGTAVCCQ}$	6.231	1.135	mA	低于
$V_{MTGAVTT}$ 静态供电电流	$I_{MGTAVTTQ}$	21.934	28.727	mA	高于

静态功耗高温（环境温度 125℃）测试情况如表 59 所示。

表59 静态功耗高温（环境温度 125℃）测试情况对比

特性	测试参数	XX50T	CSD7A50T	单位	差异说明
		典型值	典型值		
V_{CCINT} 静态供电电流	I_{CCINTQ}	83.464	71.838	mA	低于
V_{CCO} 静态供电电流	I_{CCOQ}	2.263	1.816	mA	低于
V_{CCAUX} 静态供电电流	I_{CCAUXQ}	18.793	14.503	mA	低于
V_{CCBRAM} 静态供电电流	$I_{CCBRAMQ}$	10.791	4.959	mA	低于
$V_{MTGAVCC}$ 静态供电电流	$I_{MGTAVCCQ}$	18.114	2.866	mA	低于
$V_{MTGAVTT}$ 静态供电电流	$I_{MGTAVTTQ}$	83.464	71.838	mA	低于

CSD7A50T 技术手册

静态功耗低温（环境温度-55℃）测试情况如表 60 所示。

表60　静态功耗低温（环境温度-55℃）测试情况对比

特性	测试参数	XX50T	CSD7A50T	单位	差异说明
		典型值	典型值		
V_{CCINT} 静态供电电流	I_{CCINTQ}	17.942	22.058	mA	高于
V_{CCO} 静态供电电流	I_{CCOQ}	2.382	2.364	mA	相当
V_{CCAUX} 静态供电电流	I_{CCAUXQ}	16.912	12.201	mA	低于
V_{CCBRAM} 静态供电电流	$I_{CCBRAMQ}$	0.491	1.256	mA	相当
$V_{MTGAVCC}$ 静态供电电流	$I_{MGTAVCCQ}$	9.701	1.799	mA	低于
$V_{MTGAVTT}$ 静态供电电流	$I_{MGTAVTTQ}$	17.942	22.058	mA	高于

9.3.1.2　对比结论

从上述数据分析可以得出，CSD7A50T 产品的静态电流在高温极限下略低于 XX50T。

9.3.2　动态功耗

9.3.2.1　VCCINT 功耗对比明细

CSD7A50T 在典型高资源应用下的 VCCINT 功耗对比如表 61。

表61　典型高资源应用功耗对比

温度	XX50T（典型值）	CSD7A50T（典型值）	单位
-55℃	1.927	1.855	W
25℃	1.964	1.997	W
125℃	2.079	2.154	W

CSD7A50T 在不同频率下的 VCCINT 功耗对比如表 62。

表62　常温情况下典型高资源应用动态功耗对比

系统时钟频率	XX50T（典型值）	CSD7A50T（典型值）	单位
50MHz	0.414	0.425	W
100MHz	0.801	0.817	W
200MHz	1.529	1.555	W
250MHz	1.964	1.997	W

9.3.2.2　SerDes 应用功耗对比明细

选取2只CSD7A50T产品与对标产品进行动态功耗测试对比，测试条件为IBERT工程、使用QPLL、参考时钟125MHz、线速率6.25Gbps。

表63　动态功耗常温（环境温度 25℃）测试情况对比

特性	测试参数	XX50T	CSD7A50T		单位	差异说明
			#1	#2		
V_{CCINT} 动态电流	I_{CCINT}	0.22554	0.18495	0.19015	A	相当
V_{CCAUX} 动态电流	I_{CCAUX}	0.06029	0.06689	0.06783	A	相当
V_{CCBRAM} 动态电流	I_{CCBRAM}	0.00027	0.00039	0.00035	A	相当
$V_{MTGAVCC}$ 动态电流	$I_{MGTAVCC}$	0.50458	0.56580	0.58210	A	相当
$V_{MTGAVTT}$ 动态电流	$I_{MGTAVTT}$	0.21080	0.10128	0.10360	A	低于

表64　动态功耗常温（环境温度-55℃）测试情况对比

特性	测试参数	XX50T	CSD7A50T		单位	差异说明
			#1	#2		
V_{CCINT} 动态电流	I_{CCINT}	0.23768	0.16861	0.17588	A	低于
V_{CCAUX} 动态电流	I_{CCAUX}	0.06415	0.07061	0.07108	A	相当
V_{CCBRAM} 动态电流	I_{CCBRAM}	0.00017	0.00016	0.00019	A	相当
$V_{MTGAVCC}$ 动态电流	$I_{MGTAVCC}$	0.51952	0.54982	0.54282	A	高于
$V_{MTGAVTT}$ 动态电流	$I_{MGTAVTT}$	0.18438	0.10026	0.09739	A	低于

表65　动态功耗常温（环境温度 125℃）测试情况对比

特性	测试参数	XX50T	CSD7A50T		单位	差异说明
			#1	#2		
V_{CCINT} 动态电流	I_{CCINT}	0.29493	0.24578	0.27164	A	低于
V_{CCAUX} 动态电流	I_{CCAUX}	0.06292	0.06870	0.06860	A	高于
V_{CCBRAM} 动态电流	I_{CCBRAM}	0.00205	0.00176	0.00181	A	低于
$V_{MTGAVCC}$ 动态电流	$I_{MGTAVCC}$	0.51539	0.57407	0.57198	A	高于
$V_{MTGAVTT}$ 动态电流	$I_{MGTAVTT}$	0.18507	0.10289	0.10060	A	低于

9.3.2.3　对比结论

CSD7A50T在高温（125℃）情况下，VCCINT电源的动态功耗与对标产品基本相当。在SerDes应用方面，VMTGAVTT电源的动态电流低于对标产品40%左右，VMTGAVCC电源的动态电流高于对标产品10%左右。

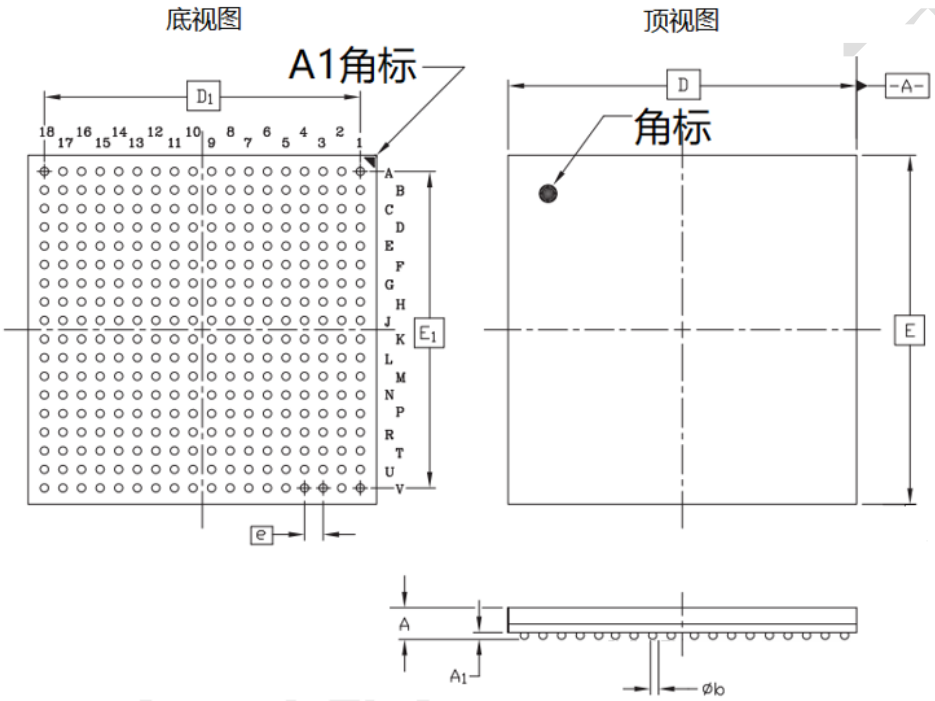
主要原因为CSD7A50T采用正向设计技术路线，所以电源的动态功耗差异较大，请用户在产品应用设计时务必考虑其差异性。

9.4 物理信息对比

9.4.1 封装尺寸

9.4.1.1 CS324 封装尺寸

CSD7A50T-1CS324I产品为PBGA324封装，外形及引脚排列图如图22所示。pin to pin原位替代对标产品CSG324封装，外形尺寸仅高度（A）比对标器件低0.07mm左右，其余参数基本一致。



单位为毫米

尺寸符号	CSD7A50T			XX50T		
	最小	公称	最大	最小	公称	最大
A	—	—	1.43	—	—	1.50
A1	0.30	—	0.40	0.25	—	0.40
D	14.8	15.0	15.2	—	15.00	—
E	14.8	15.0	15.2	—	15.00	—
D1	—	13.6	—	—	13.60	—
E1	—	13.6	—	—	13.60	—
b	0.40	—	0.50	0.40	—	0.50
e	—	0.8	—	—	0.80	—

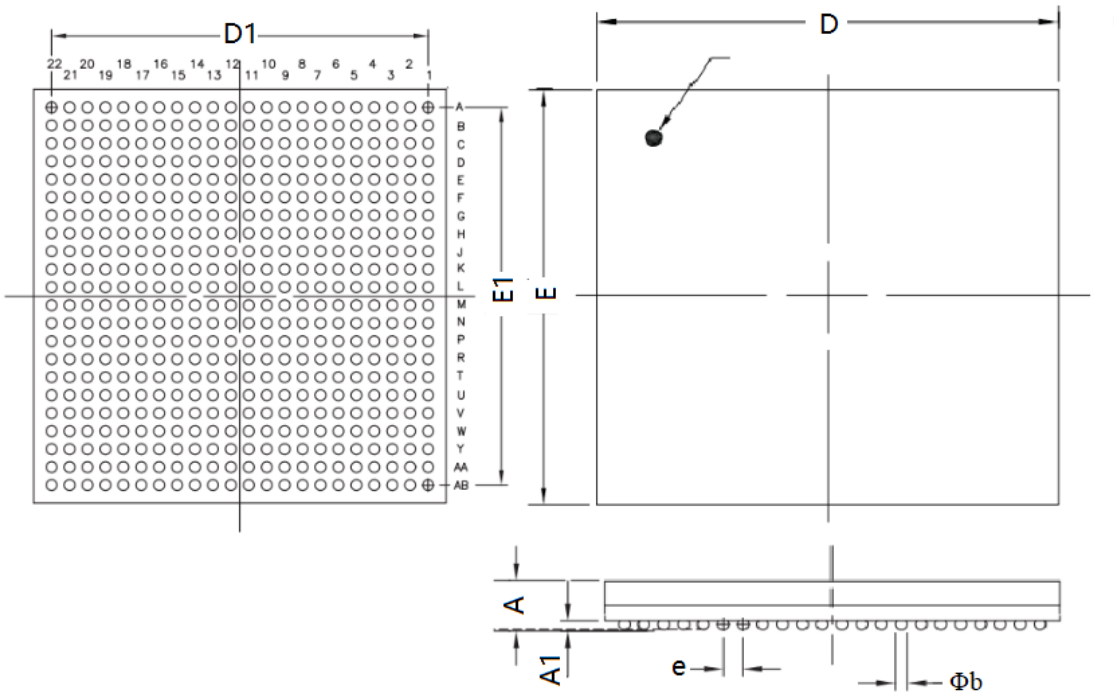
图22 PBGA324 封装外形图

9.4.1.2 CS325 封装尺寸

CSD7A50T-1CS325I产品为PBGA324封装，外形及引脚排列图如图22所示。pin to pin原位替代对标产品CSG325封装，外形尺寸仅高度（A）比对标器件低0.07mm左右，其余参数基本一致。

9.4.1.3 FG484 封装尺寸

CSD7A50T-1FG484I产品为PBGA484封装，外形及引脚排列图如图23所示。pin to pin原位替代对标产品FGG484封装，外形尺寸仅高度（A）比对标器件低0.80mm左右，其余参数基本一致。



单位为毫米

尺寸符号	CSD7A50T			XX50T		
	最小	公称	最大	最小	公称	最大
A	—	—	1.58	—	—	2.60
A1	0.40	—	0.60	0.40	—	0.60
D	22.80	—	23.20	—	23	—
E	22.80	—	23.20	—	23	—
D1	—	21.00	—	—	21.00	—
E1	—	21.00	—	—	21.00	—
b	0.50	—	0.70	0.50	—	0.70
e	—	1.00	—	—	1.00	—

图23 CSD7A50T-FG484I 封装外形图

9.4.2 重量对比

表66 CSD7A50T 与对标产品器件重量对比

封装形式	CSD7A50T	XX50T	差异说明
CS324	(0.65±0.3)g	0.67g（典型值）	相当
CS325	(0.55±0.3)g	0.67g（典型值）	轻 0.12g
FG484	(1.76±0.3)g	2.30g（典型值）	轻 0.54g

9.4.3 热阻对比

表67 CSD7A50T 与对标产品热阻对比

封装形式	热阻（℃/W）	CSD7A50T	XX50T	差异说明
CS324	θ_{JA}	19.857	19.6	相当
	θ_{JB}	10.517095	6.9	高于
	θ_{JC}	4.796	4.03	略高
CS325	θ_{JA}	19.786	19.6	相当
	θ_{JB}	10.22209	6.9	高于
	θ_{JC}	5.18274	4.03	高于
FG484	θ_{JA}	17.4634	18.1	低于
	θ_{JB}	10.617655	9.1	略高
	θ_{JC}	7.29256	5.42	高于

9.5 可靠性对比

表68 CSD7A50T 与对标产品可靠性对比

可靠性项	条件	CSD7A50T	XX50T	差异说明
ESD	HBM	1000V	1000V	一致
Latch-up	电流注入	±100mA	±100mA	一致

10 包装、贮存和运输要求

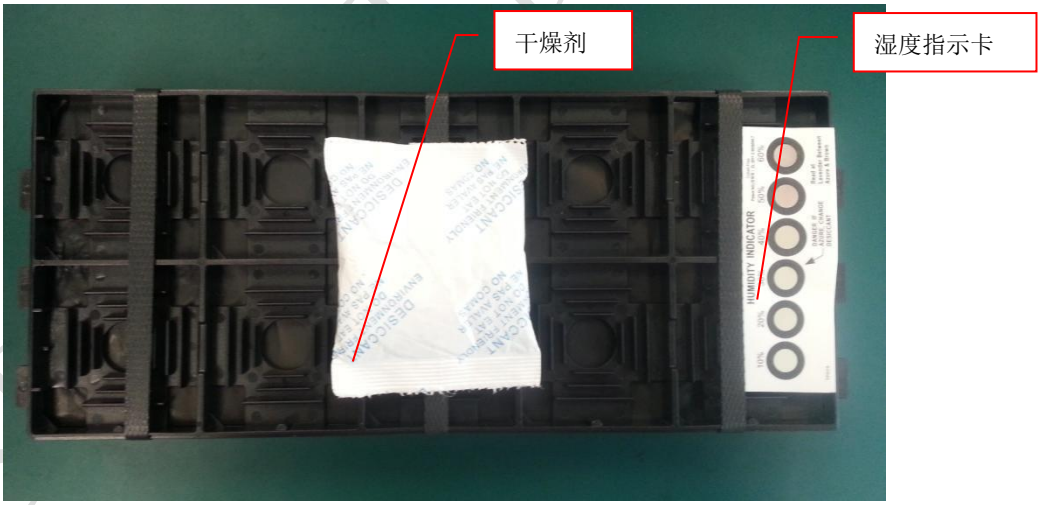
10.1 包装

器件使用托盘（N+1 托盘）进行包装 SPQ 见订货信息，需要注意产品和托盘 pin1 位置标志。托盘与托盘间防静电薄膜保护。





a) 器件托盘采用（N+1 托盘）的形式，托盘使用扎带包装完成后，放入湿度指示卡和干燥剂。



b) 托盘连同干燥剂和湿度指示卡放入防静电袋，抽真空包装。在真空防静电袋袋上贴上湿度敏感警示等标签，并写上对应包装日期。





c) 放入器件前，纸箱的上下左右均应用防静电泡沫保护。



10.2 贮存

a) 客户收到产品后需对包装进行检验，确认包装密封完好，不存在孔洞、裂口等任何可能暴露袋内器件的异常现象。若发生包装防静电袋漏气情况，应对器件进行烘干处理，之后再次进行密封包装贮存。

b) 在干燥密封包装条件下，可贮存在常温常湿的环境中，在存贮环境为＜40℃/90% RH 状态下，储存有效期为 12 个月，储存时间 12 个月均从包装之日算起。如果出现储存时间超期，则需进行烘干处理。

c) 防静电袋打开以后，必须在规定的客户端车间寿命内进行回流焊接，返工，如果不使用需重新用 防静电袋干燥密封包装或放入干燥箱内（环境＜40℃/5% RH），如果客户端车间寿命或环境超出规定，则需进行烘干处理。

d) 烘干处理，通常在 125℃条件下，烘烤 48 小时。若出现密封包装破损或湿度指示卡 60%变色情况，则需延长烘烤时间，在 125℃条件下，大于 48 小时，但最长不要超过 96 小时。烘烤后需在 12 小时内进行电装或防静电袋密封包装或放入干燥箱内（环境＜40℃/5% RH）。

e) 请特别注意，器件进行烘烤时不能直接放入 125℃的烘箱中，必须从室温缓慢升温至 125℃，升温时间大于半小时，最大升温速率不能大于 4℃/min。

10.3 运输

在避免雨、雪直接影响的条件下，装有产品的包装箱可采用水陆空运输方式。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。

11 使用注意事项

该器件操作注意事项如下：

a) 器件应在防静电的工作台上操作；

b) 试验设备和器具应接地；

c) 不能触摸器件引线；

d) 器件应存放在导电材料制成的容器中；

e) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物。

12 订货信息

表69 产品订货信息

序号	产品型号	封装形式	封装材料	质量保证等级	SPQ	焊球材料	重量（g）
1	CSD7A50T-1CS325I	PBGA324	塑料	工业级	119	Sn96.5/Ag3.0/Cu0.5	0.55±0.3（带焊球）
2	CSD7A50T-1CS324I	PBGA324	塑料	工业级	119	Sn96.5/Ag3.0/Cu0.5	0.65±0.3（带焊球）
3	CSD7A50T-1FG484I	PBGA484	塑料	工业级	60	Sn96.5/Ag3.0/Cu0.5	1.76±0.3（带焊球）

注1：商用工业级器件使用温度范围应为-40℃～+100℃。

注2：产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。

CSD7A50T技术手册