成都华微电子科技股份有限公司
CHENGDU SINO MICROELECTRONICS TECHNOLOGY CO., LTD

CSD7Z020 型 SOPC

（全可编程片上系统芯片）

技术手册

V1.0.0

CSD7Z020技术手册

成都华微电子科技股份有限公司

2026 年 7 月 27 日

版本历史

版次	更改说明	更改人	更改日期	备注
V1.0.0	初始版本	邢亚楠	20260727	

CSD7Z020技术手册

目　次

1 概述 1
2 产品特点 2
3 功能框图 3
4 封装信息 5
5 绝对最大额定值及推荐工作范围 23
6 电特性参数 27
7 功能描述 35
8 应用建议 52
9 差异对比 63
10 包装、贮存和运输要求 73
11 使用注意事项 75
12 订货信息 76

CSD7Z020技术手册

1 概述

全可编程片上系统芯片—CSD7Z020 是成都华微基于 28nm 工艺平台打造的、面向全可编程市场需求的片上系统（SOPC）芯片。

全可编程片上系统芯片的特性，非常适用于同时需要下述两种典型的应用场景：

——高速、并行、确定性计算；

——连续、动态、非确定性计算；

主要应用于需要从图像中提取数据的软件算法，并进行大量像素点处理的图像视频处理系统，包括高级驾驶辅助系统（ADAS）、有线和无线通信、防务和航空航天、医疗内窥设备、人工智能等领域。

该产品实现了将处理器系统（PS）的软件可编程性与可编程逻辑（PL）硬件可编程完美结合，具有优秀的软硬件协同能力。CSD7Z020 搭载时钟频率高达 800MHz 的双核处理器，能够在单处理器、对称双处理器和非对称双处理器模式下运行。

表 1　CSD7Z020 产品资源信息

资源项		**CSD7Z020**	
		CLG484 封装	**PBGA400 封装**
PS	处理器核	双核硬件处理器	
	处理器扩展	每个处理器包含单精度/双精度浮点单元	
	最高频率	800MHz	
	L1 高速缓存	每个处理器都有各自的 32KB 指令高速缓存和 32KB 数据高速缓存	
	L2 高速缓存	512KB	
	片上存储器	256KB	
	支持外部存储器	DDR3、DDR3L、DDR2	
	支持外部静态存储器	2 个 QSPI、NAND、NOR	
	DMA 通道	8 个	
	外设	UART、CAN、I^2C、SPI、GPIO	
	内建 DMA 外设	USB、三速以太网、SD/SDIO	
	PS 到 PL 接口	AXI 接口	
PL	逻辑单元	85K	
	查找表	53200	
	触发器	106400	
	BRAM	4.9Mbits	
	DSP	220 个	
	宽范围用户 IO 数量	200	125

CSD7Z020技术手册

2 产品特点

CSD7Z020 由处理器系统和可编程逻辑两部分组成。

处理器系统有如下特性：

1) 双核应用处理器
2) 每个 CPU 2.5 DMIPS/MHz
3) 频率高达 800MHz
4) 计时器和中断控制器
5) 单双精度向量浮点运算单元（VFPU）
6) 缓冲存储器
7) 32 KB 一级 4 路组关联指令和数据缓存（每个 CPU 独立）
8) 512 KB 8 路组关联二级缓存（在 CPU 之间共享）
9) 支持字节奇偶校验
10) 片上存储器
11) 片上启动 ROM
12) 256KB 片上 RAM（OCM）
13) 支持字节奇偶校验
14) 外部存储器接口
15) 支持 16 位、32 位 DDR3、DDR3L 内存
16) 支持 16 位 ECC 模式
17) 多协议动态内存控制器
18) 8 通道 DMA 控制器
19) 支持内存到内存、内存到外设、外设到内存以及发散-聚合模式
20) I/O 外设、接口
21) 128 个 I/O
22) 支持双 10/100/1000 三速以太网 MAC 外设
23) 支持双 12 位的模数转换器（XADC），转换速率可以达到 1MSPS
24) 支持双 CAN 2.0B 标准的 CAN 总线接口
25) 支持双 SD/SDIO 2.0/MMC3.31 控制器
26) 支持双附有三个外设片选的全双工 SPI 端口
27) 支持双高速 UART，最高可达 1Mb/s
28) 支持双主从 I2C 接口
29) 具备 54 位多路复用 I/O，并可通过 PL 端扩展 I/O 数量
30) 互联架构

CSD7Z020技术手册

31) PS 内以及 PS 和 PL 之间可高带宽互连

32) 基于 AMBA AXI 协议互连

33) 支持 QoS，用于延迟及带宽控制

可编程逻辑有如下特性：

1) 可编程逻辑单元：87000

2) 查找表（LUT）：53200

3) Flip-Flops：106400

4) Block RAM（36Kb）：4.9Mb（140 个块）

5) DSP Slices：220

6) SelectIO：200 个宽范围 I/O（CLG484 封装）

7) 工作温度（结温）：-40℃～100℃

3 功能框图

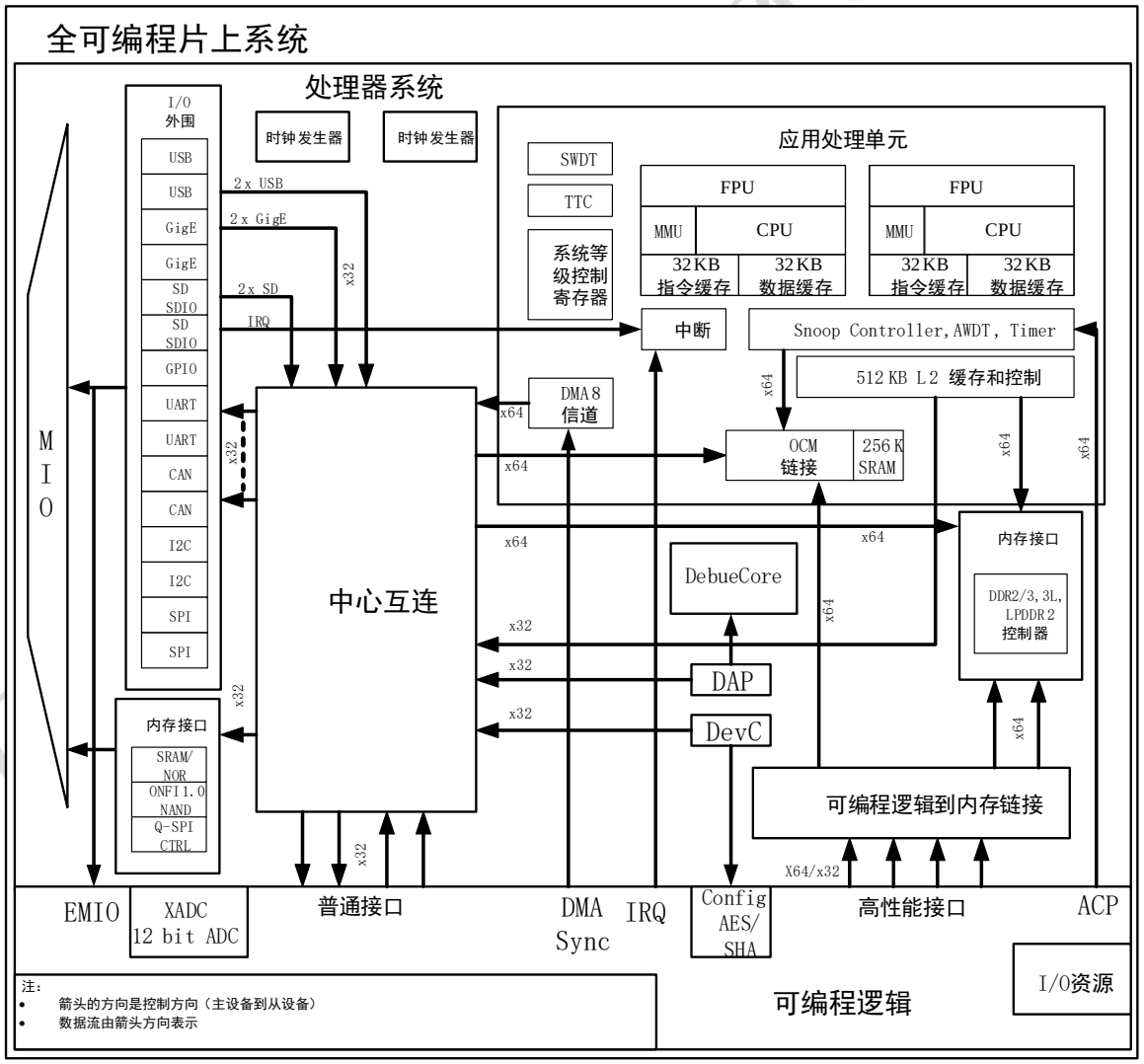


图 1 CSD7Z020 架构框图

CSD7Z020典型应用场景如图2所示。

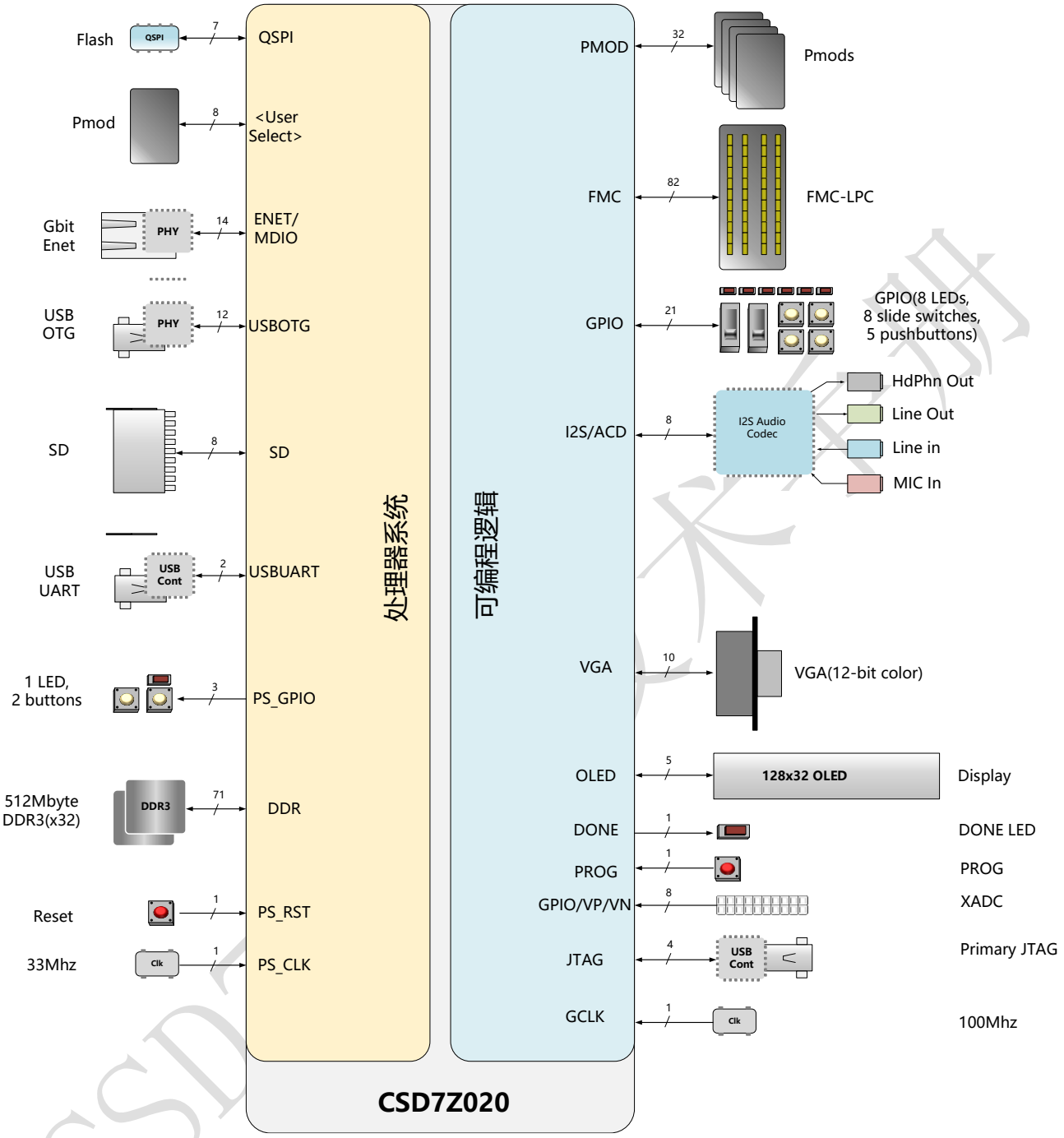


图 2　CSD7Z020 典型应用图

4 封装信息

4.1 PBGA484 封装

4.1.1 封装信息

CSD7Z020CLG484 产品采用 PBGA484 封装形式，产品外形尺寸如下图 3 所示。

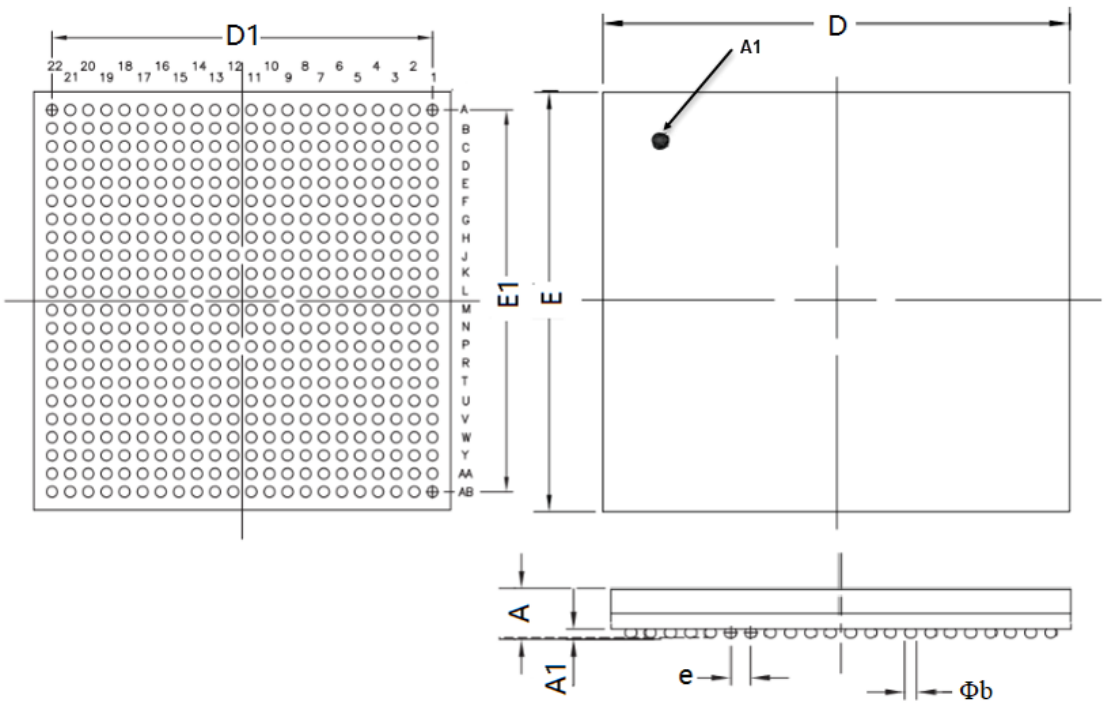


图 3 CSD7Z020CLG484 封装外形图

表 2 CSD7Z020CLG484 封装尺寸表

单位为毫米

尺寸符号	数值		
	最小	公称	最大
A	1.300	1.450	1.600
A1	0.300	0.350	0.400
D	18.900	19.00	19.100
E	18.900	19.00	19.100
D1	——	16.800	——
E1	——	16.800	——
e	——	0.800	——
Φb	0.400	0.450	0.500

CSD7Z020CLG484 引脚描述如表 3 所示。

表 3　CSD7Z020CLG484 引脚描述

管脚	管脚名	管脚	管脚名	管脚	管脚名
T12	DONE_0	T16	IO_L21P_T3_DQS_34	P5	PS_DDR_ODT_502
N11	DXP_0	T17	IO_L21N_T3_DQS_34	P6	PS_DDR_CS_B_502
K12	GNDADC_0	R19	IO_L22P_T3_34	V3	PS_DDR_CKE_502
K11	VCCADC_0	T19	IO_L22N_T3_34	R4	PS_DDR_WE_B_502
M11	VREFP_0	R18	IO_L23P_T3_34	P3	PS_DDR_CAS_B_502
M12	VN_0	T18	IO_L23N_T3_34	R5	PS_DDR_RAS_B_502
G9	VCCBATT_0	P16	IO_L24P_T3_34	M1	PS_DDR_DQ16_502
G11	TCK_0	R16	IO_L24N_T3_34	T3	PS_DDR_DQ17_502
N12	DXN_0	R15	IO_25_34	N3	PS_DDR_DQ18_502
L12	VREFN_0	H17	IO_0_35	T1	PS_DDR_DQ19_502
L11	VP_0	F16	IO_L1P_T0_AD0P_35	P1	PS_DDR_DM2_502
G10	RSVDGND	E16	IO_L1N_T0_AD0N_35	N2	PS_DDR_DQS_P2_502
T10	RSVDVCC3	D16	IO_L2P_T0_AD8P_35	P2	PS_DDR_DQS_N2_502
T8	RSVDVCC2	D17	IO_L2N_T0_AD8N_35	R3	PS_DDR_DQ20_502
T14	INIT_B_0	E15	IO_L3P_T0_DQS_AD1P_35	T2	PS_DDR_DQ21_502
H13	TDI_0	D15	IO_L3N_T0_DQS_AD1N_35	M2	PS_DDR_DQ22_502
G14	TDO_0	G15	IO_L4P_T0_35	R1	PS_DDR_DQ23_502
T7	RSVDVCC1	G16	IO_L4N_T0_35	AA3	PS_DDR_DQ24_502
T13	CFGBVS_0	F18	IO_L5P_T0_AD9P_35	U1	PS_DDR_DQ25_502
T11	PROGRAM_B_0	E18	IO_L5N_T0_AD9N_35	AA1	PS_DDR_DQ26_502
G12	TMS_0	G17	IO_L6P_T0_35	U2	PS_DDR_DQ27_502
R7	IO_0_13	F17	IO_L6N_T0_VREF_35	AA2	PS_DDR_DM3_502
V10	IO_L1P_T0_13	C15	IO_L7P_T1_AD2P_35	V2	PS_DDR_DQS_P3_502
V9	IO_L1N_T0_13	B15	IO_L7N_T1_AD2N_35	W2	PS_DDR_DQS_N3_502
V8	IO_L2P_T0_13	B16	IO_L8P_T1_AD10P_35	W1	PS_DDR_DQ28_502
W8	IO_L2N_T0_13	B17	IO_L8N_T1_AD10N_35	Y3	PS_DDR_DQ29_502
W11	IO_L3P_T0_DQS_13	A16	IO_L9P_T1_DQS_AD3P_35	W3	PS_DDR_DQ30_502
W10	IO_L3N_T0_DQS_13	A17	IO_L9N_T1_DQS_AD3N_35	Y1	PS_DDR_DQ31_502
V12	IO_L4P_T0_13	A18	IO_L10P_T1_AD11P_35	A5	GND
W12	IO_L4N_T0_13	A19	IO_L10N_T1_AD11N_35	A15	GND
U12	IO_L5P_T0_13	C17	IO_L11P_T1_SRCC_35	AA5	GND
U11	IO_L5N_T0_13	C18	IO_L11N_T1_SRCC_35	AA15	GND
U10	IO_L6P_T0_13	D18	IO_L12P_T1_MRCC_35	AB8	GND
U9	IO_L6N_T0_VREF_13	C19	IO_L12N_T1_MRCC_35	AB18	GND
AA12	IO_L7P_T1_13	B19	IO_L13P_T2_MRCC_35	B8	GND
AB12	IO_L7N_T1_13	B20	IO_L13N_T2_MRCC_35	B18	GND
AA11	IO_L8P_T1_13	D20	IO_L14P_T2_AD4P_SRCC_35	C1	GND
AB11	IO_L8N_T1_13	C20	IO_L14N_T2_AD4N_SRCC_35	C11	GND
AB10	IO_L9P_T1_DQS_13	A21	IO_L15P_T2_DQS_AD12P_35	C21	GND
AB9	IO_L9N_T1_DQS_13	A22	IO_L15N_T2_DQS_AD12N_35	D4	GND
Y11	IO_L10P_T1_13	D22	IO_L16P_T2_35	D14	GND
Y10	IO_L10N_T1_13	C22	IO_L16N_T2_35	E7	GND
AA9	IO_L11P_T1_SRCC_13	E21	IO_L17P_T2_AD5P_35	E17	GND
AA8	IO_L11N_T1_SRCC_13	D21	IO_L17N_T2_AD5N_35	F10	GND

CSD7Z020核心开发板

管脚	管脚名	管脚	管脚名	管脚	管脚名
Y9	IO_L12P_T1_MRCC_13	B21	IO_L18P_T2_AD13P_35	F20	GND
Y8	IO_L12N_T1_MRCC_13	B22	IO_L18N_T2_AD13N_35	G3	GND
Y6	IO_L13P_T2_MRCC_13	H19	IO_L19P_T3_35	H6	GND
Y5	IO_L13N_T2_MRCC_13	H20	IO_L19N_T3_VREF_35	H8	GND
AA7	IO_L14P_T2_SRCC_13	G19	IO_L20P_T3_AD6P_35	H12	GND
AA6	IO_L14N_T2_SRCC_13	F19	IO_L20N_T3_AD6N_35	H14	GND
AB2	IO_L15P_T2_DQS_13	E19	IO_L21P_T3_DQS_AD14P_35	H16	GND
AB1	IO_L15N_T2_DQS_13	E20	IO_L21N_T3_DQS_AD14N_35	J9	GND
AB5	IO_L16P_T2_13	G20	IO_L22P_T3_AD7P_35	J11	GND
AB4	IO_L16N_T2_13	G21	IO_L22N_T3_AD7N_35	J13	GND
AB7	IO_L17P_T2_13	F21	IO_L23P_T3_35	J19	GND
AB6	IO_L17N_T2_13	F22	IO_L23N_T3_35	K2	GND
Y4	IO_L18P_T2_13	H22	IO_L24P_T3_AD15P_35	K8	GND
AA4	IO_L18N_T2_13	G22	IO_L24N_T3_AD15N_35	K10	GND
R6	IO_L19P_T3_13	H18	IO_25_35	K14	GND
T6	IO_L19N_T3_VREF_13	F7	PS_CLK_500	K22	GND
T4	IO_L20P_T3_13	F8	PS_MIO_VREF_501	L5	GND
U4	IO_L20N_T3_13	B5	PS_POR_B_500	L9	GND
V5	IO_L21P_T3_DQS_13	E6	PS_MIO15_500	L13	GND
V4	IO_L21N_T3_DQS_13	E9	PS_MIO17_501	L15	GND
U6	IO_L22P_T3_13	E10	PS_MIO19_501	M8	GND
U5	IO_L22N_T3_13	F11	PS_MIO21_501	M10	GND
V7	IO_L23P_T3_13	E11	PS_MIO23_501	M14	GND
W7	IO_L23N_T3_13	F12	PS_MIO25_501	M18	GND
W6	IO_L24P_T3_13	D7	PS_MIO27_501	N1	GND
W5	IO_L24N_T3_13	E8	PS_MIO29_501	N9	GND
U7	IO_25_13	F9	PS_MIO31_501	N13	GND
U19	IO_0_33	G13	PS_MIO33_501	N21	GND
T21	IO_L1P_T0_33	F14	PS_MIO35_501	P4	GND
U21	IO_L1N_T0_33	F13	PS_MIO38_501	P8	GND
T22	IO_L2P_T0_33	E14	PS_MIO40_501	P10	GND
U22	IO_L2N_T0_33	D8	PS_MIO42_501	P12	GND
V22	IO_L3P_T0_DQS_33	E13	PS_MIO44_501	P14	GND
W22	IO_L3N_T0_DQS_33	D12	PS_MIO46_501	R9	GND
W20	IO_L4P_T0_33	D11	PS_MIO48_501	R11	GND
W21	IO_L4N_T0_33	D13	PS_MIO50_501	R13	GND
U20	IO_L5P_T0_33	D10	PS_MIO52_501	R17	GND
V20	IO_L5N_T0_33	C9	PS_SRST_B_501	T20	GND
V18	IO_L6P_T0_33	B6	PS_MIO14_500	U3	GND
V19	IO_L6N_T0_VREF_33	D6	PS_MIO16_501	U13	GND
AA22	IO_L7P_T1_33	A7	PS_MIO18_501	V6	GND
AB22	IO_L7N_T1_33	A8	PS_MIO20_501	V16	GND
AA21	IO_L8P_T1_33	A14	PS_MIO22_501	W9	GND
AB21	IO_L8N_T1_33	B7	PS_MIO24_501	W19	GND
Y20	IO_L9P_T1_DQS_33	A13	PS_MIO26_501	Y2	GND
Y21	IO_L9N_T1_DQS_33	A12	PS_MIO28_501	Y12	GND
AB19	IO_L10P_T1_33	A11	PS_MIO30_501	Y22	GND
AB20	IO_L10N_T1_33	C7	PS_MIO32_501	J12	VCCINT

CSD7Z020技术手册

管脚	管脚名	管脚	管脚名	管脚	管脚名
Y19	IO_L11P_T1_SRCC_33	B12	PS_MIO34_501	J14	VCCINT
AA19	IO_L11N_T1_SRCC_33	A9	PS_MIO36_501	K13	VCCINT
Y18	IO_L12P_T1_MRCC_33	B14	PS_MIO37_501	L14	VCCINT
AA18	IO_L12N_T1_MRCC_33	C13	PS_MIO39_501	M13	VCCINT
W17	IO_L13P_T2_MRCC_33	C8	PS_MIO41_501	N14	VCCINT
W18	IO_L13N_T2_MRCC_33	B11	PS_MIO43_501	P13	VCCINT
W16	IO_L14P_T2_SRCC_33	B9	PS_MIO45_501	R14	VCCINT
Y16	IO_L14N_T2_SRCC_33	B10	PS_MIO47_501	L10	VCCAUX
U15	IO_L15P_T2_DQS_33	C14	PS_MIO49_501	N10	VCCAUX
U16	IO_L15N_T2_DQS_33	C10	PS_MIO51_501	P11	VCCAUX
U17	IO_L16P_T2_33	C12	PS_MIO53_501	R10	VCCAUX
V17	IO_L16N_T2_33	A6	PS_MIO13_500	R12	VCCO_0
AA17	IO_L17P_T2_33	C5	PS_MIO12_500	AA10	VCCO_13
AB17	IO_L17N_T2_33	B4	PS_MIO11_500	AB3	VCCO_13
AA16	IO_L18P_T2_33	G7	PS_MIO10_500	T5	VCCO_13
AB16	IO_L18N_T2_33	C4	PS_MIO9_500	U8	VCCO_13
V14	IO_L19P_T3_33	E5	PS_MIO8_500	V11	VCCO_13
V15	IO_L19N_T3_VREF_33	D5	PS_MIO7_500	W4	VCCO_13
V13	IO_L20P_T3_33	A4	PS_MIO6_500	Y7	VCCO_13
W13	IO_L20N_T3_33	A3	PS_MIO5_500	AA20	VCCO_33
W15	IO_L21P_T3_DQS_33	E4	PS_MIO4_500	AB13	VCCO_33
Y15	IO_L21N_T3_DQS_33	F6	PS_MIO3_500	U18	VCCO_33
Y14	IO_L22P_T3_33	A2	PS_MIO2_500	V21	VCCO_33
AA14	IO_L22N_T3_33	A1	PS_MIO1_500	W14	VCCO_33
Y13	IO_L23P_T3_33	G6	PS_MIO0_500	Y17	VCCO_33
AA13	IO_L23N_T3_33	F3	PS_DDR_DRST_B_502	K17	VCCO_34
AB14	IO_L24P_T3_33	D1	PS_DDR_DQ0_502	L20	VCCO_34
AB15	IO_L24N_T3_33	C3	PS_DDR_DQ1_502	N16	VCCO_34
U14	IO_25_33	B2	PS_DDR_DQ2_502	P19	VCCO_34
H15	IO_0_34	D3	PS_DDR_DQ3_502	R22	VCCO_34
J15	IO_L1P_T0_34	B1	PS_DDR_DM0_502	T15	VCCO_34
K15	IO_L1N_T0_34	C2	PS_DDR_DQS_P0_502	A20	VCCO_35
J16	IO_L2P_T0_34	D2	PS_DDR_DQS_N0_502	C16	VCCO_35
J17	IO_L2N_T0_34	E3	PS_DDR_DQ4_502	D19	VCCO_35
K16	IO_L3P_T0_DQS_PUDC	E1	PS_DDR_DQ5_502	E22	VCCO_35
L16	IO_L3N_T0_DQS_34	F2	PS_DDR_DQ6_502	F15	VCCO_35
L17	IO_L4P_T0_34	F1	PS_DDR_DQ7_502	G18	VCCO_35
M17	IO_L4N_T0_34	G2	PS_DDR_DQ8_502	H21	VCCO_35
N17	IO_L5P_T0_34	G1	PS_DDR_DQ9_502	H11	VCCBRAM
N18	IO_L5N_T0_34	L1	PS_DDR_DQ10_502	J10	VCCBRAM
M15	IO_L6P_T0_34	L2	PS_DDR_DQ11_502	E2	VCCO_DDR_502
M16	IO_L6N_T0_VREF_34	H3	PS_DDR_DM1_502	F5	VCCO_DDR_502
J18	IO_L7P_T1_34	H2	PS_DDR_DQS_P1_502	H1	VCCO_DDR_502
K18	IO_L7N_T1_34	J2	PS_DDR_DQS_N1_502	J4	VCCO_DDR_502
J21	IO_L8P_T1_34	L3	PS_DDR_DQ12_502	K7	VCCO_DDR_502
J22	IO_L8N_T1_34	K1	PS_DDR_DQ13_502	M3	VCCO_DDR_502
J20	IO_L9P_T1_DQS_34	J1	PS_DDR_DQ14_502	N6	VCCO_DDR_502
K21	IO_L9N_T1_DQS_34	K3	PS_DDR_DQ15_502	R2	VCCO_DDR_502

CSD7Z020技术手册

管脚	管脚名	管脚	管脚名	管脚	管脚名
L21	IO_L10P_T1_34	G4	PS_DDR_A14_502	V1	VCCO_DDR_502
L22	IO_L10N_T1_34	F4	PS_DDR_A13_502	H10	VCCPLL
K19	IO_L11P_T1_SRCC_34	H4	PS_DDR_A12_502	K9	VCCPAUX
K20	IO_L11N_T1_SRCC_34	G5	PS_DDR_A11_502	M9	VCCPAUX
L18	IO_L12P_T1_MRCC_34	J3	PS_DDR_A10_502	P9	VCCPAUX
L19	IO_L12N_T1_MRCC_34	H5	PS_DDR_A9_502	T9	VCCPAUX
M19	IO_L13P_T2_MRCC_34	J5	PS_DDR_A8_502	G8	VCCPINT
M20	IO_L13N_T2_MRCC_34	J6	PS_DDR_A7_502	H9	VCCPINT
N19	IO_L14P_T2_SRCC_34	J7	PS_DDR_A6_502	J8	VCCPINT
N20	IO_L14N_T2_SRCC_34	K5	PS_DDR_A5_502	L8	VCCPINT
M21	IO_L15P_T2_DQS_34	K6	PS_DDR_A4_502	N8	VCCPINT
M22	IO_L15N_T2_DQS_34	L4	PS_DDR_A3_502	R8	VCCPINT
N22	IO_L16P_T2_34	M7	PS_DDR_VRN_502	B3	VCCO_MIO0_500
P22	IO_L16N_T2_34	N7	PS_DDR_VRP_502	C6	VCCO_MIO0_500
R20	IO_L17P_T2_34	N4	PS_DDR_CKP_502	A10	VCCO_MIO1_501
R21	IO_L17N_T2_34	N5	PS_DDR_CKN_502	B13	VCCO_MIO1_501
P20	IO_L18P_T2_34	K4	PS_DDR_A2_502	D9	VCCO_MIO1_501
P21	IO_L18N_T2_34	M5	PS_DDR_A1_502	E12	VCCO_MIO1_501
N15	IO_L19P_T3_34	M4	PS_DDR_A0_502	H7	PS_DDR_VREF0_502
P15	IO_L19N_T3_VREF_34	M6	PS_DDR_BA2_502	P7	PS_DDR_VREF1_502
P17	IO_L20P_T3_34	L6	PS_DDR_BA1_502		
P18	IO_L20N_T3_34	L7	PS_DDR_BA0_502		

4.1.2 引出端功能定义

引出端接口信号功能说明如表4所示。

表 4 引出端功能说明

子系统	引脚类型	引脚名	类型	方向	描述
PS 侧端口	功能引脚	PS_CLK	专用引脚	输入	系统参考时钟。PS_CLK 必须介于 30 MHz 和 60 MHz 之间。
		PS_POR_B	专用引脚	输入	上电复位。在上电过程中，必须将 PS_POR_B 置为 GND，直到 VCCPINT、VCCPAUX 和 VCCO_MIO0 达到最低工作电平，且 PS_CLK 参考电压在规格范围内。当 PS_POR_B 置为 GND 后，PS 开始启动 BOOT 过程。在 VCCPINT 电压达到 0.80V 之前，在掉电阶段至少需要满足以下四个条件之一： PS_POR_B 被置为 GND； PS_CLK 输入的参考时钟被禁用； VCCPAUX 低于 0.70V； VCCO_MIO0 低于 0.90V；
		PS_SRST_B	专用引脚	输入	系统异步复位逻辑。（低有效）
		PS_MIO#	复用引脚	输入/	可作为外设的复用 IO 使用

CSD7Z020技术手册

子系统	引脚类型	引脚名	类型	方向	描述
				输出	
		PS_DDR#	专用引脚	输入/输出	作为外部 DDR memory 控制专用引脚控制
	电源/地引脚	VCCPINT	专用引脚	N/A	PS 1.0V 逻辑电源供电，独立于 PL 的 VCCINT 电源。
		VCCPAUX	专用引脚	N/A	PS 1.8V 辅助电源。独立于 PL VCCAUX 电源。
		VCCPLL	专用引脚	N/A	PS PLL 1.8V 电源。必须在 VCCPLL BGA 过孔附近放置一个 0.47μF 至 4.7μF 的 0402 封装电容。此外，当使用 VCCPAUX 供电时，VCCPLL 必须通过一个 120Ω、100MHz（0603 封装）的铁氧体磁珠和一个 10μF（0603 封装）的去耦电容进行滤波，以最大程度地减少 PLL 抖动。
		VCCO_MIO#	专用引脚	N/A	MIO bank 的 1.8V-3.3V PS I/O 电源
		VCCO_DDR	专用引脚	N/A	1.2V-1.8V DDR I/O 电源。
		PS_MIO_VREF	专用引脚	N/A	PS_MIO_VREF为RGMII输入接收器提供参考电压。如果未使用RGMII 接口，则PS_MIO_VREF引脚可以悬空。如果使用RGMII接口，则将此引脚连接到等于1/2VCCO_MIO1 的电压。例如：使用HSTL18 RGMII接口时，VCCO_MIO1设置为1.8V。PS_MIO_VREF必须设置为0.9V。
		PS_DDR_VREF#	专用引脚	N/A	DDR 参考电压输入
		PS_DDR_VRP	专用引脚	输出	DDR DCI电压基准正极。用于校准DDR I/O驱动强度。连接至一个电阻器并接地。该电阻的阻值应为 DDR 终端阻抗和走线阻抗的两倍。
		PS_DDR_VRN	专用引脚	输出	DDR DCI电压基准正极。用于校准DDR I/O驱动强度。连接至一个电阻器并接VCCO_DDR。该电阻的阻值应为 DDR 终端阻抗和走线阻抗的两倍。
	用户 IO	IO_LXXY_# IO_XX_#	用户引脚	输入/输出	大多数用户 I/O 引脚都能用作差分信号，并配对。每个 BANK 顶部和底部的 I/O 一直是单端。用户 I/O 引脚被命名为“IO_LXXY_#”格式，其中： “IO”表示这是一个用户 IO 引脚； “LXXY”表示组（Bank）上唯一的编号为 XX 的差分对，“Y”取 P 或者 N，分别表示这对差分对的正负极；

CSD7Z020技术手册

子系统	引脚类型	引脚名	类型	方向	描述
PL 侧端口					“#”表示引脚所在的组号；
	配置引脚	DONE_0	专用引脚	双向	DONE 信号指示配置的成功完成。（高有效）
		INIT_B_0	专用引脚	双向开漏输出	指示配置存储器的初始化。（低有效）
		PROGRAM_B_0	专用引脚	输入	异步复位配置逻辑。（低有效）
		TCK_0	专用引脚	输入	JTAG 时钟
		TDI_0	专用引脚	输入	JTAG 数据输入
		TDO_0	专用引脚	输出	JTAG 数据输出
		TMS_0	专用引脚	输入	JTAG 模式选择
		CFGBVS_0	专用引脚	输入	该引脚为专用和复用配置 Bank0 选择预配置 I/O 标准类型。如果 Bank0 的 V_{CCO} 是 2.5V 或者 3.3V，那么该引脚必须连接到 V_{CCO_0}。如果 Bank0 的 V_{CCO} 小于或者等于 1.8V，那么该引脚必须连接到地。 注意：为了避免设备损毁，该引脚必须正确连接。
		PUDC_B	复用引脚	输入	配置期间上拉 上电后和配置期间，PUDC_B 输入在用户 IO 引脚上使能内部上拉电阻。（低有效） 当 PUDC_B 为低，在每一个用户 IO 引脚上使能内部上拉电阻。当 PUDC_B 为高，每一个用户 IO 引脚上的内部上拉电阻被取消。PUDC_B 必须连接到地或者直接连接到 VCCO_34（通过 1KΩ或者更低的电阻）。
	电源/地引脚	GND	专用引脚	N/A	地。
		VCCAUX	专用引脚	N/A	辅助电路的 1.8V 电源支持引脚。
		VCCINT	专用引脚	N/A	内部核逻辑的 0.9V/1.0V 电源支持引脚。
		VCCO_#	专用引脚	N/A	输出驱动的电源支持引脚（每个 Bank）
		VCCBRAM	专用引脚	N/A	PL 逻辑块 RAM 的 1.0V 电源支持引脚。
		VCCBATT_0	专用引脚	N/A	解密秘钥存储器备份电源支持，当不使用时，该引脚应该接到合适的 V_{CC} 或地。
		VREF	复用引脚	N/A	电压输入门限引脚，当不需要外部电压门限时，这些引脚变为用户 I/O。（每个 Bank）
		RSVDGND	专用引脚	输入	保留引脚，悬空
		RSVDVCC3	专用引脚	输入	保留引脚，必须接 VCCO_0

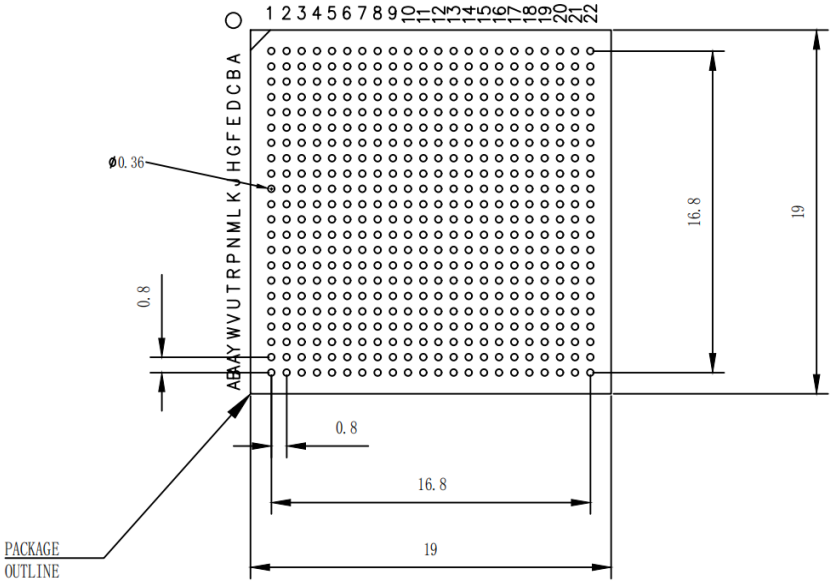
CSD7Z020技术手册

子系统	引脚类型	引脚名	类型	方向	描述
		RSVDVCC2	专用引脚	输入	保留引脚，必须接 VCCO_0
		RSVDVCC1	专用引脚	输入	保留引脚，必须接 VCCO_0
	模数转换器引脚	VCCADC_0	专用引脚	N/A	XADC 模拟电源
		GNDADC_0	专用引脚	N/A	XADC 模拟地
		VP_0	专用引脚	输入	XADC 专用差分模拟输入（正极）
		VN_0	专用引脚	输入	XADC 专用差分模拟输入（负极）
		VREFP_0	专用引脚	N/A	1.25V 参考输入
		VREFN_ 0	专用引脚	N/A	1.25V 参考地
		AD0P ~ AD15P AD0N ~ AD15N	复用引脚	输入	XADC 差分辅助模拟输入 0-15
	其它	MRCC	复用引脚	输入	用于驱动 BUFRs、BUFIOs、BUFGs、MMCMs/PLLs 的时钟 I/O。此外还可以驱动 BUFMRs 提供多区域 BUFIO 和 BUFR 支持。当不需要作为时钟时为普通用户 I/O。当一个单端时钟连到差分 CC 对时必须接入差分对的 P 端。当用于单个时钟域时，MRCC 可以驱动单个 Bank 的 4 个 BUFIO 和 4 个 BUFR。
		SRCC	复用引脚	输入	用于驱动 BUFRs、BUFIOs、BUFGs、MMCMs/PLLs 的时钟 I/O。当不需要作为时钟时为普通用户 I/O。当一个单端时钟连到差分 CC 对时必须接入差分对的 P 端。当用于单个时钟域时，SRCC 可以驱动单个 Bank 的 4 个 BUFIO 和 4 个 BUFR。
		VRN	专用引脚	N/A	参考电阻的 N 端的 DCI 电压（每个 Bank，由参考电阻上拉）
		VRP	专用引脚	N/A	参考电阻的 P 端的 DCI 电压（每个 Bank，由参考电阻下拉）
		DXP_0, DXN_0	专用引脚	输入	温敏二极管管脚（正极 DXP，负极 DXN）。使用位于 Bank0 的 DXP、DXN 访问二极管。不使用时接 0。为使用此二极管，必须添加适当的外部热监测 IC 电路。推荐使用 XADC 内部的温度传感器来监测温度。
		T0, T1, T2, T3	复用引脚	输入	属于存储字节组的 0~3。
		T0_DQS, T1_DQS, T2_DQS, T3_DQS	复用引脚	输入	DDR DQS 选通管脚，属于存储字节组的 T0~T3。

CSD7Z020技术手册

4.1.3 焊盘开窗推荐

备注：焊盘开窗尺寸是指PCB端用于此器件焊接的未被阻焊覆盖区域的尺寸，非焊盘本身尺寸，用户需根据实际应用场景进行调整。



单位：mm

图 4　CSD7Z020CLG484 推荐焊盘开窗图

4.1.4 焊接推荐

CSD7Z020CLG484焊球材料均为Sn96.5/Ag3.0/Cu0.5无铅焊球，推荐回流焊曲线如下图5。

回流加热方式	热风对流，红外/热风对流
加热速度	最大 3℃/s
预热温度 150℃～200℃	60s～120s
熔点以上温度保持时间（回流时间）	60s～120s
低于峰值温度 5℃以内的保持时间	最大 30s
引脚或焊球峰值温度	最低 235℃，典型温度 245℃，不超过 260℃
降温速度	最大 6℃/s
室温到峰值温度时间	最小 3.5 分钟，典型值 5 分钟，不超过 8 分钟
建议焊膏	ALPHA OM338　SAC305
备注	请根据选用的焊膏特性作相应的调整

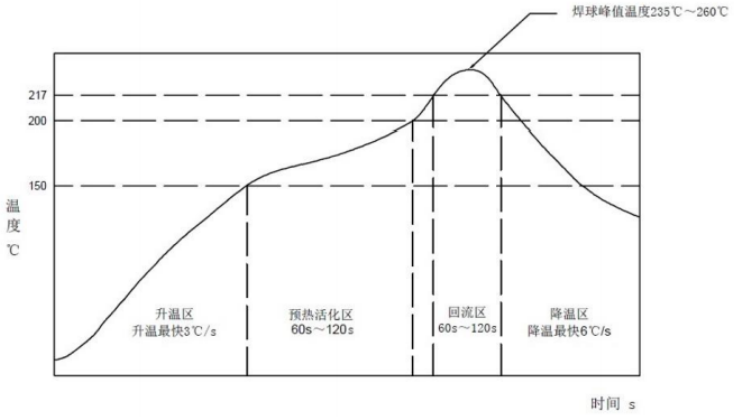


图 5　CSD7Z020CLG484 推荐焊接温度曲线

4.2 PBGA400 封装

4.2.1 封装信息

CSD7Z020PBGA400 产品采用 PBGA400 封装形式，产品外形尺寸下图 6 所示。

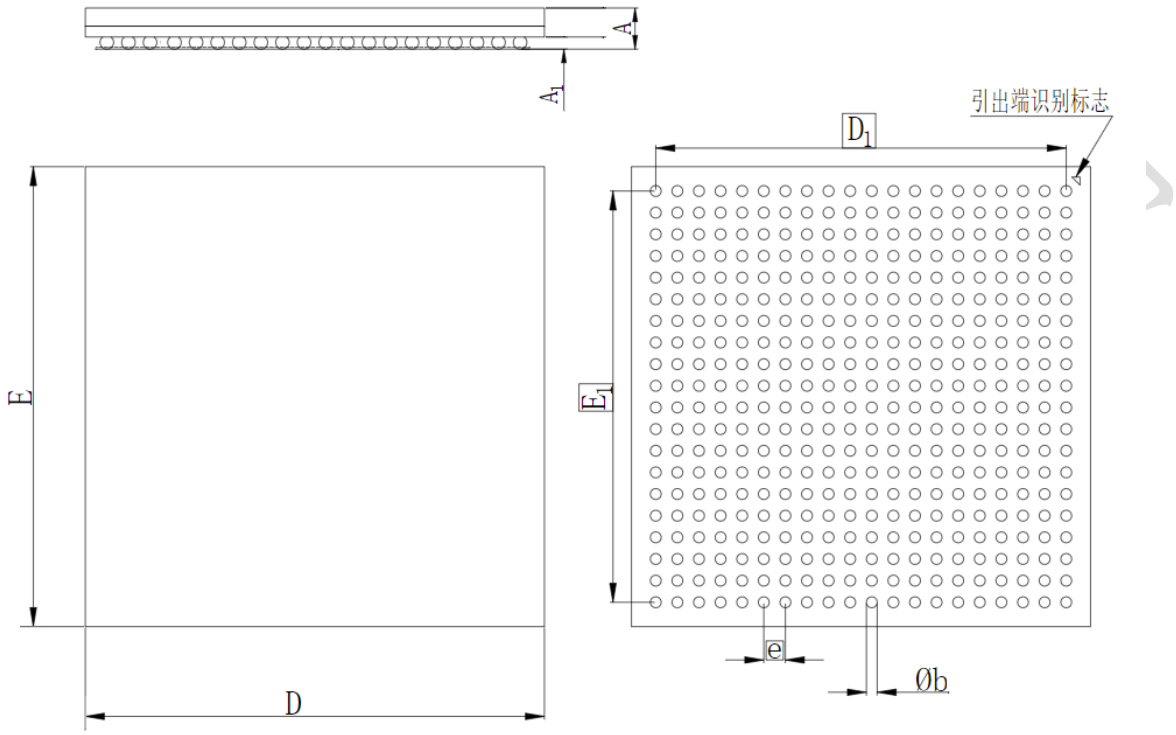


图 6　CSD7Z020PBGA400 封装外形图

表 5　PBGA400 封装尺寸表

单位为毫米

尺寸符号	数值		
	最小	公称	最大
A	1.37	1.47	1.60
A_1	0.35	0.40	0.45
D	16.90	17.00	17.10
E	16.90	17.00	17.10
D_1	—	15.20	—
E_1	—	15.20	—
e	—	0.80	—
Øb	0.45	—	0.55

CSD7Z02

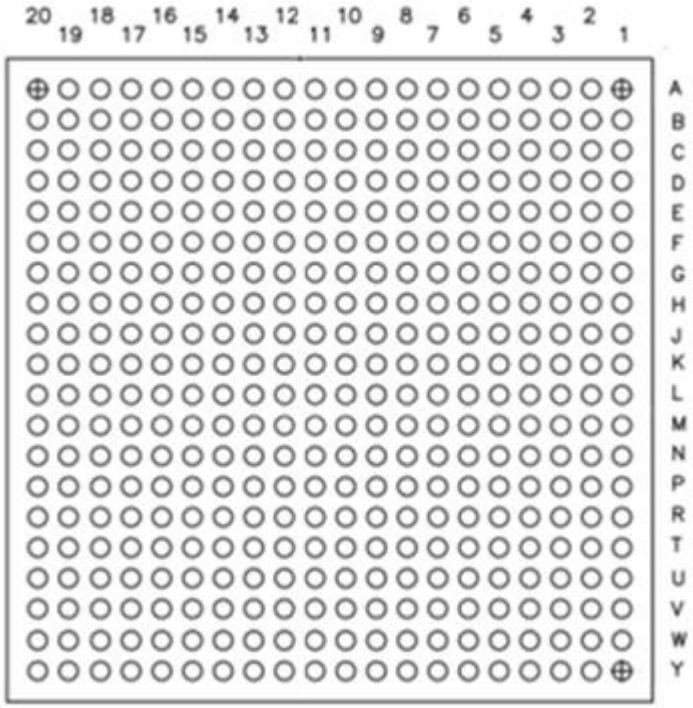


图 7　PBGA400 封装引脚定义

CSD7Z020PBGA400 引脚描述描述如表 6 所示。

表 6　PBGA400 引脚描述

管脚	管脚名	管脚	管脚名	管脚	管脚名
R11	DONE_0	G15	IO_L19N_T3_VREF_35	Y3	PS_DDR_DQ25_502
M9	DXP_0	K14	IO_L20P_T3_AD6P_35	W1	PS_DDR_DQ26_502
J10	GNDADC_0	J14	IO_L20N_T3_AD6N_35	Y4	PS_DDR_DQ27_502
J9	VCCADC_0	N15	IO_L21P_T3_DQS_AD14P_35	Y1	PS_DDR_DM3_502
L9	VREFP_0	N16	IO_L21N_T3_DQS_AD14N_35	W5	PS_DDR_DQS_P3_502
L10	VN_0	L14	IO_L22P_T3_AD7P_35	W4	PS_DDR_DQS_N3_502
F11	VCCBATT_0	L15	IO_L22N_T3_AD7N_35	Y2	PS_DDR_DQ28_502
F9	TCK_0	M14	IO_L23P_T3_35	W3	PS_DDR_DQ29_502
M10	DXN_0	M15	IO_L23N_T3_35	V2	PS_DDR_DQ30_502
K10	VREFN_0	K16	IO_L24P_T3_AD15P_35	V3	PS_DDR_DQ31_502
K9	VP_0	J16	IO_L24N_T3_AD15N_35	A8	GND
F10	RSVDGND	J15	IO_25_35	A18	GND
N6	RSVDVCC3	E7	PS_CLK_500	B1	GND
R6	RSVDVCC2	E11	PS_MIO_VREF_501	B11	GND
R10	INIT_B_0	C7	PS_POR_B_500	C4	GND
G6	TDI_0	C8	PS_MIO15_500	C14	GND
F6	TDO_0	E14	PS_MIO17_501	K11	GND
T6	RSVDVCC1	D10	PS_MIO19_501	D17	GND
M6	CFGBVS_0	F14	PS_MIO21_501	E10	GND
L6	PROGRAM_B_0	D11	PS_MIO23_501	E20	GND
J6	TMS_0	F15	PS_MIO25_501	F3	GND
V5	IO_L6N_T0_VREF_13	D13	PS_MIO27_501	F7	GND
U7	IO_L11P_T1_SRCC_13	C13	PS_MIO29_501	G10	GND

管脚	管脚名	管脚	管脚名	管脚	管脚名
V7	IO_L11N_T1_SRCC_13	E16	PS_MIO31_501	G12	GND
T9	IO_L12P_T1_MRCC_13	D15	PS_MIO33_501	G16	GND
U10	IO_L12N_T1_MRCC_13	F12	PS_MIO35_501	H7	GND
Y7	IO_L13P_T2_MRCC_13	E13	PS_MIO38_501	H9	GND
Y6	IO_L13N_T2_MRCC_13	D14	PS_MIO40_501	H11	GND
Y9	IO_L14P_T2_SRCC_13	E12	PS_MIO42_501	H13	GND
Y8	IO_L14N_T2_SRCC_13	F13	PS_MIO44_501	H19	GND
V8	IO_L15P_T2_DQS_13	D16	PS_MIO46_501	J2	GND
W8	IO_L15N_T2_DQS_13	B12	PS_MIO48_501	J8	GND
W10	IO_L16P_T2_13	B13	PS_MIO50_501	J12	GND
W9	IO_L16N_T2_13	C10	PS_MIO52_501	K5	GND
U9	IO_L17P_T2_13	B10	PS_SRST_B_501	K7	GND
U8	IO_L17N_T2_13	C5	PS_MIO14_500	C9	GND
W11	IO_L18P_T2_13	A19	PS_MIO16_501	K13	GND
Y11	IO_L18N_T2_13	B18	PS_MIO18_501	K15	GND
T5	IO_L19P_T3_13	A17	PS_MIO20_501	L8	GND
U5	IO_L19N_T3_VREF_13	B17	PS_MIO22_501	L12	GND
Y12	IO_L20P_T3_13	A16	PS_MIO24_501	L18	GND
Y13	IO_L20N_T3_13	A15	PS_MIO26_501	M1	GND
V11	IO_L21P_T3_DQS_13	C16	PS_MIO28_501	M7	GND
V10	IO_L21N_T3_DQS_13	C15	PS_MIO30_501	M11	GND
V6	IO_L22P_T3_13	A14	PS_MIO32_501	M13	GND
W6	IO_L22N_T3_13	A12	PS_MIO34_501	N4	GND
R19	IO_0_34	A11	PS_MIO36_501	N8	GND
T11	IO_L1P_T0_34	A10	PS_MIO37_501	N10	GND
T10	IO_L1N_T0_34	C18	PS_MIO39_501	N12	GND
T12	IO_L2P_T0_34	C17	PS_MIO41_501	N14	GND
U12	IO_L2N_T0_34	A9	PS_MIO43_501	P7	GND
U13	IO_L3P_T0_DQS_PUDC_B_34	B15	PS_MIO45_501	P9	GND
V13	IO_L3N_T0_DQS_34	B14	PS_MIO47_501	P11	GND
V12	IO_L4P_T0_34	C12	PS_MIO49_501	P13	GND
W13	IO_L4N_T0_34	B9	PS_MIO51_501	P17	GND
T14	IO_L5P_T0_34	C11	PS_MIO53_501	R8	GND
T15	IO_L5N_T0_34	E8	PS_MIO13_500	R12	GND
P14	IO_L6P_T0_34	D9	PS_MIO12_500	R20	GND
R14	IO_L6N_T0_VREF_34	C6	PS_MIO11_500	T3	GND
Y16	IO_L7P_T1_34	E9	PS_MIO10_500	T7	GND
Y17	IO_L7N_T1_34	B5	PS_MIO9_500	T13	GND
W14	IO_L8P_T1_34	D5	PS_MIO8_500	U6	GND
Y14	IO_L8N_T1_34	D8	PS_MIO7_500	U16	GND
T16	IO_L9P_T1_DQS_34	A5	PS_MIO6_500	V9	GND
U17	IO_L9N_T1_DQS_34	A6	PS_MIO5_500	V19	GND
V15	IO_L10P_T1_34	B7	PS_MIO4_500	W2	GND
W15	IO_L10N_T1_34	D6	PS_MIO3_500	W12	GND
U14	IO_L11P_T1_SRCC_34	B8	PS_MIO2_500	Y5	GND
U15	IO_L11N_T1_SRCC_34	A7	PS_MIO1_500	Y15	GND
U18	IO_L12P_T1_MRCC_34	E6	PS_MIO0_500	G13	VCCINT
U19	IO_L12N_T1_MRCC_34	B4	PS_DDR_DRST_B_502	H12	VCCINT

CSD7Z020技术手册

管脚	管脚名	管脚	管脚名	管脚	管脚名
N18	IO_L13P_T2_MRCC_34	C3	PS_DDR_DQ0_502	J13	VCCINT
P19	IO_L13N_T2_MRCC_34	B3	PS_DDR_DQ1_502	K12	VCCINT
N20	IO_L14P_T2_SRCC_34	A2	PS_DDR_DQ2_502	L13	VCCINT
P20	IO_L14N_T2_SRCC_34	A4	PS_DDR_DQ3_502	M12	VCCINT
T20	IO_L15P_T2_DQS_34	A1	PS_DDR_DM0_502	N13	VCCINT
U20	IO_L15N_T2_DQS_34	C2	PS_DDR_DQS_P0_502	P12	VCCINT
V20	IO_L16P_T2_34	B2	PS_DDR_DQS_N0_502	R13	VCCINT
W20	IO_L16N_T2_34	D3	PS_DDR_DQ4_502	J11	VCCAUX
Y18	IO_L17P_T2_34	D1	PS_DDR_DQ5_502	L11	VCCAUX
Y19	IO_L17N_T2_34	C1	PS_DDR_DQ6_502	N9	VCCAUX
V16	IO_L18P_T2_34	E1	PS_DDR_DQ7_502	P10	VCCAUX
W16	IO_L18N_T2_34	E2	PS_DDR_DQ8_502	R9	VCCAUX
R16	IO_L19P_T3_34	E3	PS_DDR_DQ9_502	N11	VCCAUX
R17	IO_L19N_T3_VREF_34	G3	PS_DDR_DQ10_502	K6	VCCO_0
T17	IO_L20P_T3_34	H3	PS_DDR_DQ11_502	T8	VCCO_13
R18	IO_L20N_T3_34	F1	PS_DDR_DM1_502	U11	VCCO_13
V17	IO_L21P_T3_DQS_34	G2	PS_DDR_DQS_P1_502	W7	VCCO_13
V18	IO_L21N_T3_DQS_34	F2	PS_DDR_DQS_N1_502	Y10	VCCO_13
W18	IO_L22P_T3_34	J3	PS_DDR_DQ12_502	N19	VCCO_34
W19	IO_L22N_T3_34	H2	PS_DDR_DQ13_502	R15	VCCO_34
N17	IO_L23P_T3_34	H1	PS_DDR_DQ14_502	T18	VCCO_34
P18	IO_L23N_T3_34	J1	PS_DDR_DQ15_502	V14	VCCO_34
P15	IO_L24P_T3_34	F4	PS_DDR_A14_502	W17	VCCO_34
P16	IO_L24N_T3_34	D4	PS_DDR_A13_502	Y20	VCCO_34
T19	IO_25_34	E4	PS_DDR_A12_502	C19	VCCO_35
G14	IO_0_35	G4	PS_DDR_A11_502	F18	VCCO_35
C20	IO_L1P_T0_AD0P_35	F5	PS_DDR_A10_502	H14	VCCO_35
B20	IO_L1N_T0_AD0N_35	J4	PS_DDR_A9_502	J17	VCCO_35
B19	IO_L2P_T0_AD8P_35	K1	PS_DDR_A8_502	K20	VCCO_35
A20	IO_L2N_T0_AD8N_35	K4	PS_DDR_A7_502	M16	VCCO_35
E17	IO_L3P_T0_DQS_AD1P_35	L4	PS_DDR_A6_502	G11	VCCBRAM
D18	IO_L3N_T0_DQS_AD1N_35	L1	PS_DDR_A5_502	H10	VCCBRAM
D19	IO_L4P_T0_35	M4	PS_DDR_A4_502	A3	VCCO_DDR_502
D20	IO_L4N_T0_35	K3	PS_DDR_A3_502	D2	VCCO_DDR_502
E18	IO_L5P_T0_AD9P_35	G5	PS_DDR_VRN_502	E5	VCCO_DDR_502
E19	IO_L5N_T0_AD9N_35	H5	PS_DDR_VRP_502	G1	VCCO_DDR_502
F16	IO_L6P_T0_35	L2	PS_DDR_CKP_502	H4	VCCO_DDR_502
F17	IO_L6N_T0_VREF_35	M2	PS_DDR_CKN_502	L3	VCCO_DDR_502
M19	IO_L7P_T1_AD2P_35	M3	PS_DDR_A2_502	P2	VCCO_DDR_502
M20	IO_L7N_T1_AD2N_35	K2	PS_DDR_A1_502	R5	VCCO_DDR_502
M17	IO_L8P_T1_AD10P_35	N2	PS_DDR_A0_502	U1	VCCO_DDR_502
M18	IO_L8N_T1_AD10N_35	J5	PS_DDR_BA2_502	V4	VCCO_DDR_502
L19	IO_L9P_T1_DQS_AD3P_35	R4	PS_DDR_BA1_502	G8	VCCPLL
L20	IO_L9N_T1_DQS_AD3N_35	L5	PS_DDR_BA0_502	G9	VCCPAUX
K19	IO_L10P_T1_AD11P_35	N5	PS_DDR_ODT_502	F8	VCCPAUX
J19	IO_L10N_T1_AD11N_35	N1	PS_DDR_CS_B_502	H8	VCCPAUX
L16	IO_L11P_T1_SRCC_35	N3	PS_DDR_CKE_502	K8	VCCPAUX
L17	IO_L11N_T1_SRCC_35	M5	PS_DDR_WE_B_502	M8	VCCPAUX

CSD7Z020技术手册

管脚	管脚名	管脚	管脚名	管脚	管脚名
K17	IO_L12P_T1_MRCC_35	P5	PS_DDR_CAS_B_502	G7	VCCPINT
K18	IO_L12N_T1_MRCC_35	P4	PS_DDR_RAS_B_502	J7	VCCPINT
H16	IO_L13P_T2_MRCC_35	P1	PS_DDR_DQ16_502	L7	VCCPINT
H17	IO_L13N_T2_MRCC_35	P3	PS_DDR_DQ17_502	N7	VCCPINT
J18	IO_L14P_T2_AD4P_SRCC_35	R3	PS_DDR_DQ18_502	P8	VCCPINT
H18	IO_L14N_T2_AD4N_SRCC_35	R1	PS_DDR_DQ19_502	R7	VCCPINT
F19	IO_L15P_T2_DQS_AD12P_35	T1	PS_DDR_DM2_502	B6	VCCO_MIO0_500
F20	IO_L15N_T2_DQS_AD12N_35	R2	PS_DDR_DQS_P2_502	D7	VCCO_MIO0_500
G17	IO_L16P_T2_35	T2	PS_DDR_DQS_N2_502	A13	VCCO_MIO1_501
G18	IO_L16N_T2_35	T4	PS_DDR_DQ20_502	B16	VCCO_MIO1_501
J20	IO_L17P_T2_AD5P_35	U4	PS_DDR_DQ21_502	D12	VCCO_MIO1_501
H20	IO_L17N_T2_AD5N_35	U2	PS_DDR_DQ22_502	E15	VCCO_MIO1_501
G19	IO_L18P_T2_AD13P_35	U3	PS_DDR_DQ23_502	H6	PS_DDR_VREF0_502
G20	IO_L18N_T2_AD13N_35	V1	PS_DDR_DQ24_502	P6	PS_DDR_VREF1_502
H15	IO_L19P_T3_35				

4.2.2 引出端功能定义

引出端接口说明如表7所示。

表 7 引出端功能说明

子系统	引脚类型	引脚名	类型	方向	描述
PS 侧端口	功能引脚	PS_CLK	专用引脚	输入	系统参考时钟。PS_CLK 必须介于 30 MHz 和 60 MHz 之间。
		PS_POR_B	专用引脚	输入	上电复位。在上电过程中，必须将 PS_POR_B 置为 GND，直到 VCCPINT、VCCPAUX 和 VCCO_MIO0 达到最低工作电平，且 PS_CLK 参考电压在规格范围内。当 PS_POR_B 置为 GND 后，PS 开始启动 BOOT 过程。在 VCCPINT 电压达到 0.80V 之前，在掉电阶段至少需要满足以下四个条件之一： PS_POR_B 被置为 GND； PS_CLK 输入的参考时钟被禁用； VCCPAUX 低于 0.70V； VCCO_MIO0 低于 0.90V；
		PS_SRST_B	专用引脚	输入	系统异步复位逻辑。（低有效）
		PS_MIO#	复用引脚	输入/输出	可作为外设的复用 IO 使用
		PS_DDR#	专用引脚	输入/输出	作为外部 DDR memory 控制专用引脚控制
	电源/地引脚	VCCPINT	专用引脚	N/A	PS 1.0V 逻辑电源供电，独立于 PL 的 VCCINT 电源。
		VCCPAUX	专用引脚	N/A	PS 1.8V 辅助电源。独立于 PL

CSD7Z020技术手册

子系统	引脚类型	引脚名	类型	方向	描述
					VCCAUX 电源。
		VCCPLL	专用引脚	N/A	PS PLL 1.8V 电源。必须在 VCCPLL BGA 过孔附近放置一个 0.47μF 至 4.7μF 的 0402 封装电容。此外，当使用 VCCPAUX 供电时，VCCPLL 必须通过一个 120Ω、100MHz（0603 封装）的铁氧体磁珠和一个 10μF（0603 封装）的去耦电容进行滤波，以最大程度地减少 PLL 抖动。
		VCCO_MIO#	专用引脚	N/A	MIO bank 的 1.8V-3.3V PS I/O 电源
		VCCO_DDR	专用引脚	N/A	1.2V-1.8V DDR I/O 电源。
		PS_MIO_VREF	专用引脚	N/A	PS_MIO_VREF为RGMII输入接收器提供参考电压。如果未使用RGMII 接口，则PS_MIO_VREF引脚可以悬空。如果使用RGMII接口，则将此引脚连接到等于1/2VCCO_MIO1 的电压。例如：使用HSTL18 RGMII接口时，VCCO_MIO1 设置为 1.8V 。PS_MIO_VREF必须设置为0.9V。
		PS_DDR_VREF#	专用引脚	N/A	DDR 参考电压输入
		PS_DDR_VRP	专用引脚	输出	DDR DCI电压基准正极。用于校准DDR I/O驱动强度。连接至一个电阻器并接地。该电阻的阻值应为 DDR 终端阻抗和走线阻抗的两倍。
		PS_DDR_VRN	专用引脚	输出	DDR DCI电压基准正极。用于校准DDR I/O驱动强度。连接至一个电阻器并接VCCO_DDR。该电阻的阻值应为DDR 终端阻抗和走线阻抗的两倍。
	用户 IO	IO_LXXY_# IO_XX_#	用户引脚	输入/输出	大多数用户 I/O 引脚都能用作差分信号，并配对。每个 BANK 顶部和底部的 I/O 一直是单端。用户 I/O 引脚被命名为“IO_LXXY_#”格式，其中： “IO”表示这是一个用户 IO 引脚； “LXXY”表示组（Bank）上唯一的编号为 XX 的差分对，“Y”取 P 或者 N，分别表示这对差分对的正负极； “#”表示引脚所在的组号；
	配置引脚	DONE_0	专用引脚	双向	DONE 信号指示配置的成功完成。（高有效）
		INIT_B_0	专用引脚	双向开漏	指示配置存储器的初始化。（低有效）

CSD7Z020技术手册

子系统	引脚类型	引脚名	类型	方向	描述
PL 侧端口				输出	
		PROGRAM_B_0	专用引脚	输入	异步复位配置逻辑。（低有效）
		TCK_0	专用引脚	输入	JTAG 时钟
		TDI_0	专用引脚	输入	JTAG 数据输入
		TDO_0	专用引脚	输出	JTAG 数据输出
		TMS_0	专用引脚	输入	JTAG 模式选择
		CFGBVS_0	专用引脚	输入	该引脚为专用和复用配置 Bank0 选择预配置 I/O 标准类型。如果 Bank0 的 V_{CCO} 是 2.5V 或者 3.3V，那么该引脚必须连接到 V_{CCO_0}。如果 Bank0 的 V_{CCO} 小于或者等于 1.8V，那么该引脚必须连接到地。 注意：为了避免设备损毁，该引脚必须正确连接。
		PUDC_B	复用引脚	输入	配置期间上拉 上电后和配置期间，PUDC_B 输入在用户 IO 引脚上使能内部上拉电阻。（低有效） 当 PUDC_B 为低，在每一个用户 IO 引脚上使能内部上拉电阻。当 PUDC_B 为高，每一个用户 IO 引脚上的内部上拉电阻被取消。PUDC_B 必须连接到地或者直接连接到 VCCO_34（通过 1KΩ或者更低的电阻）。
	电源/地引脚	GND	专用引脚	N/A	地。
		VCCAUX	专用引脚	N/A	辅助电路的 1.8V 电源支持引脚。
		VCCINT	专用引脚	N/A	内部核逻辑的 0.9V/1.0V 电源支持引脚。
		VCCO_#	专用引脚	N/A	输出驱动的电源支持引脚（每个 Bank）
		VCCBRAM	专用引脚	N/A	PL 逻辑块 RAM 的 1.0V 电源支持引脚。
		VCCBATT_0	专用引脚	N/A	解密秘钥存储器备份电源支持，当不使用时，该引脚应该接到合适的 V_{CC} 或地。
		VREF	复用引脚	N/A	电压输入门限引脚，当不需要外部电压门限时，这些引脚变为用户 I/O。（每个 Bank）
		RSVDGND	专用引脚	输入	保留引脚，悬空

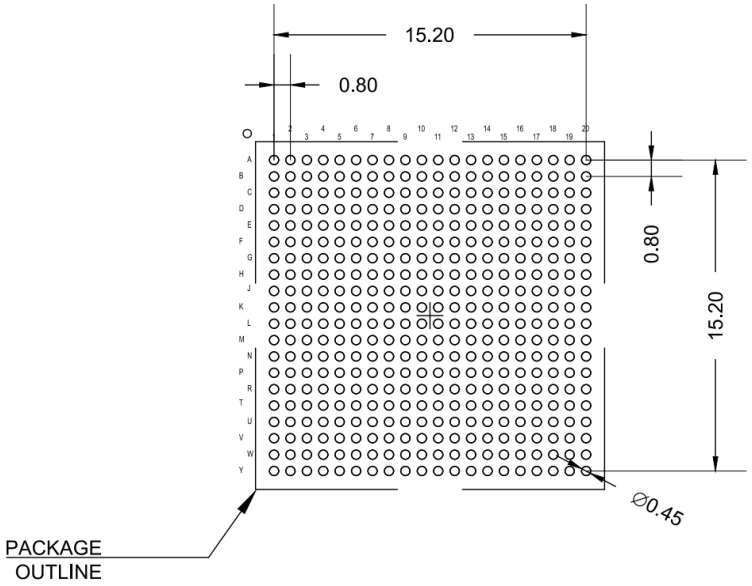
CSD7Z020技术手册

子系统	引脚类型	引脚名	类型	方向	描述
		RSVDVCC3	专用引脚	输入	保留引脚，必须接 VCCO_0
		RSVDVCC2	专用引脚	输入	保留引脚，必须接 VCCO_0
		RSVDVCC1	专用引脚	输入	保留引脚，必须接 VCCO_0
	模数转换器引脚	VCCADC_0	专用引脚	N/A	XADC 模拟电源
		GNDADC_0	专用引脚	N/A	XADC 模拟地
		VP_0	专用引脚	输入	XADC 专用差分模拟输入（正极）
		VN_0	专用引脚	输入	XADC 专用差分模拟输入（负极）
		VREFP_0	专用引脚	N/A	1.25V 参考输入
		VREFN_ 0	专用引脚	N/A	1.25V 参考地
		AD0P ~ AD15P AD0N ~ AD15N	复用引脚	输入	XADC 差分辅助模拟输入 0-15
	其它	MRCC	复用引脚	输入	用于驱动 BUFRs、BUFIOs、BUFGs、MMCMs/PLLs 的时钟 I/O。此外还可以驱动 BUFMRs 提供多区域 BUFIO 和 BUFR 支持。当不需要作为时钟时为普通用户 I/O。当一个单端时钟连到差分 CC 对时必须接入差分对的 P 端。当用于单个时钟域时，MRCC 可以驱动单个 Bank 的 4 个 BUFIO 和 4 个 BUFR。
		SRCC	复用引脚	输入	用于驱动 BUFRs、BUFIOs、BUFGs、MMCMs/PLLs 的时钟 I/O。当不需要作为时钟时为普通用户 I/O。当一个单端时钟连到差分 CC 对时必须接入差分对的 P 端。当用于单个时钟域时，SRCC 可以驱动单个 Bank 的 4 个 BUFIO 和 4 个 BUFR。
		VRN	专用引脚	N/A	参考电阻的 N 端的 DCI 电压（每个 Bank，由参考电阻上拉）
		VRP	专用引脚	N/A	参考电阻的 P 端的 DCI 电压（每个 Bank，由参考电阻下拉）
		DXP_0, DXN_0	专用引脚	输入	温敏二极管管脚（正极 DXP，负极 DXN）。使用位于 Bank0 的 DXP、DXN 访问二极管。不使用时接 0。为使用此二极管，必须添加适当的外部热监测 IC 电路。推荐使用 XADC 内部的温度传感器来监测温度。
		T0, T1, T2, T3	复用引脚	输入	属于存储字节组的 0~3。
		T0_DQS, T1_DQS, T2_DQS, T3_DQS	复用引脚	输入	DDR DQS 选通管脚，属于存储字节组的 T0~T3。

CSD7Z020技术手册

4.2.3 焊盘开窗推荐

备注：焊盘开窗尺寸是指PCB端用于此器件焊接的未被阻焊覆盖区域的尺寸，非焊盘本身尺寸，用户需根据实际应用场景进行调整。



单位：mm

图 8　CSD7Z020PBGA400 推荐焊盘开窗图

4.2.4 焊接推荐

CSD7Z020PBGA400焊球材料均为Sn96.5/Ag3.0/Cu0.5无铅焊球，推荐回流焊曲线如下图9。

回流加热方式	热风对流，红外/热风对流
加热速度	最大 3℃/s
预热温度 150℃～200℃	60s～120s
熔点以上温度保持时间（回流时间）	60s～120s
低于峰值温度 5℃以内的保持时间	最大 30s
引脚或焊球峰值温度	最低 235℃，典型温度 245℃，不超过 260℃
降温速度	最大 6℃/s
室温到峰值温度时间	最小 3.5 分钟，典型值 5 分钟，不超过 8 分钟
建议焊膏	ALPHA OM338　SAC305
备注	请根据选用的焊膏特性作相应的调整

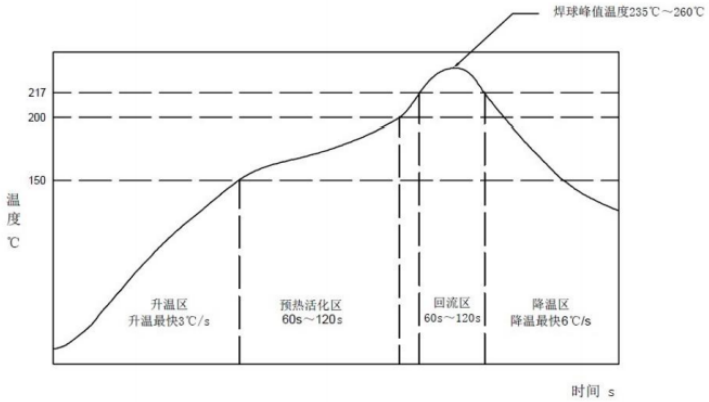


图 9　CSD7Z020PBGA400 推荐焊接温度曲线

5 绝对最大额定值及推荐工作范围

5.1 绝对最大额定值

表 8 绝对最大额定值 [1,2]

序号	子系统	标志符号	特性描述	最小	最大	单位
1	处理器系统 PS	V_{CCPINT}	内核电源	-0.5	1.1	V
2		V_{CCPAUX}	辅助电源	-0.5	2.0	V
3		V_{CCPLL}	锁相环电源	-0.5	2.0	V
4		V_{CCO_DDR}	DDR 电源	-0.5	2.0	V
5		V_{CCO_MIO}	MIO 电源	-0.5	3.6	V
6		V_{PIN}	MIO IO 输入电压	-0.55	V_{CCO_MIO}+0.55	V
			DDR IO 输入电压	-0.4	V_{CCO_MIO}+0.55	V
7		V_{PREF}	输入参考电压	-0.5	2.0	V
8	可编程逻辑 PL	V_{CCINT}	内核电源	-0.5	1.1	V
9		V_{CCAUX}	辅助电源	-0.5	2.0	V
10		V_{BRAM}	内部块 RAM 电源	-0.5	1.1	V
11		V_{CCO}	HRIO 电源	-0.5	3.6	V
12		V_{REF}	输入参考电压	-0.5	2.0	V
13		V_{IN}	宽范围用户 IO 输入电压	-0.4	V_{CCO}+0.55	V
14		V_{CCBATT}	密钥存储备用电池电压	-0.5	2.0	V
15	片上 ADC 模块	V_{CCADC}	ADC 相对 GNDADC 的电源电压	-0.5	2.0	V
16		V_{REFP}	相对 GNDADC 外部提供的参考电压	-0.5	2.0	V
17	温度范围	T_{STG}	储存环境温度	-65	150	℃
18		T_{SOL}	封装引脚无铅焊球最大焊接温度	--	260	℃
19		*Tj*	器件最大结温（工业 I 级）	-40	100	℃
			器件最大结温（工业 C 级）	0	85	℃

注 1：超过绝对最大额定值的应力可能会对器件造成永久性的损坏。上表内容只是用于压力评级，不包含器件在这些或任何超出上述条件下的功能操作。长时间暴露在绝对最大额定值条件下可能会影响器件的可靠性。

注 2：最大极限适用于输入直流信号。

CSD7Z020技术手册

表 9　用户 I/O 最大允许的交流过冲输入电压和下冲输入电压 [1,2]

序号	交流过冲电压（V）	% of UI	交流下冲电压（V）	% of UI
1	V_{CCO} + 0.55	100	- 0.55	100
2	V_{CCO} + 0.60	50.0[3]	- 0.60	50.0[3]
3	V_{CCO} + 0.65	50.0[3]	- 0.65	50.0[3]
4	V_{CCO} + 0.70	47.0	- 0.70	50.0[3]
5	V_{CCO} + 0.75	21.2	- 0.75	50.0[3]
6	V_{CCO} + 0.80	9.71	- 0.80	50.0[3]
7	V_{CCO} + 0.85	4.51	- 0.85	28.4
8	V_{CCO} + 0.90	2.12	- 0.90	12.7
9	V_{CCO} + 0.95	1.01	- 0.95	5.79
注 1：每个 IO Bank 合计不能超过 200 mA。 注 2：过冲或下冲的峰值电压、在 V_{CCO} + 0.20V 以上或 GND - 0.20V 以下的持续时间不得超过上表中的值。 注 3：UI 持续时间小于 20μs。				

表 10　配置专用引脚最大允许的交流过冲输入电压和下冲输入电压 [1,2]

序号	交流过冲电压（V）	% of UI	交流下冲电压（V）	% of UI
1	V_{CCO} + 0.55	100	-0.40	100
			-0.45	61.7
			-0.50	25.8
			- 0.55	11.0
2	V_{CCO} + 0.60	46.6	- 0.60	4.77
3	V_{CCO} + 0.65	21.2	- 0.65	2.10
4	V_{CCO} + 0.70	9.75	- 0.70	0.94
5	V_{CCO} + 0.75	4.55	- 0.75	0.43
6	V_{CCO} + 0.80	2.15	- 0.80	0.20
7	V_{CCO} + 0.85	1.02	- 0.85	0.09
8	V_{CCO} + 0.90	0.49	- 0.90	0.04
9	V_{CCO} + 0.95	0.24	- 0.95	0.02
注 1：配置专用引脚 Bank 合计不能超过 200 mA。 注 2：过冲或下冲的峰值电压、在 V_{CCO}+0.20V 以上或 GND - 0.20V 以下的持续时间不得超过上表中的值。				

CSD7Z020技术手册

5.2 推荐工作范围

表 11 推荐工作条件 [1,2,3,4,5,6]

序号	标志符号	特性描述	最小	典型	最大	单位
处理器系统 PS						
1	V_{CCPINT}	内核电源	0.95	1.00	1.05	V
2	V_{CCPAUX}	辅助电源	1.71	1.80	1.89	V
3	V_{CCPLL}	锁相环电源	1.71	1.80	1.89	V
4	V_{CCO_DDR}	DDR 电源	1.14	-	1.89	V
5	V_{CCO_MIO}	MIO 电源	1.71	-	3.465	V
6	V_{PIN}	MIO IO 输入电压	-0.2	—	V_{CCO}+0.2	V
		DDR IO 输入电压	-0.2	—	V_{CCO}+0.2	V
可编程逻辑 PL						
7	V_{CCINT}	内核电源	0.95	1.00	1.05	V
8	V_{CCAUX}	辅助电源	1.71	1.80	1.89	V
9	V_{BRAM}	内部块 RAM 电源	0.95	1.00	1.05	V
10	V_{CCO}	HRIO 电源	1.14	-	3.465	V
11	V_{IN}	宽范围用户 IO 输入电压	-0.2	-	2.625	V
12	V_{CCBATT}	密钥存储备用电池电压	1.0	-	1.89	V
片上 ADC 模块						
13	V_{CCADC}	ADC 相对 GNDADC 的电源电压	1.71	1.80	1.89	V
14	V_{REFP}	外部提供的参考电压	1.20	1.25	1.30	V
工作温度范围						
15	T_j	器件工作结温	-40	—	100	℃

注 1：*PS 电源*和 *PL* 电源独立。

注 2：V_{CCINT} 和 V_{CCBRAM} 应该连接到相同的供电电源。

注 3：即使 V_{CCO} 下降到 0V，配置数据仍然会被保留。V_{CCO} 包含 1.2V、1.35V、1.5V、1.8V、2.5V、3.3V 范围±5%的。

注 4：每个 IO Bank 总和不能超过 200 mA。

注 5：只有在使用位流加密时才需要 V_{CCBATT}；如果没有使用电池，V_{CCBATT} 连接到大地或 V_{CCAUX}。

注 6：列出的每个电压都需要采用本器件的产品应用手册中描述的滤波电路。

CSD7Z020技术手册

表 12　器件典型静态所需供电电流

特 性	符号	条　　件 （除非另有规定， V_{CCINT}=0.95V~1.05V,V_{CCBRAM}=0.95V~1.05V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465V, V_{CCPINT}=0.95V~1.05V,V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V,V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
V_{CCPINT} 静态供电电流	$I_{CCPINTQ}$	IO 资源选择为单端工作模式； 器件为空白配置、没有输出电流负载、没有活跃的输入上拉电阻、所有 I/O 引脚为三态和悬空的条件下。	—	1000	mA
V_{CCPAUX} 静态供电电流	$I_{CCPAUXQ}$			100	mA
V_{CCPLL} 静态供电电流	I_{CCPLLQ}			100	mA
V_{CCINT} 静态供电电流	I_{CCINTQ}		—	1000	mA
V_{CCAUX} 静态供电电流	I_{CCAUXQ}		—	100	mA
V_{CCADC} 静态供电电流	I_{CCADCQ}			100	mA
V_{CCO} 静态供电电流	I_{CCOQ}		—	100	mA
V_{CCBRAM} 静态供电电流	$I_{CCBRAMQ}$		—	100	mA

表 13　器件上电需求最小电流

器件	$I_{CCPINTMIN}$	I_{CCPAUX}	$I_{CCDDRMIN}$	$I_{CCINTMIN}$	$I_{CCAUXMIN}$	I_{CCOMIN}	$I_{CCBRAMMIN}$	单位
CSD7Z020	$I_{CCPINTQ}$ + 70	I_{CCPAUX} + 40	I_{CCDDRQ} + 100 per bank	I_{CCINTQ} + 70	I_{CCAUXQ} + 60	I_{CCOQ} + 90 mA /IO Bank	$I_{CCBRAMQ}$ + 40	mA

表 14　器件上电上升时间 [1,2,3]

序号	标志符号	特性描述	条件	最小	最大	单位
1	$t_{VCCPINT}$	从 GND 到 90% V_{CCPINT} 的爬升时间		0.2	50	ms
2	$t_{VCCPAUX}$	从 GND 到 90% V_{CCPAUX} 的爬升时间		0.2	50	ms
3	t_{VCCO_DDR}	从 GND 到 90% V_{VCCO_DDR} 的爬升时间		0.2	50	ms
4	t_{VCCO_MIO}	从 GND 到 90% V_{VCCO_MIO} 的爬升时间		0.2	50	ms
5	t_{VCCINT}	从 GND 到 90% V_{CCINT} 的爬升时间	--	0.2	50	ms
6	t_{VCCO}	从 GND 到 90% V_{CCO} 的爬升时间	--	0.2	50	ms
7	t_{VCCAUX}	从 GND 到 90% V_{CCAUX} 的爬升时间	--	0.2	50	ms

注 1：PS 和 PL 的供电是完全独立的，故两边电源之间没有上电顺序要求。

注 2：PS 推荐上电顺序是按 VCCPINT、VCCPAUX、VCCPLL 和 PS VCCO（VCCO_MIO0、VCCO_MIO1、VCCO_DDR）以在上电过程中消耗最小的电流和确保 IO 为三态；推荐掉电顺序与推荐上电顺序相反。PS_POR_B 端口需要保持为 GND 直到上电完成。

注 3：PL 推荐的上电电源顺序为 V_{CCINT}、V_{CCBRAM}、V_{CCAUX} 和 V_{CCO}，以实现最小的上电电流并确保 I/Os 在上电过程中状态为三态。推荐的掉电电源顺序与上电电源顺序相反。如果 V_{CCINT} 和 V_{CCBRAM} 为相同的电压值它们可以被同一个电源驱动和同时上电。

CSD7Z020技术手册

6 电特性参数

6.1 直流电特性参数

表 15 直流电特性参数

特 性	符号	条 件 （除非另有规定， **V_{CCINT}=0.95V~1.05V, V_{CCBRAM}=0.95V~1.05V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465V，V_{CCPINT}=0.95V~1.05V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V**）	极限值		单位
			最小	最大	
数据保持 V_{CCINT} 电压	V_{DRINT}	-	0.75	—	V
数据保持 V_{CCAUX} 电压	V_{DRI}	-	1.5	—	V
V_{REF} 引脚漏电流	I_{REF}	V_{CCINT}=1.05V,V_{CCBRAM}=1.05V,V_{CCAUX}=1.89V, V_{CCO}=1.89V,V_{REF}=0.9V, V_{CCPINT}=1.05V, V_{CCPAUX}=1.89V, V_{CCO_DDR}=1.89V, V_{CCO_MIO}=1.89V	—	15	μA
引脚输入或输出漏电流	I_L	V_{CCINT}=1.05V,V_{CCBRAM}=1.05V,V_{CCAUX}=1.89V, V_{CCO}=1.89V	—	15	μA
引脚上拉电流	I_{RPU}	管脚上拉使能时, V_{IN}=0V, V_{CCO}=3.3V, V_{CCINT}=1.00V, V_{CCBRAM}=1.00V, V_{CCAUX}=1.80V	80	330	μA
		管脚上拉使能时,V_{IN}=0V, V_{CCO}=1.8V, V_{CCINT}=1.00V,V_{CCBRAM}=1.00V,V_{CCAUX}=1.80V	34	220	μA
		管脚上拉使能时，V_{IN}=0V，V_{CCO}=1.2V，V_{CCINT}=1.00V, V_{CCBRAM}=1.00V, V_{CCAUX}=1.80V	12	120	μA
引脚下拉电流	I_{RPD}	管脚下拉使能时,V_{IN}=3.3V,V_{CCO}=3.3V, V_{CCINT}=1.00V,V_{CCBRAM}=1.00V,V_{CCAUX}=1.80V	68	330	μA
ADC 模拟电源电流，模拟电路处于通电状态	I_{CCADC}	V_{CCINT}=1.00V,V_{CCBRAM}=1.00V,V_{CCAUX}=1.80V, V_{CCO}=1.80V, V_{CCADC}=1.89V, VREFP=1.25V	—	25	mA

表 16 PS 单端输入低电平电压

特 性	符号	条 件 （除非另有规定， **V_{CCPINT}=0.95V~1.05V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V**）	极限值		单位
			最小	最大	
MIO 输入低电平电压	V_{IL}	HSTL_I_18，V_{CCO_MIO} =1.8×（1±5%）V V_{PREF}=V_{CCO_MIO} /2	-0.3	V_{PREF}-0.100	V
		LVCMOS33，V_{CCO_MIO}=3.3×（1±5%）V	-0.3	0.8	V
		LVCMOS25，V_{CCO_MIO}=2.5×（1±5%）V	-0.3	0.7	V
		LVCMOS18，V_{CCO_MIO}=1.8×（1±5%）V	-0.3	35%×V_{CCO_MIO}	V

CSD7Z020技术手册

表 17　PL 单端输入低电平电压

特 性	符号	条　件 （除非另有规定， V_{CCINT}=0.95V~1.05V, V_{CCBRAM}=0.95V~1.05V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465V）		极限值		单位
				最小	最大	
输入低电平电压	V_{IL}	LVTTL，V_{CCO}=3.3×（1±5%）V		-0.3	0.8	V
		LVCMOS33，V_{CCO}=3.3×（1±5%）V		-0.3	0.8	V
		LVCMOS25，V_{CCO}=2.5×（1±5%）V		-0.3	0.7	V
		LVCMOS18，V_{CCO}=1.8×（1±5%）V		-0.3	35%V_{CCO}	V
		LVCMOS15，V_{CCO}=1.5×（1±5%）V		-0.3	35%V_{CCO}	V
		LVCMOS12，V_{CCO}=1.2×（1±5%）V		-0.3	35%V_{CCO}	V
		HSTL_II，V_{CCO}=1.5×（1±5%）V	V_{REF}=V_{CCO}/2	-0.3	V_{REF}-0.1	V
		SSTL15，V_{CCO}=1.5×（1±5%）V		-0.3	V_{REF}-0.1	V
		HSTL_I_18,V_{CCO}=1.8×（1±5%）V	V_{REF}=V_{CCO}/2	-0.3	V_{REF}-0.1	V
		SSTL18_I，V_{CCO}=1.8×（1±5%）V		-0.3	V_{REF}-0.125	V
		SSTL18_II，V_{CCO}=1.8×（1±5%）V		-0.3	V_{REF}-0.125	V
		SSTL135，V_{CCO}=1.35×（1±5%）V	V_{REF}=V_{CCO}/2	-0.3	V_{REF}-0.09	V

表 18　PS 单端输入高电平电压

特 性	符号	条　件 （除非另有规定， V_{CCPINT}=0.95V~1.05V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
MIO 输入高电平电压	V_{IH}	HSTL_I_18，V_{CCO_MIO} =1.8×（1±5%）V V_{PREF}=V_{CCO_MIO} /2	V_{PREF}+0.100	V_{CCO_MIO}+0.3	V
		LVCMOS33，V_{CCO_MIO}=3.3×（1±5%）V	2.0	3.450	V
		LVCMOS25，V_{CCO_MIO}=2.5×（1±5%）V	1.7	V_{CCO_MIO} +0.3	V
		LVCMOS18，V_{CCO_MIO}=1.8×（1±5%）V	65% V_{CCO_MIO}	V_{CCO_MIO} +0.3	V

CSD7Z020技术手册

表 19　PL 单端输入高电平电压

特 性	符号	条　　件 （除非另有规定， V_{CCINT}=0.95V~1.05V,V_{CCBRAM}=0.95V~1.05V, V_{CCAUX}=1.71V~1.89V,V_{CCO}=1.14V~3.465V）		极限值		单位
				最小	最大	
输入高电平电压	V_{IH}	LVCMOS18，V_{CCO} =1.8×（1±5%）V		65% V_{CCO}	V_{CCO} +0.3	V
		LVCMOS25，V_{CCO} =2.5×（1±5%）V		1.7	V_{CCO} +0.3	V
		LVCMOS33/LVTTL，V_{CCO} =3.3×（1±5%）V		2.0	3.450	V
		LVCMOS15，V_{CCO} =1.5×（1±5%）V		65% V_{CCO}	V_{CCO} +0.3	V
		LVCMOS12，V_{CCO} =1.2×（1±5%）V		65% V_{CCO}	V_{CCO} +0.3	V
		HSTL_II，V_{CCO} =1.5×（1±5%）V	V_{REF}=V_{CCO}/2	V_{REF} +0.1	V_{CCO} +0.3	V
		SSTL15，V_{CCO} =1.5×（1±5%）V		V_{REF} +0.1	V_{CCO} +0.3	V
		HSTL_I_18, V_{CCO} =1.8×（1±5%）V	V_{REF}=V_{CCO}/2	V_{REF} +0.1	V_{CCO} +0.3	V
		SSTL18_I，V_{CCO} =1.8×（1±5%）V		V_{REF} +0.125	V_{CCO} +0.3	V
		SSTL18_II，V_{CCO} =1.8×（1±5%）V		V_{REF} +0.125	V_{CCO} +0.3	V
		SSTL135，V_{CCO} =1.35×（1±5%）V	V_{REF}=V_{CCO}/2	V_{REF} +0.09	V_{CCO} +0.3	V

表 20　PS 单端输出低电平电压

特 性	符号	条　　件 （除非另有规定， V_{CCPINT}=0.95V~1.05V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
MIO 输出低电平电压	V_{OL}	HSTL_I_18，V_{CCO_MIO} =1.8×（1±5%）V V_{PREF}=V_{CCO_MIO} /2	—	0.400	V
		LVCMOS33，V_{CCO_MIO}=3.3×（1±5%）V	—	0.400	V
		LVCMOS25，V_{CCO_MIO}=2.5×（1±5%）V	—	0.400	V
		LVCMOS18，V_{CCO_MIO}=1.8×（1±5%）V	—	0.450	V

CSD7Z020技术手册

表 21　PL 单端输出低电平电压

特 性	符号	条　件 （除非另有规定， V_{CCINT}=0.95V~1.05V, V_{CCBRAM}=0.95V~1.05V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465V）	极限值		单位
			最小	最大	
输出低电平电压	V_{OL}	LVCMOS18，V_{CCO} =1.8×（1±5%）V，I_{OL} =16mA	—	0.45	V
		LVCMOS25，V_{CCO} =2.5×（1±5%）V，I_{OL} =16mA	—	0.4	V
		LVCMOS33，V_{CCO} =3.3×（1±5%）V，I_{OL} =16mA	—	0.4	V
		LVTTL，V_{CCO} =3.3×（1±5%）V，I_{OL} =24mA	—	0.4	V
		LVCMOS15，V_{CCO} =1.5×（1±5%）V，I_{OL} =16mA	—	25% V_{CCO}	V
		LVCMOS12，V_{CCO} =1.2×（1±5%）V，I_{OL} =8mA	—	0.4	V
		HSTL_II，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OL} =16mA	—	0.4	V
		SSTL15，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OL} =13mA	—	V_{CCO}/2-0.175	V
		HSTL_I_18，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OL} =8mA	—	0.4	V
		SSTL18_I，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =8mA	—	V_{CCO}/2-0.47	V
		SSTL18_II，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =13.4mA	—	V_{CCO}/2-0.6	V
		SSTL135，V_{CCO} =1.35×（1±5%）V，V_{REF} = V_{CCO}/2，I_{OL} =13mA	—	V_{CCO}/2-0.15	V

表 22　PS 单端输出高电平电压

特 性	符号	条　件 （除非另有规定， V_{CCPINT}=0.95V~1.05V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
MIO 输出高电平电压	V_{OH}	HSTL_I_18，V_{CCO_MIO} =1.8×（1±5%）V V_{PREF}=V_{CCO_MIO} /2	V_{CCO_MIO}-0.400	—	V
		LVCMOS33，V_{CCO_MIO}=3.3×（1±5%）V	V_{CCO_MIO}-0.400	—	V
		LVCMOS25，V_{CCO_MIO}=2.5×（1±5%）V	V_{CCO_MIO}-0.400	—	V
		LVCMOS18，V_{CCO_MIO}=1.8×（1±5%）V	V_{CCO_MIO}-0.450	—	V

CSD7Z020技术手册

表 23　PL 单端输出高电平电压

特 性	符号	条　　件 （除非另有规定， V_{CCINT}=0.95V~1.05V, V_{CCBRAM}=0.95V~1.05V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465V）	极限值		单位
			最小	最大	
输出高电平电压	V_{OH}	LVCMOS18，V_{CCO} =1.8×（1±5%）V，I_{OH} =-16mA	V_{CCO} -0.45	—	V
		LVCMOS25，V_{CCO} =2.5×（1±5%）V，I_{OH} =-16mA	V_{CCO} -0.4	—	V
		LVTTL，V_{CCO} =3.3×（1±5%）V，I_{OH} =-24mA	2.4	—	V
		LVCMOS33，V_{CCO} =3.3×（1±5%）V，I_{OH} =-16mA	V_{CCO} -0.4	—	V
		LVCMOS15，V_{CCO} =1.5×（1±5%）V，I_{OH} =-16mA	75% V_{CCO}	—	V
		LVCMOS12，V_{CCO} =1.2×（1±5%）V，I_{OH} =-8mA	V_{CCO} -0.4	—	V
		HSTL_II，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-16mA	V_{CCO} -0.4	—	V
		SSTL15，V_{CCO} =1.5×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-13mA	V_{CCO} /2+0.175	—	V
		HSTL_I_18，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-8mA	V_{CCO} -0.4	—	V
		SSTL18_I，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-8mA	V_{CCO}/2+0.47	—	V
		SSTL18_II，V_{CCO} =1.8×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-13.4mA	V_{CCO} /2+0.6	—	V
		SSTL135，V_{CCO} =1.35×（1±5%）V，V_{REF} = V_{CCO} /2，I_{OH} =-13mA	V_{CCO}/2+0.15	—	V

表 24　IOB 差分接口标准输出性能指标（LVDS_25）

特 性	符号	条　　件 （除非另有规定， V_{CCINT}=0.95V~1.05V, V_{CCBRAM}=0.95V~1.05V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=2.375V~2.625V）	极限值		单位
			最小	最大	
LVDS_25					
输出高电平电压	V_{OH}	R_T=100Ω，跨接于 Q 和 QB 端口	–	1.675	V
输出低电平电压	V_{OL}	R_T=100Ω，跨接于 Q 和 QB 端口	0.700	–	V
输出差模电压	V_{ODIFF}	R_T=100Ω，跨接于 Q 和 QB 端口	247	600	mV
输出共模电压	V_{OCM}	R_T=100Ω，跨接于 Q 和 QB 端口	1.000	1.425	V
输入差模电压	V_{IDIFF}	—	100	600	mV
输入共模电压	V_{ICM}	—	0.300	1.5	V

CSD7Z020技术手册

6.2 开关特性参数

表 25 时钟缓冲器和网络频率特性

特 性	符号	条 件 （除非另有规定， V_{CCINT}=0.95V~1.05V,V_{CCBRAM}=0.95V~1.05V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465V）	极限值		单位
			最小	最大	
全局时钟树最大频率	f_{MAX_BUFG}	-	—	464.00	MHz
I/O 时钟树最大频率	f_{MAX_BUFIO}		—	600.00	MHz
区域时钟树最大频率	f_{MAX_BUFR}		—	315.00	MHz
水平时钟缓冲器 最大频率	f_{MAX_BUFH}		—	464.00	MHz

表 26 MMCM 模块开关特性

特 性	符号	条 件 （除非另有规定， V_{CCINT}=0.95V~1.05V, V_{CCBRAM}=0.95V~1.05V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465V,）	极限值		单位
			最小	最大	
最小时钟输入频率	$MMCM_f_{INMIN}$	-	10	—	MHz
最大时钟输入频率	$MMCM_f_{INMAX}$		—	800	MHz
最小 MMCM VCO 频率	$MMCM_f_{VCOMIN}$		600	—	MHz
最大 MMCM VCO 频率	$MMCM_f_{VCOMAX}$		—	1200	MHz
最小输出频率	$MMCM_f_{OUTMIN}$		4.69	—	MHz
最大输出频率	$MMCM_f_{OUTMAX}$		—	800	MHz
鉴相器的最小频率	$MMCM_f_{PFDMIN}$		10	—	MHz
鉴相器的最大频率	$MMCM_f_{PFDMAX}$		—	450	MHz

表 27 PLL 模块开关特性

特 性	符号	条 件 （除非另有规定， V_{CCINT}=0.95V~1.05V,V_{CCBRAM}=0.95V~1.05V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.14V~3.465）	极限值		单位
			最小	最大	
最小时钟输入频率	PLL_f_{INMIN}	-	19	—	MHz
最大时钟输入频率	PLL_f_{INMAX}		—	800	MHz
最小 PLL VCO 频率	PLL_f_{VCOMIN}		800	—	MHz
最大 PLL VCO 频率	PLL_f_{VCOMAX}		—	1600	MHz
最小输出频率	PLL_f_{OUTMIN}		6.25	—	MHz
最大输出频率	PLL_f_{OUTMAX}		—	800	MHz
鉴相器的最小频率	PLL_f_{PFDMIN}		19	—	MHz
鉴相器的最大频率	PLL_f_{PFDMAX}		—	450	MHz

CSD7Z020技术手册

表 28　引脚到引脚输入及输出参数

特 性	符号	条　件 （除非另有规定， V_{CCINT}=0.95V~1.05V, V_{CCBRAM}=0.95V~1.05V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.425V~1.575V ）	极限值		单位
			最小	最大	
时钟输入引脚到输出触发器输出引脚（最靠近 BUFGs）的延迟	t_{ICKOF}	SSTL15，Fast Slew Rate，不使用 MMCM 和 PLL	—	6.72	ns
时钟输入引脚到输出触发器输出引脚（距离 BUFGs 最远）的延迟	$t_{ICKOFFAR}$	SSTL15，Fast Slew Rate，不使用 MMCM 和 PL	—	7.02	ns
时钟输入引脚到输出触发器输出引脚的延迟（使用 MMCM）	$t_{ICKOFMMCMCC}$	SSTL15，Fast Slew Rate，使用 MMCM	—	1.00	ns
时钟输入引脚到输出触发器输出引脚的延迟（使用 PLL）	$t_{ICKOFPLLCC}$	SSTL15，Fast Slew Rate 使用 PLL	—	0.82	ns
时钟输入引脚到输出触发器 HR 输出引脚延迟	$t_{ICKOFCS}$	SSTL15，Fast Slew Rate 使用 BUFIO	—	6.64	ns
输入引脚到时钟输入引脚的建立保持时间（无延迟、使用输入触发器或者锁存器，使用 MMCM）	$t_{PSMMCMCC}$ /$t_{PHMMCMCC}$	SSTL15，Fast Slew Rate，使用 MMCM	3.36/ -0.62	—	ns
输入引脚到时钟输入引脚的建立保持时间（无延迟、使用输入触发器或者锁存器，使用 PLL）	$t_{PSPLLCC}$ /$t_{PHPLLCC}$	SSTL15，Fast Slew Rate 使用 PLL	3.78/ –0.20	—	ns
输入引脚到转作为时钟输入引脚的建立保持时间（使用 BUFIO）在 HR I/O banks	t_{PSCS}/t_{PHCS}	SSTL15，Fast Slew Rate 使用 BUFIO	-0.38/ 1.76	—	ns

表 29　CPU 时钟开关特性

特 性	符号	条　件 （除非另有规定， V_{CCPINT}=0.95V~1.05V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
最大 CPU 时钟频率	$f_{CPU_6X4X_621_MAX}$	时钟比例设置为 6:2:1	—	766	MHz
最大 CPU_3X 时钟频率	$f_{CPU_3X2X_621_MAX}$		—	383	MHz
最大 CPU_2X 时钟频率	$f_{CPU_2X_621_MAX}$		—	255	MHz
最大 CPU_1X 时钟频率	$f_{CPU_1X_621_MAX}$		—	127	MHz
最大 CPU 时钟频率	$f_{CPU_6X4X_421_MAX}$	时钟比例设置为 4:2:1	—	600	MHz
最大 CPU_3X 时钟频率	$f_{CPU_3X2X_421_MAX}$		—	300	MHz
最大 CPU_2X 时钟频率	$f_{CPU_2X_421_MAX}$		—	300	MHz
最大 CPU_1X 时钟频率	$f_{CPU_1X_421_MAX}$		—	150	MHz

CSD7Z020技术手册

表 30　DDR 时钟开关特性

特 性	符号	条　　件 （除非另有规定， V_{CCPINT}=0.95V~1.05V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
最高 DDR3 接口性能	f_{DDR3_MAX}	—	—	1066	Mb/s

表 31　PS-PL 接口开关特性

特 性	符号	条　　件 （除非另有规定， V_{CCINT}=0.95V~1.05V, V_{CCBRAM}=0.95V~1.05V, V_{CCAUX}=1.71V~1.89V, V_{CCO}=1.425V~1.575V， V_{CCPINT}=0.95V~1.05V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
最大 AXI 接口性能	f_{AXI_MAX}	—	—	250	MHz

表 32　PS-PLL 接口开关特性

特 性	符号	条　　件 （除非另有规定， V_{CCPINT}=0.95V~1.05V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
PLL 最大输出频率	f_{PSPLL_MAX}	—	—	1600	MHz

表 33　处理器配置访问端口开关特性

特 性	符号	条　　件 （除非另有规定， V_{CCPINT}=0.95V~1.05V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
处理器配置访问端口最大频率	f_{PCAPCK}	—	—	100	MHz

表 34　SPI 主模式接口开关特性

特 性	符号	条　　件 （除非另有规定， V_{CCPINT}=0.95V~1.05V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V ）	极限值		单位
			最小	最大	
SPI 主模式设备时钟频率	$f_{MSPICLK}$	—	—	50	MHz
SPI 参考时钟频率	$f_{SPI_REF_CLK}$		—	200	MHz

CSD7Z020技术手册

表 35　SPI 从模式接口开关特性

特 性	符号	条　件 （除非另有规定， V_{CCPINT}=0.95V~1.05V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V ）	极限值		单位
			最小	最大	
SPI 从模式设备时钟频率	$f_{SSPICLK}$	—	—	25	MHz
SPI 参考时钟频率	$f_{SPI_REF_CLK}$		—	200	MHz

表 36　UART 接口开关特性

特 性	符号	条　件 （除非另有规定， V_{CCPINT}=0.95V~1.05V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
最大传输波特率	$B_{AUDTXMAX}$	—	—	1	Mb/s
最大接收波特率	$B_{AUDRXMAX}$		—	1	Mb/s
UART 参考时钟频率	$f_{UART_REF_CLK}$		—	100	MHz

表 37　看门狗计时器开关特性

特 性	符号	条　件 （除非另有规定， V_{CCPINT}=0.95V~1.05V, V_{CCPAUX}=1.71V~1.89V, V_{CCPLL}=1.71V~1.89V, V_{CCO_DDR}=1.14V~1.89V, V_{CCO_MIO}=1.71V~3.465V）	极限值		单位
			最小	最大	
看门狗计时器输入时钟频率	f_{WDTCLK}	—	—	10	MHz

7　功能描述

7.1　概述

CSD7Z020 的处理器系统包括双核硬核处理器、每个处理器包含单精度/双精度浮点单元、每个处理器都有各自的 32KB 指令高速缓存和 32KB 数据高速缓存（L1 高速缓存）、512KB 的 L2 高速缓存、256KB 的片上存储器、支持 DDR3 外部存储器、支持 QSPI、NAND、NOR 等外部静态存储器、8 个 DMA 通道、2 个 UART、2 个 CAN、2 个 I2C、2 个 SPI、4 个 32 位 GPIO、2 个 USB2.0、2 个三速以太网、2 个 SD/SDIO、以及支持 AXI 接口等。与此同时，CSD7Z020 系列电路的可编程逻辑具有丰富的资源，包括 85K 个可编程逻辑单元、220 个 DSP、4.9Mb 的可编程 Block RAM、106400 个触发器、53200 个查找表（LUT）等。

CSD7Z020技术手册

7.2 功能描述

7.2.1 处理器系统功能描述

7.2.1.1 应用处理单元 APU

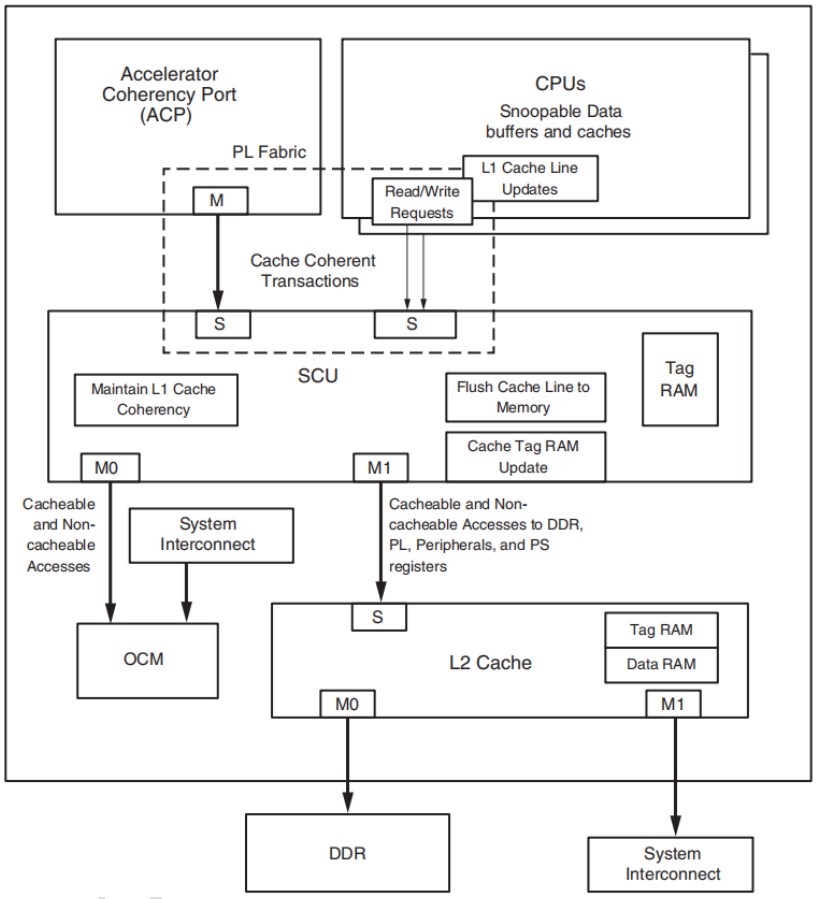


图 10　APU 结构框图

APU 的框架图如图 10 所示，主要是由两个　处理器组成，每一个核都包括一个内存管理单元（MMU）、一个一级 cache 存储器（分为指令 L1（I）和数据 L1（D）两个部分）。APU 里有一个二级 cache 存储器，一个片上存储器（OCM）。APU 里还有一个加速器一致性端口（ACP），有助于 PL 和 APU 之间的通信，PL 可以通过 64 位的 AXI 接口访问二级 cache/OCM 存储器，同时保持 CPU L1 缓存的内存一致性。最后，由一个一致性控制单元（SCU）在核和二级 cache/OCM 存储器之间形成桥连接，这个单元还负责与 PL 对接。其各个模块的功能介绍如下：

MMU：MMU 的主要任务是实现虚拟地址和物理地址的转换；

cache：一级 cache 和二级 cache 用来存放指令和数据；

SCU：SCU 执行两个处理器与一二级 cache 存储器之间相关的接口任务；

FPU：这个单元实现了与 IEEE 754 标准兼容的浮点运算硬件加速，支持单精度和双精度格式，另外还部分支持半精度和整数转换。

7.2.1.2 DMA

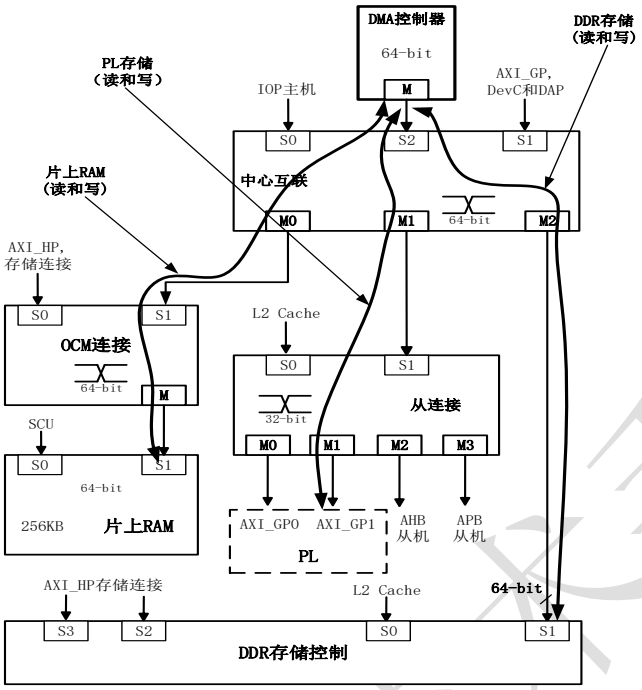


图 11 DMA 结构框图

DMA 控制器(DMAC)使用以 2 倍 CPU 时钟速率运行的 64 位 AXI 主接口来执行与系统存储器和 PL 外设之间的 DMA 数据传输。DMAC 主要包括 3 个子模块，分别为到存储/外设的接口模块、DMA 指令执行引擎和 MFIFO 数据缓冲器模块。DMAC 还包括两组用于以上三个主要功能模块的控制/状态寄存器，分别可在安全模式或非安全模式下访问。

7.2.1.3 外部存储器接口 DDR

DDR 内存控制器支持 DDR2、DDR3、DDR3L 设备，其由三个主要模块组成：AXI 内存端口接口（DDRI）、带有事务调度器的核心控制器（DDRC）以及带有数字 PHY（DDRP）的控制器。

DDRI 模块与四个 64 位同步 AXI 接口连接，同时为多个 AXI 主设备提供服务。每个 AXI 接口都有自己的专用事务 FIFO。

DDRC 包含两个 32 入口内容可寻址存储器（CAM）用于执行 DDR 数据传输调度，以最大限度地提高 DDR 存储器效率。其还包含用于低延迟通道的 fly-by 通道，可以在不通过 CAM 的情况下访问 DDR 内存。

PHY 处理来自控制器的读/写请求，并将它们转换为目标 DDR 存储器时序约束内的特定信号。来自控制器的信号被 PHY 用来产生内部信号，这些信号通过数字 PHY 连接到引脚。DDR 引脚通过 PCB 信号走线直接连接到 DDR 器件。

系统通过 DDRI 的四个 64 位同步 AXI 内存端口来访问 DDR。其中一个 AXI 端口专用于 CPU 和 ACP 的 L2-cache，另外两个端口专用于 AXI_HP 接口，第四个端口由 AXI 互连上的所有其他主机共享。

DDR 接口（DDRI）仲裁来自 8 个端口（4 个读取 4 个写入）的请求。仲裁器选择请求并将其传递给

DDR 控制器和事务调度器（DDRC）。仲裁是基于请求等待的时间长短、请求的紧迫性以及请求是否与前一个请求在同一页面内这些条件的组合进行的。

DDRC 通过一个单独的接口接收来自 DDRI 的请求。读和写都通过此接口进行。读取请求包括一个标记字段，该字段与来自 DDR 的数据一起返回。DDR 控制器 PHY（DDRP）驱动 DDR 事务。

7.2.1.4 MIO/EMIO

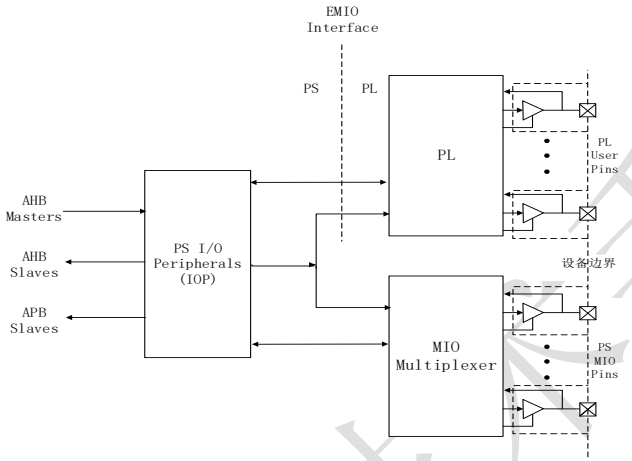


图 12　MIO 结构框图

因为 MIO 引脚的数量是有限的，MIO 多路复用对于 I/O 外设的连接是必要的。I/O 信号到 MIO 引脚的路由被软件编程。I/O 外设信号也可以通过 EMIO 接口路由到 PL 设备中，必要时路由到 PL 设备引脚。I/O 信号路由到 EMIO，有效地利用 PL 引脚，来获取更多的设备引脚；同时，可以允许 I/O 外设控制器连接到 PL 中的用户逻辑。

7.2.1.5 SD

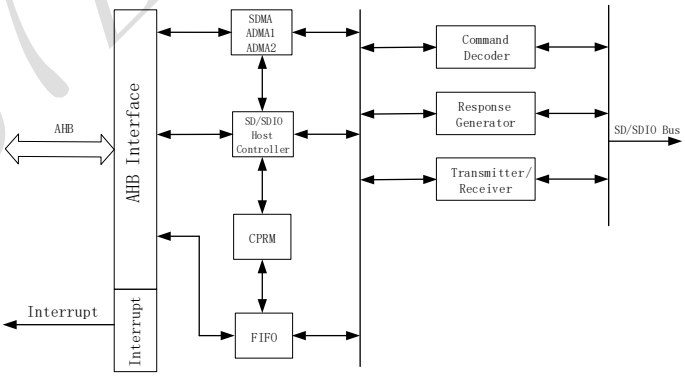


图 13　SD 结构框图

SD/SDIO 控制器通过多达 4 条数据线与 SDIO 设备、SD 存储卡进行通信。在 SD 接口上，一根数据线或者四根数据线可以被用来传输数据。SDIO 接口可以通过 MIO 多路复用器路由到 MIO 引脚或通过 EMIO 路由到 PL 中的 SelectIO 引脚。

CSD7Z020技术手册

7.2.1.6 XADC

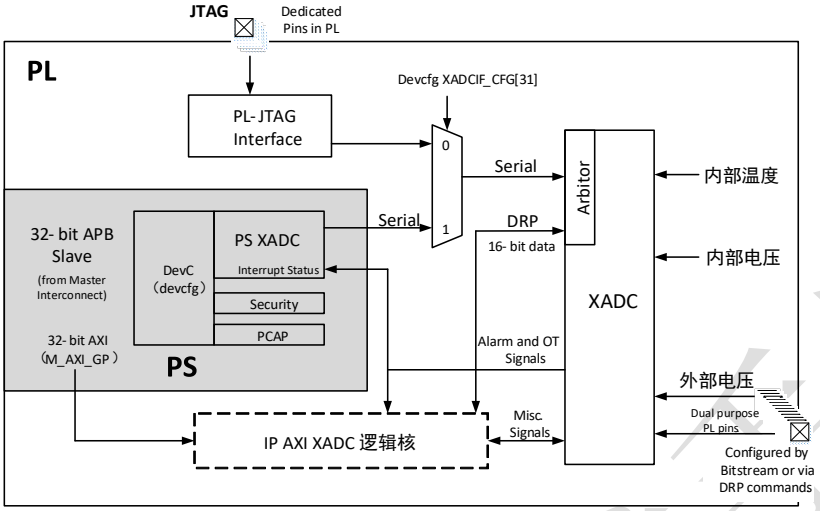


图 14　XADC 结构框图

XADC 具有两个 12 位每秒 1 兆样本(MSPS)ADC，带有单独的跟踪和保持放大器、一个模拟多路复用器（最多 17 个外部模拟输入通道）以及片上热传感器和片上电压传感器。这两个 ADC 可以配置为同时对两个外部输入模拟通道进行采样。采样保持放大器支持一系列模拟输入信号类型，包括单极、双极和差分。模拟输入可以在 1MSPS 的采样率下支持 500KHz 的信号带宽。外部模拟多路复用器可用于增加支持的外部通道数量，而无需额外封装引脚。

XADC 可选择使用片上参考电路，从而无需外部有源元件即可对温度和电源轨进行基本片上监控。为实现 ADC 的全部 12 位性能，建议使用外部 1.25V 基准 IC。

最近的测量结果（连同最大和最小读数）存储在专用寄存器中。用户定义的警报阈值可以自动指示过热事件和不可接受的电源变化。用户指定的限制（例如 100℃）可用于启动软件控制的系统断电。

7.2.1.7 三速以太网

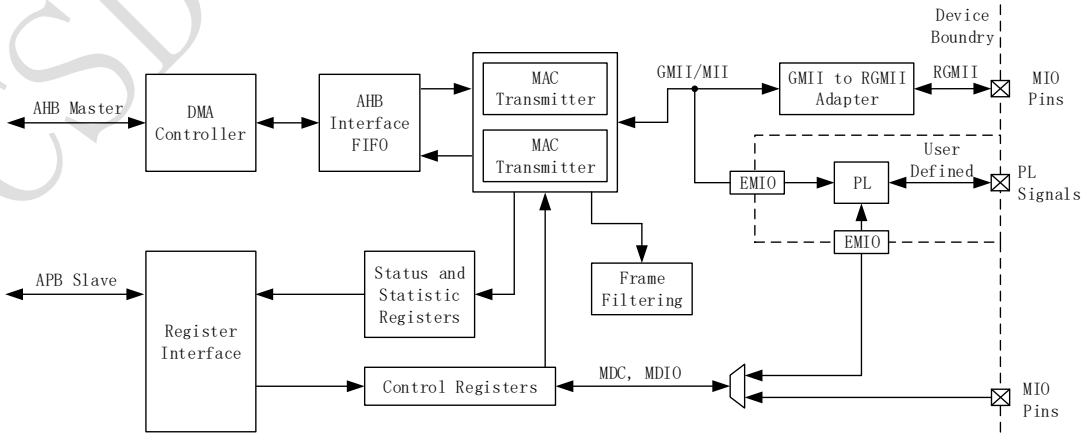


图 15　三速以太网结构框图

千兆以太网控制器实现了 10/100/1000Mb/s 的以太网 MAC，兼容 IEEE802.3-2008 标准，在三种速度下都能够工作在半双工或全双工模式下。PS 配有两个千兆以太网控制器。每个控制器可以单独配置。通过 MIO 访问引脚，为了节省引脚可以使用 RGMII 接口通过 EMIO 访问 PL，EMIO 提供 GMII 接口。

可以使用 EMIO 接口中可用的 GMII 接口，在 PL 中创建其他以太网通信接口。

寄存器用于配置 MAC 的功能，选择不同的工作模式，以及启用和监控网络管理统计信息。DMA 控制器通过 AHB 总线接口连接到存储器。DMA 控制器连接到 MAC 控制器的 FIFO 接口，为嵌入式处理系统数据包的存储，提供分散-收集类型的能力。

7.2.1.8 UART

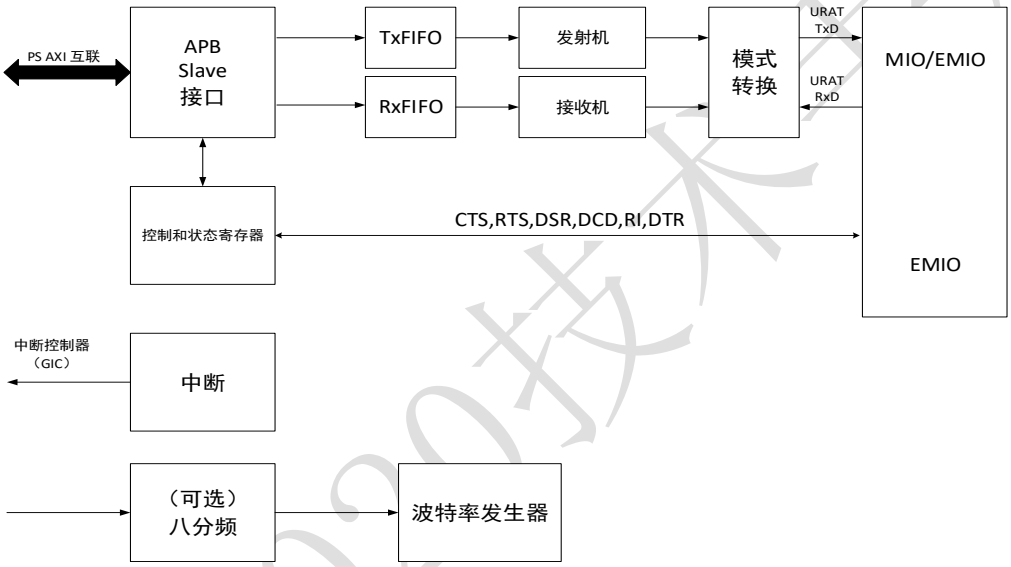


图 16　UART 结构框图

UART 控制器是一个全双工异步接收器和发送器，支持广泛的可编程波特率和 I/O 信号格式。该控制器可以适应自动奇偶校验生成和多主机检测模式。

UART 操作由配置寄存器和模式寄存器控制。使用状态、中断状态和调制解调器状态寄存器读取 FIFO、调制解调器信号和其他控制器功能的状态。

控制器由单独的 Rx 和 Tx 数据路径构成。每个路径包括一个 64 字节的 FIFO。该控制器对 Tx 和 RxFIFO 中的数据进行序列化和反序列化，并包括一个模式开关，以支持 RxD 和 TxD 信号的各种环回配置。FIFO 中断状态位支持轮询或中断驱动的处理程序。软件使用 Rx 和 Tx 数据端口寄存器读取和写入数据字节。

当 UART 用于调制解调器应用时，调制解调器控制模块检测并生成调制解调器握手信号，并根据握手协议控制接收器和发送器路径。

CSD7Z020技术手册

7.2.1.9 I2C

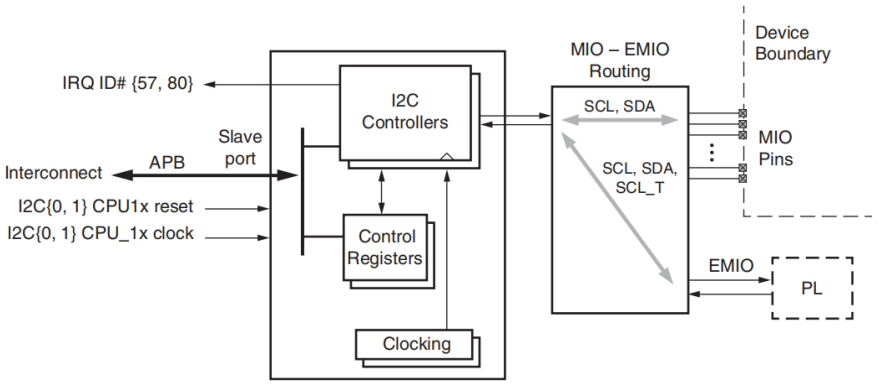


图 17 I2C 结构框图

此 I2C 模块是一个总线控制器，可在多主机设计中用做主机或从机，支持从 DC 到 400kb/s 的极宽时钟频率范围。

在主机模式下，只能通过处理器将从机地址写入 I2C 地址寄存器来启动传输，通过数据中断或传输完成中断通知处理器任何可用的接收数据。如果设置 HOLD 位。I2C 接口在完成数据传输后将 SCL 线保持为低电平，支持低速处理器服务，防止从机溢出情况。主模式下支持 7 位地址（普通）模式以及 10 位地址（扩展）模式。

在从机监控模式下，I2C 接口被设置为主机同时尝试传输数据到特定从机，直到从机以 ACK 响应。同时也可以设置 HOLD 位来防止主机继续传输，防止从机出现溢出情况。

主模式和从模式之间的一个共同特点是（T0）中断标志。如果在任何时候 SCL 线被主机或被访问的从机保持低电平超过超时寄存器规定的时间，会生成 TO 中断以避免停顿。

7.2.1.10 SPI

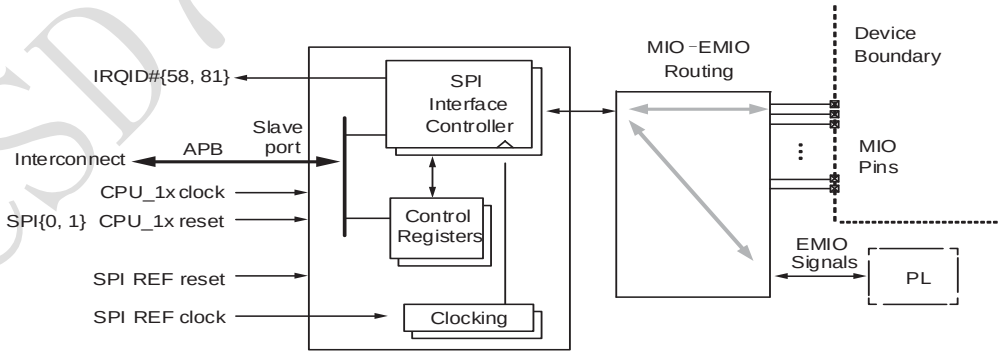


图 18 SPI 结构框图

SPI 总线控制器支持与各种外设进行通信，例如存储器、温度传感器、模拟转换器、实时时钟、显示器和任何支持串行模式的 SD 卡。SPI 控制器可以在主机模式、从机模式或多主机模式下工作。包括两个基于 Cadence SPI 内核的 SPI 控制器。

在主机模式下，控制器驱动串行时钟并且从机选择支持 SPI 的多主机模式，串行时钟源自 PS 时钟子系统。控制器使用最多 3 个单独的从机选择（SS）输出信号发起信息，这些信号可以从外部扩展，控制器通过向 32 位读写数据端口寄存器写入数据来读取和写入从设备。

在多主机模式下，控制器在非活动时会将其输出信号三态化，并且在启用时可以检测到争用错误。SPI 使能位复位时输出信号立即三态化，中断状态寄存器指示模式故障。

在从机模式下，控制器从外部设备接收串行时钟并使用 SPI_Ref_Clk 同步数据采集。从机模式包含一个可编程启动检测机制使之在启用控制器且 SS 被断言时可以正常工作。

读写 FIFO 在 SPI I/O 接口和通过 APB 从接口为控制器服务的软件之间提供缓冲。FIFO 用于从机和主机 I/O 模式。

7.2.1.11 GPIO

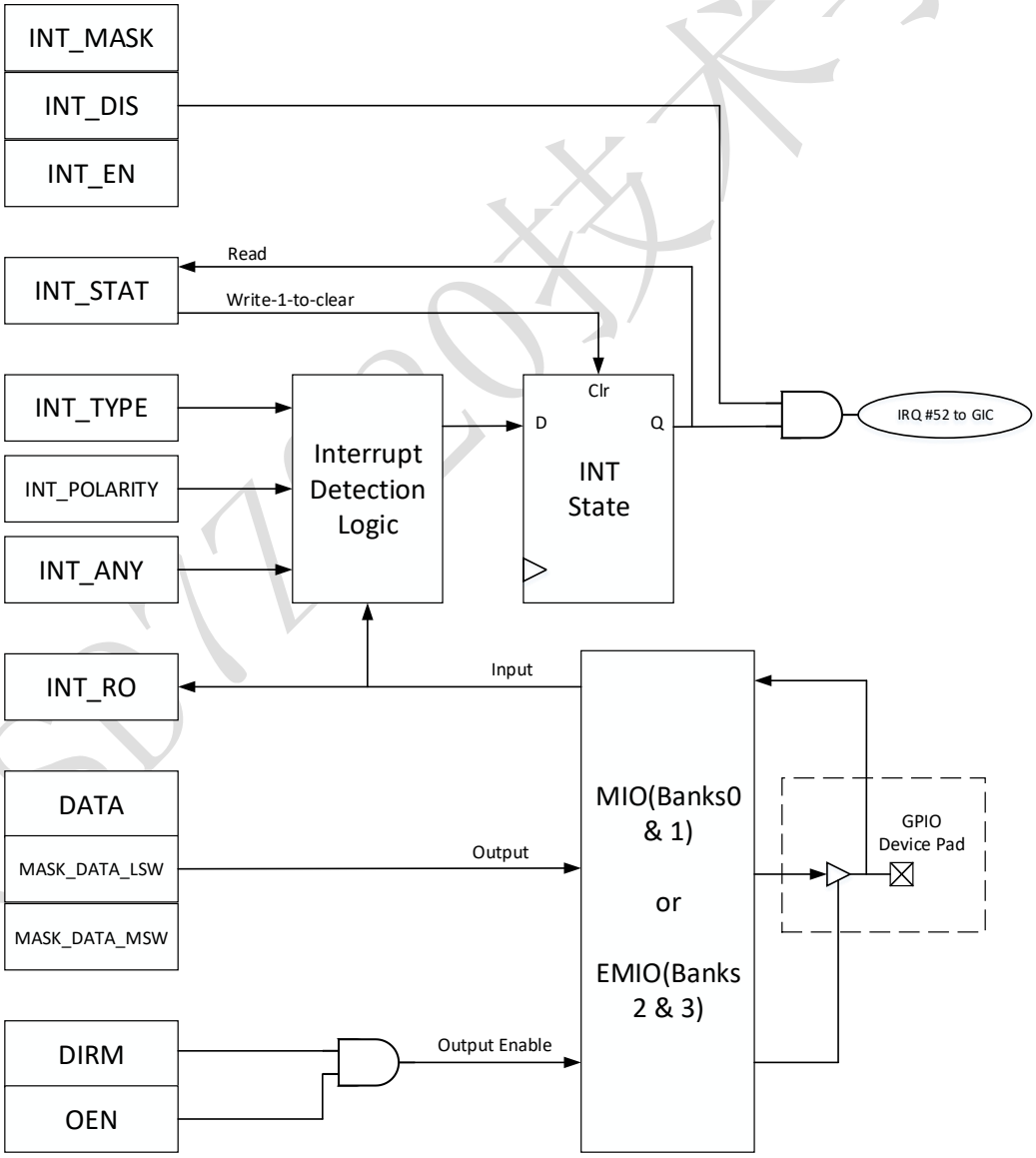


图 19 GPIO 结构框图

通用 I/O(GPIO)外设通过 MIO 模块为软件提供了多达 54 个设备引脚的观察和控制。它还提供来自可编程逻辑(PL)的 64 个输入的访问以及通过 EMIO 接口对 PL 的 128 个输出的访问。GPIO 被组织成四个寄存器组，并将相关的接口信号分组。

每个 GPIO 都独立且动态地编程为输入、输出或中断感应。软件可以使用单个加载指令读取库中的所有 GPIO 值，或使用单个存储指令将数据写入一个或多个 GPIO（在 GPIO 范围内）。GPIO 控制和状态寄存器映射到基地址 0xE000_A000 的内存。

7.2.1.12 USB

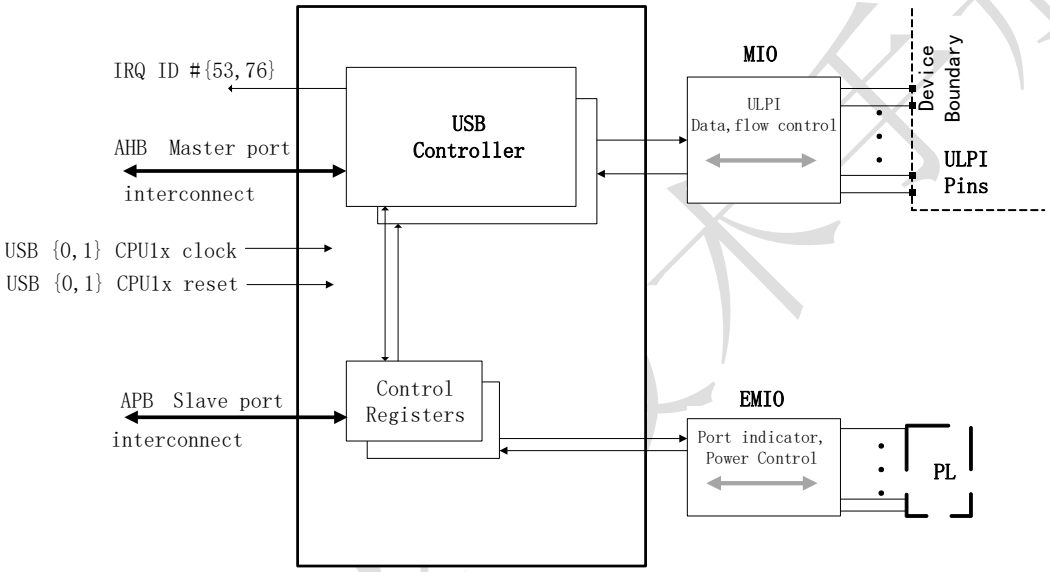


图 20 USB 结构框图

两个独立的 USB 控制器具有单独的控制和状态寄存器。每个 ULPI 接口都通过 MIO 独立启用通过 EMIO 路由的每个控制器都有单独的端口指示灯和电源信号。

7.2.2 可编程逻辑功能描述

PL 端主要由可编程逻辑模块（CLB）、输入输出模块（IOB）、36Kbit 容量存储器模块（BRAM）、数字信号处理模块（DSP）、数字时钟管理模块（CMT）以及互连布线模块等资源组成。

CLB 包含的功能：查找表；全局进位链，两条加法进位链；D 触发器 DFF 功能（同步/异步,SR 为高/低）；锁存器 LATCH 功能；CLB 内部进位链异或门 XOR，进位选择器 MUXCY；CLB 内部进位链与门 MULT_AND；多路选择器 MUXF5、MUXF6 功能；移位寄存器功能；分布式 RAM 功能。

IOB 功能：IOBUF、ILOGIC、OLOGIC，支持 LVDS 速率 1.25Gbps。

BRAM 功能：内部为 36Kbit 存储单元，支持双口（A，B 端口），或者单口 RAM 模式访问。

DSP 功能：支持多种独立的函数运算，包括乘法、乘累加（MACC）、乘加、三输入加法、比较器和宽范围的计数器等运算。

CMT：分频/倍频/混频/相移/锁定等。

7.2.2.1 宽范围 IO 模块

宽范围 IO(HRIO)模块由 IO 输入输出模块(IOB)、IDELAY，以及相对应的 ILOGICE/ISERDESE、OLOGICE/OSERDESE 组成，其适用于宽范围要求的 IO，例如高速存储接口或者高达 3.3V 电压的片间连接。

表 38 宽范围 IO Bank 支持的电平和功能特性

特性	宽范围 IO Bank
3.3V IO	支持
2.5V IO	支持
1.8V IO	支持
1.5V IO	支持
1.35V IO	支持
1.2V IO	支持
LVDS 电平	支持
24mA LVCMOS18、LVTTL 输出	支持
V_{CCAUX_IO} 电源	NA
数字控制阻抗（DCI）及 DCI 级连	NA
内部 V_{REF}	支持
内部差分中端（DIFF_TERM）	支持
IDELAY	支持
ODELAY	NA
IDELAYCTRL	支持
ISERDES	支持
OSERDES	支持
ZHOLD_DELAY	NA

表 39 宽范围 IO 模块功能列表

编号	模块内部功能
1	三态
2	边沿触发式 D 触发器输入/输出功能
3	电平敏感型锁存器输入/输出功能
4	不同模式的 IDDR 功能（OPPOSITE_EDGE，SAME_EDGE，SAME_EDGE_PIPELINED）
5	不同模式的 ODDR 功能（SAME_EDGE，OPPOSITE_EDGE）
6	输入串并转换功能
7	输出并串转换功能
8	IDELAY 功能
9	IO_FIFO 功能（4x4,4x8/8x4，级联）

CSD7Z020技术手册

7.2.2.2 CLB 模块

可编程逻辑单元（CLB）是实现用户自定义时序逻辑、组合逻辑功能的主要模块。可编程逻辑单元可以通过互联矩阵实现互联，也可以通过互联阵列和产品内其他资源连接。可编程逻辑单元的复杂度和数量是产品可编程能力的重要参数。

CLB 模块主要特征有：

- 真 6 输入查找表（LUT）
- 双 LUT5（5 输入 LUT）操作
- 分布式存储和移位寄存器逻辑
- 为算术功能提供专用的进位逻辑
- 宽复接器用于高效使用

每个 LUT 可以配置为 6 输入 1 输出的 LUT ，或者 2 个 5 输入 2 个独立输出的 LUT，但使用共同的地址或者输入逻辑。每个 LUT 输出都可以选择寄存器输出。一个 CLB 单元中包含 4 个 6 输入 LUT 以及配套的 8 个触发器，复接器和算术进位逻辑。2 个 CLB 单元构成 1 个 CLB 模块。每个 CLB 单元的 4 个触发器（每个 LUT 一个触发器）可以配置为锁存器操作，同时剩下的 4 个触发器必须保持未使用。

大约 1/3 的 CLB 单元是 SLICEL 逻辑，剩余的是 SLICEM 逻辑，SLICEM 逻辑可以使用他们的 LUT 作为分布式 64bit RAM 或者 32bit 移位寄存器（SRL32）或者 2 个 SRL16。

7.2.2.3 BRAM 模块

BRAM 模块即 Block RAM 模块，可以存储 36K bit 的数据，也可以分成两个独立的 18K bit 的存储模块。Block RAM 模块可以配置为多种模式的 RAM 和 FIFO。

Block RAM 模块的主要特征包括：

- 每个 BRAM 可以存储多达 36Kbit 的数据
- 每个 BRAM 支持两个独立的 18Kb 或者单个 36Kb
- 每个 36Kb BRAM 可以设置为简单双端口模式，BRAM 双倍数据位宽支持 72bit。18Kb BRAM 可以设置为简单双端口模式，BRAM 双倍数据位宽支持 36bit。简单双端口模式定义为有独立时钟的一个只读、一个只写端口。
- 简单双端口模式支持一端固定位宽，另一端可变位宽。
- 相邻 BRAM 可以合成 64K ×1 的存储器而不要额外的逻辑。
- 64bit 的 ECC 支持每个 36Kb BRAM 或者 36Kb FIFO，编码解码功能分开。ECC 模式支持误码注入。
- BRAM 输出的锁存器和寄存器模式，可以同步设置/复位到初始值。
- 可以将 BRAM 配置为同步 FIFO，消除不确定的标志位。
- FULL 标志位。

CSD7Z020技术手册

- 18、36、72bit 位宽 BRAM 端口可以按 byte 独立写。此功能常用于微处理器接口。
- 每个 BRAM 包含操作地址序列和控制电路以产生一个内置双时钟的 FIFO 存储器，BRAM 可以设置为 18 Kb 或 36 Kb FIFO。
- 所有输入通过端口时钟寄存，且有时钟建立时序指标。
- 所有输出有读功能或者边写边读功能，由写使能（WE）pin 决定。在时钟-输出间距后，输出可用。边读边写输出可选三种操作模式之一：WRITE_FIRST, READ_FIRST 和 NO_CHANGE。
- 写操作要求一个时钟沿。
- 读操作要求一个时钟沿。
- 所有输出端口被锁存或者寄存操作。在被其他读写操作之前，输出端口状态不会改变。BRAM 默认是锁存模式。
- 输出数据深度可以通过内部流水线寄存器操作。强烈推荐使用寄存器模式，此时允许更高的时钟频率，同时也增加了一个延迟时钟周期。

BRAM 的使用规则包括：

- 不能在 ECC 解码器使用时(EN_ECC_READ=TRUE)同步置位和复位（RSTRAM）端口。
- BRAM 同步输出寄存器（可选）在 DO_REG=1 时，通过 RSTREG 设置或复位（SRVAL），当 RSTREG 优先级高于 REGCE 时决定 RSTREG_PRIORITY。在 DO_REG=0 或者 1 时，同步输出锁存被 RSTRAM 设置或复位（SRVAL）。
- BRAM 地址或者写使能 pin 的建立时间不能违反。违反地址建立时间会导致 BRAM 数据内容丢失。
- 如果 RSTREG_PRIORITY 设置为 REGCE，BRAM 寄存器模式 RSTREG 要求 REGCE=1 来复位输出 DO 寄存器值。BRAM 阵列数据输出锁存不能通过这种模式复位。BRAM 锁存模式 RSTRAM 要求 BRAM 使能 EN=1 时，复位输出 DO 锁存值。
- 两种 BRAM 原语，RAMB36E1 和 RAMB18E1。RAM_MODE 属性定义了 BRAM 的模式，SDP 模式与真双端口（TDP）模式之一。
- 在使用特殊的 BRAM 原语时支持选择不同的读写端口宽度。检验位只用于 x9, x18,x36 端口宽度。检验位不能用于 x1,x2,x4 读宽度。如果读宽度为 x1,x2,x4，有效地写宽度为 x1,x2,x4,x8,x16,x32。同样的，写宽度为 x1,x2,x4，实际有效地读宽度为 x1,x2,x4,x8,x16,x32，哪怕通过原语属性分别设置为 1,2,4,9,18,36。

表 40　BRAM 模块主要功能列表

编号	模块内部功能
1	不同模式的 BRAM 读写功能（WRITE_FIRST，READ_FIRST，NO_CHANGE）
2	不同宽度深度的 BRAM 读写功能（SDP，TDP）： 36Kbit RAM：64Kx1，32Kx1，16Kx2，8Kx4，4Kx9，2Kx18，1Kx36，512x72 18Kbit RAM：16Kx1，8Kx2，4Kx4，2Kx9，1Kx18，512x36
3	RAM 输出寄存器（RSTREG，DO_REG）

编号	模块内部功能
4	独立读写位宽功能
5	BRAM 级联功能
6	不同模式的 FIFO 功能及状态标志位测试（同步或者异步，standard 或 first-word fall-through，FWFT）
7	FIFO 输出寄存器测试
8	不同深度宽度的 FIFO 功能：18Kb：4K x 4，2K x 9，1K x 18，512 x 36 36Kb：8K x 4，4K x 9，2K x 18，1K x 36，512 x 72
9	FIFO36 级联和并联功能、BRAM 和 FIFO 的组合连接功能
10	不同模式的 64 bit ECC 功能（Standard，encode only，decode only）
11	RAM ECC，FIFO ECC 功能
12	ECC 输出寄存器功能

表 41　BRAM 模块应用场景

原语	设置读宽度	设置写宽度	有效读宽度	有效写宽度
RAMB18E1	1, 2, 4	9,18	与设置相同	8,16
RAMB18E1	9,18	1, 2, 4	8,16	与设置相同
RAMB18E1	1, 2, 4	1, 2, 4	与设置相同	与设置相同
RAMB18E1	9,18	9,18	与设置相同	与设置相同
RAMB36E1	1, 2, 4	9,18,36	与设置相同	8,16,32
RAMB36E1	9,18,36	1, 2, 4	8,16,32	与设置相同
RAMB36E1	1, 2, 4	1, 2, 4	与设置相同	与设置相同
RAMB36E1	9,18,36	9,18,36	与设置相同	与设置相同

7.2.2.4　DSP 模块

DSP 支持多种功能，包括乘法、乘累加（MACC）、乘加、三输入加法、桶形移位、宽总线选择、数值比较、按位逻辑运算、样本检测与宽计数功能。还支持多个 DSP 级联，构建更大的数学函数、DSP 滤波器和复杂的运算。

DSP 模块主要特性包括：

- 25×18 二补数乘法器
- 48bit 累加器
- 低功耗预加器
- 单指令多数据操作算数单元
- 任意功能逻辑单元
- 码型检测器
- 可选的流水线和专用总线级联

CSD7Z020技术手册

表 42　DSP 模块应用场景

编号	模块内部功能
1	25 位预加器（带或不带 D 触发器）
2	25 x 18 乘法器
3	A、B、C、D 数据端口
4	三输入加法器/减法器/48 位逻辑运算单元
5	PATTERN 检测器
6	流水线功能
7	DSP 级联功能

7.2.2.5　时钟布线模块

PL 时钟资源具有专门的全局时钟、区域 IO 和时钟资源。时钟管理单元（CMT）提供时钟频率合成、去偏斜和抖动过滤功能。在设计时钟功能时，不建议使用非时钟资源（如本地布线）。

- 全局时钟树允许同步逻辑的时钟穿越该模块。
- IO 和区域时钟树允许驱动多达 3 个邻近的垂直时钟区域。
- 每个 CMT 包含 1 个混合模式时钟管理器（MMCM）和 1 个锁相环（PLL），其位置紧靠 IO 模块列。
- 对于时钟而言，PL 可以分成多个时钟域。
- 时钟域的数量与 PL 器件型号有关，CSD7Z020 有 3 个时钟区域。
- 时钟域包括所有的同步模块（如 CLB、IO、串行收发器、DSP、BRAM、CMT）在一个区域跨越 50 个 CLB 和 1 个 IO bank，在时钟域的中间是水平时钟通道（HROW）。
- 每个时钟域分为 HROW 的上 25 个 CLB、下 25 个 CLB，相对于 HROW 对称分布。

每个 IO Bank 都包含时钟功能输入引脚（CC），以将用户时钟引入 PL 时钟布线资源。结合专用时钟缓冲器，时钟功能输入引脚将用户时钟带到：

- 位于器件相同的上半部分/下半部分的全局时钟线
- 同一 IO Bank 和竖直相邻的 IO Bank 内的 IO 时钟线
- 同一时钟区域和竖直相邻时钟区域内的区域时钟线
- 同一时钟区域内，和有限制、竖直相邻时钟区域内的 CMTs

器件都具有 32 条全局时钟线，可以提供时钟和控制信号到整个器件中的所有时序资源。全局时钟缓冲器（BUFGCTRL，简称为 BUFG）驱动全局时钟线，并且必须是用于访问全局时钟线。每个时钟区域可以最多支持 12 个全局时钟线使用时钟区域中的 12 条水平时钟线。

全局时钟缓冲器：

- 可用作时钟使能电路来启用或禁用多个时钟时钟区域
- 可用作无干扰多路复用器，以：

- 在两个时钟源之间选择
- 与不使用的时钟源隔离

- 通常由 CMT 驱动以：
  - 消除时钟分配延迟
  - 调整相对于另一个时钟的时钟延迟

在单个时钟区域内，水平时钟缓冲器（BUFH/BUFHCE）允许通过水平时钟行访问全局时钟线。它也可以用作时钟使能电路（BUFHCE）独立启用或禁用跨越单个时钟区域的时钟。每个时钟区域可以使用 12 个水平时钟线支持最多 12 个时钟。

在一个时钟区域内，每个 PL 都有可以为所有时序资源提供时钟的区域和 IO 时钟树。每个器件还拥有多时钟区域缓冲器（BUFMR），允许区域时钟和 IO 时钟跨越三个竖直相邻的时钟区域的。

- IO 时钟缓冲器（BUFIO）驱动 IO 时钟树，在同一 IO bank 内给所有 IO 资源序列提供时钟。
- 区域时钟缓冲器（BUFR）驱动区域时钟树，其能够驱动相同时钟域中的所有时钟节点，并且可以通过编程对输入时钟频率进行分频。
- 协调 IOB 中的可编程串行器/解串器（请参考 PL IO 资源用户指南），BUFIO 和 BUFR 时钟缓冲器允许源同步系统跨越时钟域而不使用额外的逻辑资源
- 相邻时钟区域和 IO Bank 的区域时钟树和 IO 时钟树可以通过使用多时钟区域缓冲器（BUFMR）被驱动，当使用有相关的 BUFR 或 BUFIO。
- 一个时钟区域最多支持四个独立的区域时钟，一个 IO Bank 中最多支持四个独立的 IO 时钟。
- 高性能时钟路径（HPC）将 CMT 的某些特定输出连接到 IO 上，其为低抖动、最小占空比扭曲的直连路径。

表 43　时钟布线主要资源列表

编号	模块内部
1	全局时钟缓冲器 BUFG
2	IO 时钟缓冲器 BUFIO
3	时钟区域缓冲器 BUFR
4	多时钟区域缓冲器 BUFMR
5	横向时钟缓冲器 BUFH

7.2.2.6　CMT 模块

时钟管理模块 (CMT)提供非常灵活的高性能时钟控制。每个 CMT 包含一个复合模式时钟管理模块 MMCM 和一个锁相环 PLL。

该 MMCM 和 PLL 可用作各种频率的频率合成器和作为外部或内部时钟的抖动滤波器，以及去偏斜时钟。PLL 是 MMCM 功能的一个子集。PL 时钟输入连接允许多种资源为 MMCM 和 PLL 提供参考时钟。

CSD7Z020技术手册

PL MMCM 在任何方向上都具有无限精细的相移能力并用于动态相移模式。MMCM 也有一个微计数器存在于反馈路径或在一个输出路径中，实现频率合成的进一步粒度能力。

表 44　CMT 模块主要功能列表

编号	模块内部功能
1	MMCM 的小数分频（O 分频）功能
2	MMCM 分频级联（CLKOUT4 分频与 CLKOUT6 分频）
3	MMCM 参考时钟选择功能
4	CMT 内反馈
5	MMCM/PLL 动态重配置
6	MMCM 的动态相移功能
7	CMT 级联（MMCM 与 MMCM 级联、PLL 与 PLL 级联）
8	MMCM/PLL 频率综合功能（频点抽样）
9	MMCM 扩频时钟产生器（SSCG）

7.2.2.7　ADC 模块

PL 内部 ADC 模块，主要是由包含两个 12 位、可达 1MSPS 采样率的模数转换器（ADC）和相关的片上传感器组成。

表 45　ADC 模块主要功能列表

编号	模块内部功能	
	功能	模式
1	采样模式	初始模式
2		单次模式
3		连续模式
4		单通道模式
5		同步采样模式
6		独立 ADC 模式
7		初始模式
8	校准功能	ADC 失调校准使能
9		ADC 失调和增益校准使能
10		电源电压传感器校准使能
11		电源电压失调和增益校准使能
12	告警功能	过温告警使能
13		温度告警使能
14		VCCINT 告警
15		VCCAUX 告警

CSD7Z020技术手册

编号	模块内部功能	
	功能	模式
16		VCCBRAM 告警
17		综合告警
18	上电/掉电功能	ADC 上电
19		无效选择
20		ADC 掉电
21	时钟分频功能	DCLK 分频
22	均值滤波器功能	均值滤波器使能(校准)
23		无均值
24		均值 16 次
25		均值 64 次
26		均值 256 次
27	ADC 通道	片上温度
28		电源 VCCINT
29		电源 VCCAUX
30		专用模拟输入
31		基准 VREFP
32		基准 VREFN
33		电源 VCCBRAM
34		无效通道
35		XADC 校准
36		无效通道
37		辅助通道 0 至 15
38	模拟输入功能	单端输入模式
39		差分输入模式

7.2.2.8 配置模块

配置电路和 PL 产品的架构关系密切，架构直接决定了配置电路实现的系统组合。其基本功能就是对 SRAM 阵列写入不同的数据组合控制内部的逻辑电路来满足用户设计的功能，而 PL 能够“实现”何种功能是由其配置比特流文件（.bit 文件）来决定的。PL 端仅支持 JTAG/边界扫描配置模式。

表 46 配置模块主要功能列表

编号	模块内部功能
1	JTAG/boundary-scan 配置
2	eFUSE（checkbit 测试数据编程与读取）

CSD7Z020技术手册

8 应用建议

8.1 开发工具版本

PL 配套开发工具建议使用版本为 2018.3、SOC 开发软件建议 2018.3 或者 2019.2 版本。

8.2 PL 电源上电顺序要求

注：必须按照上电要求进行操作，如未按照上下电要求操作，有概率导致PL电路中efuse被误烧写，导致器件不可逆的损坏！！！

上电要求：

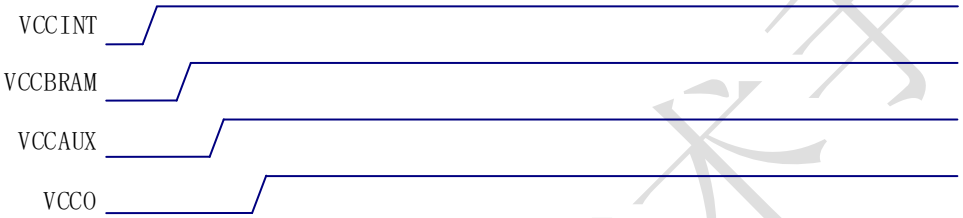


图 21　PL 上电要求

8.3 PS 电源上下电顺序要求

注：必须按照上下电要求进行操作，如未按照上下电要求操作，有概率导致PS电路中efuse被误烧写，导致器件不可逆的损坏！！！

上电要求：

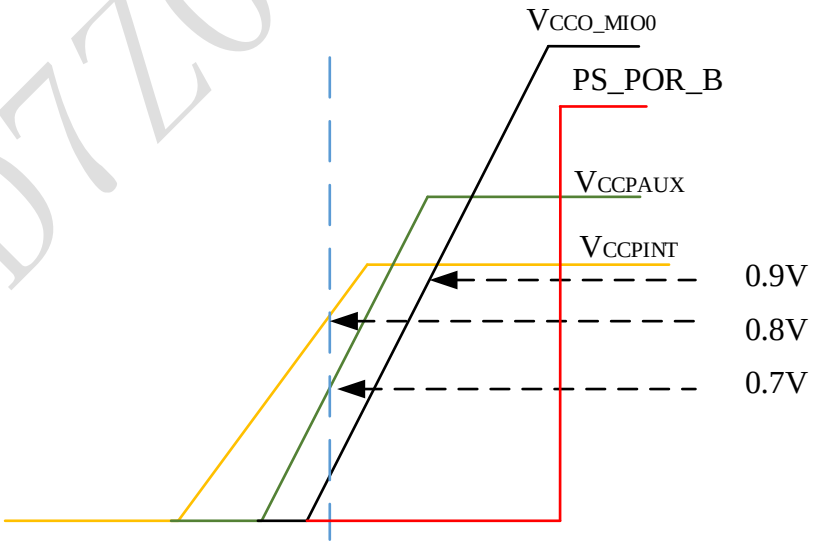


图 22　PS 上电要求

掉电要求：

掉电满足 PS 掉电要求 1 或掉电 2 其一即可。

CSD7Z020技术手册

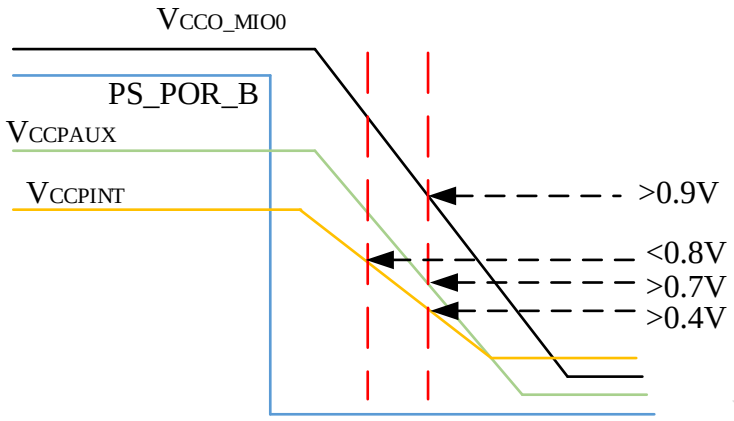


图 23　PS 掉电要求 1

或

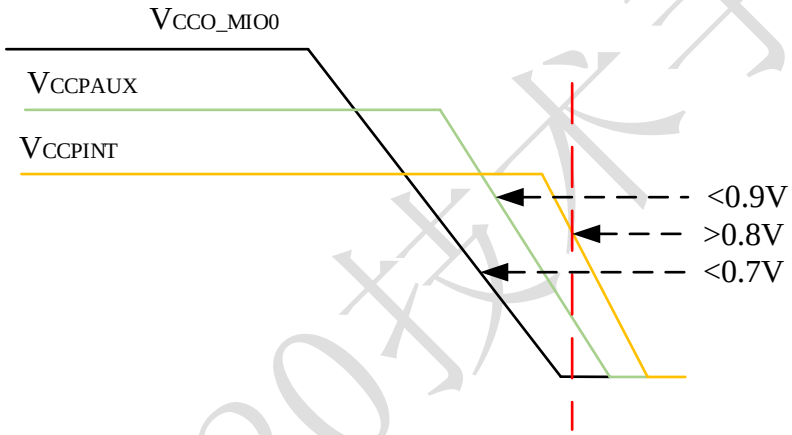


图 24　PS 掉电要求 2

8.4　开发流程

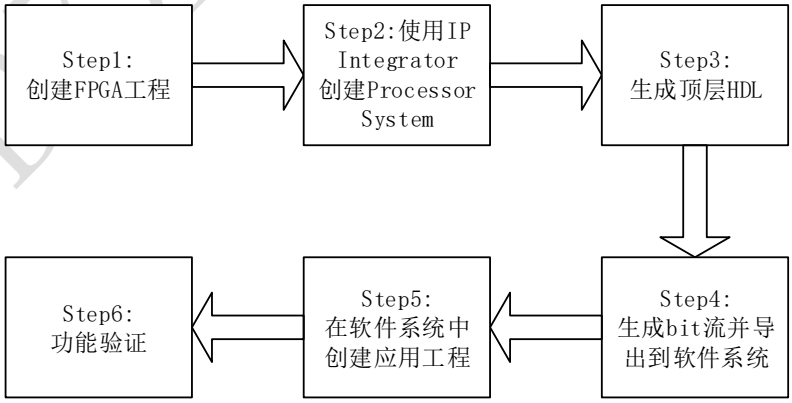


图 25　CSD7Z020 流程图

如图 25 所示，开发流程大体可以分为 6 步。其中 step1 至 step4 为硬件设计部分；step5 为软件设计部分；step6 为功能的验证。复杂的程序还涉及 Debug。

PS 端启动流程如图 26 所示：

CSD7Z020技术手册

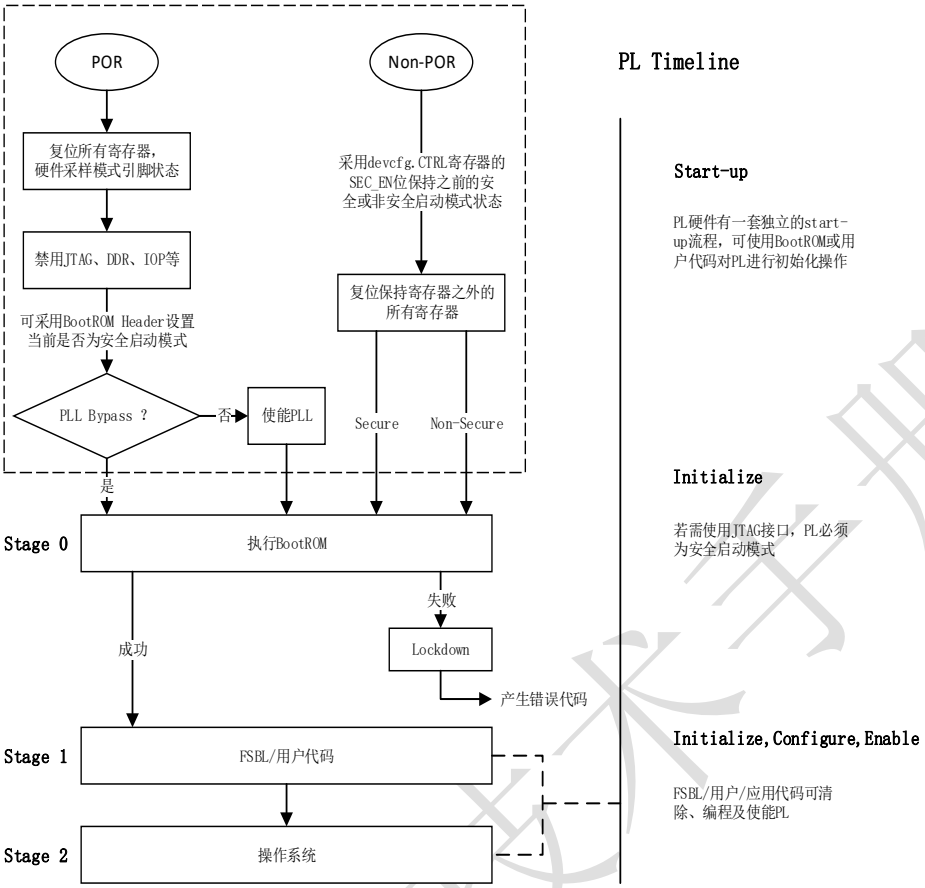


图 26　CSD7Z020 启动流程图

- 硬件启动阶段

PS 硬件启动阶段包括电源供电斜率、时钟、复位、管脚采样和 PLL 初始化。PL 可以在 PS 启动时上电。

- 外部 PS 控制管脚

在 PS_CLK 参考时钟的 45 个时钟周期内，硬件对七个启动模式管脚进行采样，并将它们的设置存储在只读寄存器中。管脚定义 MIO 输入缓冲器的初始电压灵敏度，选择 JTAG 链的路由，并选择包含启动镜像的 Flash 器件。开发板上电后会自动置低 PS_POR_B 复位管脚。板卡还包括一个 POR 复位按钮，可用于生成 POR 复位。可以使用 PS_SRST_B 复位管脚生成 non-POR 系统复位。

- PS PLL 初始化

PS PLL 由 MIO[6](BOOT_MODE[4])管脚使能。当 PLL 被使能时，BootROM 的执行会延迟直到 PLL 输出锁定。如果 PLL 未使能，则 PS_CLK 参考时钟输入管脚绕过 PLL，时钟子系统以 PS_CLK 输入的频率驱动。

- PS 软件启动阶段

PS 软件启动过程由 BootROM 和 FSBL/用户代码控制。BootROM 代码操作受启动管脚、BootROM Header 以及 BootROM 代码在系统中检测到的内容的影响。

- 阶段 0（BootROM：BootROM Header）

上电复位(POR)或 non-POR 系统复位（PS_SRST_B、调试、看门狗、软件）后，硬编码的 BootROM 在主 CPU(CPU0)上执行。BootROM 读取可编程到启动 Flash 器件中的 BootROM Header 以确定启动流程并转换到阶段 1。在硬件启动序列之后，两个 CPU 开始执行位于地址 0x0（BootROM 最初所在的位置）的相同的 BootROM 代码以确定它们自己的特性。请注意，单核器件包含一个处理器，双核器件包含两个。当存在 CPU1 时，通过执行 WFE 指令将自己暂停。CPU0 继续执行 BootROM。

- 阶段 1（FSBL/用户代码）

这通常是第一级启动引导程序，但它可以是任何用户控制的代码。

- 阶段 2（U-Boot/系统/应用程序）

这通常是系统软件，但也可能是第二级启动引导程序(SSBL)。

CSD7Z020 在上电启动配置过程中，会首先读取外部模式引脚电平确定配置模式，再通过内部 BootROM 以及启动代码完成 PS 端配置，且若不通过 JTAG 对 PL 端进行配置，则必须由 PS 端对 PL 端进行配置。CSD7Z020 配置关键引脚如表 47 所示：

表 47　配置关键引脚

引脚名称	I/O 类型	PS 端/PL 端	描述
PS_POR_B	Input	PS 端	POR 复位引脚，是读取启动模式引脚上下拉状态的唯一复位。对于上电序列，需要将 PS_POR_B 输入设定为低，直到 VCCPINT、VCCPAUX 和 VCCO_MIO0 达到其最小运行水平，以确保 PS eFUSE 的完整性。
PS_SRST_B	Input	PS 端	Non-POR 复位引脚，用于强制系统复位，可悬空、上拉，并可在 PS 端电源上电期间为高。
MIO[2]	Inout	PS 端	PS_POR_B 拉低后系统读取该引脚上下拉状态并写入寄存其中，确定 JTAG 链连线模式。 0：级联模式； 1：独立模式。 注：安全模式下，JTAG 不会启用，该引脚状态会被忽略。
MIO[5:3]	Inout	PS 端	PS_POR_B 拉低后系统读取该引脚上下拉状态并写入寄存其中，确定配置模式。 000：JTAG； 001：NOR； 010：NAND； 100：QSPI； 110：SD 卡。
MIO[6]	Inout	PS 端	PS_POR_B 拉低后系统读取该引脚上下拉状态并写入寄存其中，确定是否启用 PLL。 0：启用 PLL，系统会等待 PLL 锁定，再去执行 BootROM； 1：跳过 PLL，以支持更宽的 PS_CLK 频率范围。
MIO[8:7]	Inout	PS 端	PS_POR_B 拉低后系统读取该引脚上下拉状态并写入寄存其中，确定 BANK_500 及 BANK_501 使用的端口电压标准。

引脚名称	I/O 类型	PS 端/PL 端	描述
			00：BANK_500 及 BANK_501 端口电压为 2.5V 或 3.3V； 01：BANK_500 端口电压为 1.8V，BANK_501 端口电压为 2.5V 或 3.3V； 10：BANK_500 端口电压为 2.5V 或 3.3V，BANK_501 端口电压为 1.8V； 11：BANK_500 及 BANK_501 端口电压为 1.8V。 注：如果某个接口同时用到了两个 BANK 上的 MIO，两个 BANK 上的电压标准必须一致。
CFGBVS	Input	PL 端	配置 BANK(BANK0)电压选择当 CFGBVS 为高时，BANK0 电压为 2.5V 或 3.3V；当 CFGBVS 为低时，BANK0 电压小于等于 1.8V; CFGBVS 必须接高或者接低，不允许悬空。若其他 BANK 参与配置，端口电压需要与 BANK0 匹配。
TCK	Input	PL 端	IEEE Std 1149.1 (JTAG)Test 时钟管脚，用于连接下载器的 TCK 脚，实现程序下载、上传和在线调试，建议接弱下拉电阻（例如 1KΩ），保证在无下载器的情况下 TCK 保持为低。
TMS	Input	PL 端	IEEE Std 1149.1 (JTAG) Test 模式选择管脚，用于连接下载器的 TMS 脚，实现程序下载、上传和在线调试，建议接弱上拉电阻（例如 4.7KΩ），保证在无下载器的情况下 TMS 保持为高。
TDI	Input	PL 端	IEEE Std 1149.1 (JTAG) Test 数据输入管脚，建议接弱上拉电阻（例如 4.7KΩ）。单个器件时，用于连接下载器的 TDI 脚，多个器件配置成 JTAG 菊花链时，如果是第一个器件，则连接下载器的 TDI 管脚，否则，连接前一个器件的 TDO 脚。用于实现程序下载、上传和在线调试。
TDO	Output	PL 端	IEEE Std 1149.1 (JTAG) Test 数据输出管脚，建议接弱上拉电阻（例如 4.7KΩ）。单个器件时，用于连接下载器的 TDO 脚，多个器件配置成 JTAG 菊花链时，如果是最后一个器件，则连接下载器的 TDO 管脚，否则，连接下一个器件的 TDI 脚。用于实现程序下载、上传和在线调试。
PROGRAM_B	Input	PL 端	当 PROGRAM_B 产生低脉冲时，可清除 PL 端的配置并允许 PS 端或通过 JTAG TAP 控制器对 PL 端进行配置；PROGRAM_B 需要连接一个≤4.7KΩ 的上拉电阻到 VCCO_0 以保证获得一个稳定的高输入
INIT_B	Inout	PL 端	在初始化完成前或配置错误时，INIT_B 为 0 完成 PL 初始化过程后，INIT_B 释放到高 Z，此时外部电阻器将 INIT_B 拉高。 •INIT_B 为漏极开路，可做线与逻辑； •INIT_B 如保持在低位，可在初始化过程结束后暂停加电配置序列； INIT_B 需要连接一个≤4.7KΩ 的上拉电阻到 VCCO_0
DONE	Inout	PL 端	作为配置序列完成标志，为高时代表配置完成，DONE 为漏极开路，虽然内部集成了 10K 上拉电阻，但是还是建议外部接 330Ω 上拉到 VCCO_0

CSD7Z020技术手册

CSD7Z020 除了支持 JTAG 模式，还支持支持以下几种配置模式：

（1）NOR 模式

（2）NAND 模式

（3）QSPI 模式

（4）SD 卡模式

用编程模式管脚（MIO5，MIO4，MIO3）来选择编程的模式。模式选择编码如表 48 所示。

表 48　编程模式编码表

<table>
<tr><th>管脚信号</th><th>MIO8</th><th>MIO7</th><th>MIO6</th><th>MIO5</th><th>MIO4</th><th>MIO3</th><th>MIO2</th></tr>
<tr><td>JTAG</td><td colspan="3" rowspan="5"></td><td>0</td><td>0</td><td>0</td><td rowspan="5">JTAG 链
0：级联模式
1：独立模式</td></tr>
<tr><td>NOR</td><td>0</td><td>0</td><td>1</td></tr>
<tr><td>NAND</td><td>0</td><td>1</td><td>0</td></tr>
<tr><td>QSPI</td><td>1</td><td>0</td><td>0</td></tr>
<tr><td>SD</td><td>1</td><td>1</td><td>0</td></tr>
<tr><td colspan="8">PLL 模式</td></tr>
<tr><td>PLL 使能</td><td colspan="2" rowspan="2"></td><td>0</td><td colspan="4">硬件等待 PLL 锁相环锁定，然后执行 ROM 启动</td></tr>
<tr><td>PLL 忽略</td><td>1</td><td colspan="4">具有较宽的 PS_CLK 频率范围</td></tr>
<tr><td colspan="8">MIO Bank 电压</td></tr>
<tr><td>电压</td><td>Bank1</td><td>Bank0</td><td colspan="5" rowspan="3">电压 Bank0 包含 MIO0 到 MIO15
电压 Bank1 包含 MIO16 到 MIO53</td></tr>
<tr><td>2.5V,3.3V</td><td>0</td><td>0</td></tr>
<tr><td>1.8V</td><td>1</td><td>1</td></tr>
<tr><td colspan="8">注 1：JTAG 级联模式最为常见，所有关于 JTAG 模式的相关描述中默认采用的模式。
注 2：在安全模式下，JTAG 功能未被启用，同时 MIO2 也会被忽略。
注 3：四通道 SPI 和 NOR 引导模式支持“立即执行”功能（此支持始终为非安全模式）
注 4：当接口跨越这两个电压 BANK 时，两个 BANK 必须设置为相同的电压值。</td></tr>
</table>

8.5　NOR 模式

NOR 模式启动需选用 8 位异步、容量最高 256Mb 的 NOR FLASH 存储设备。配置参考示意图如图 27 所示：

CSD7Z020技术手册

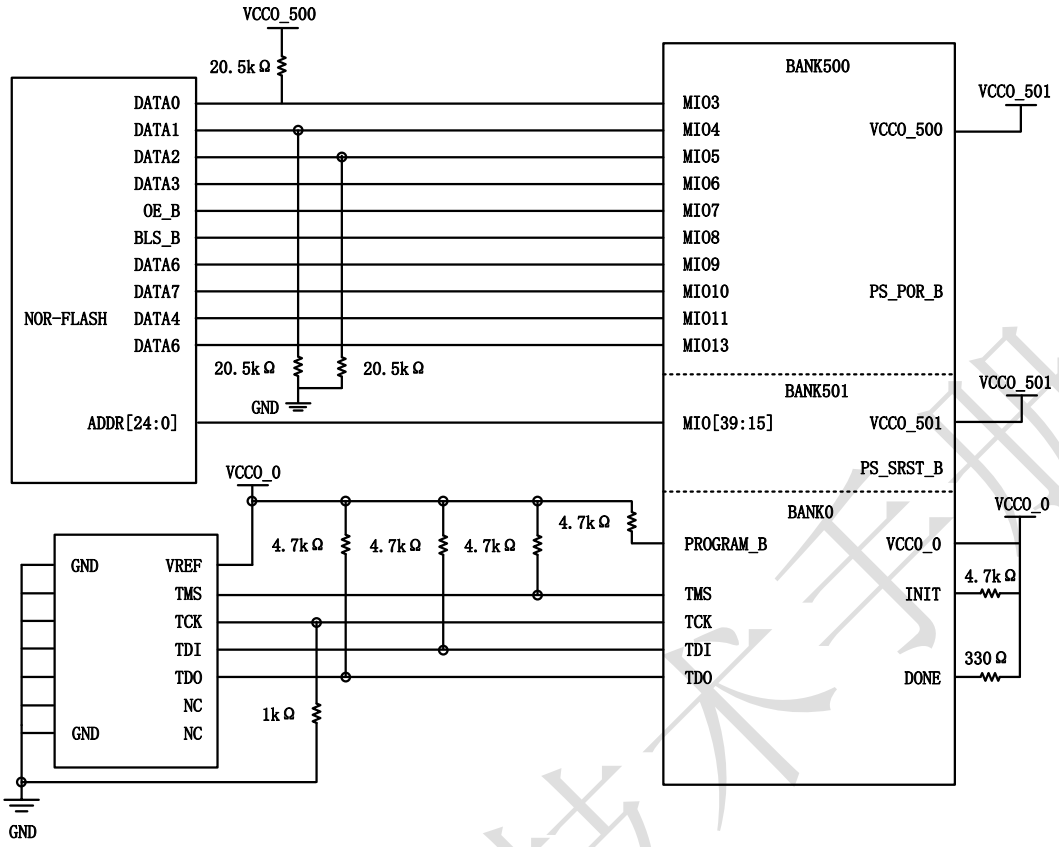


图 27　NOR 模式配置原理图

在使用 NOR 模式时，需注意以下几点：

（1）上电过程中 PS_SRST_B 由低到高时间至少要比 PS_POR_B 由低到高时间提前 2us；

（2）NOR 模式同时占用了 BANK_500 和 BANK501 上的管脚，因此两个 BANK 的端口电平需保持一致；

（3）PL VCCO_0 和编程器的 VREF 必须具有相同的电压；

（4）DONE 引脚是漏极开路输出。建议接一个 330Ω 的上拉电阻；

（5）INIT_B 引脚是双向漏极开路引脚。需要一个外部上拉电阻；

（6）PROGRAM_B 也需要一个上拉电阻；

（7）VCCBATT 是存储在 SRAM 中的 AES 密钥的电源。使用时，应将其连接至电池电源。

8.6　NAND 模式

NAND 模式启动选用 8 位或 16 位的 NOR FLASH 存储设备，支持 ONFI 1.0 协议。配置参考示意图如图 28 所示：

CSD7Z020技术手册

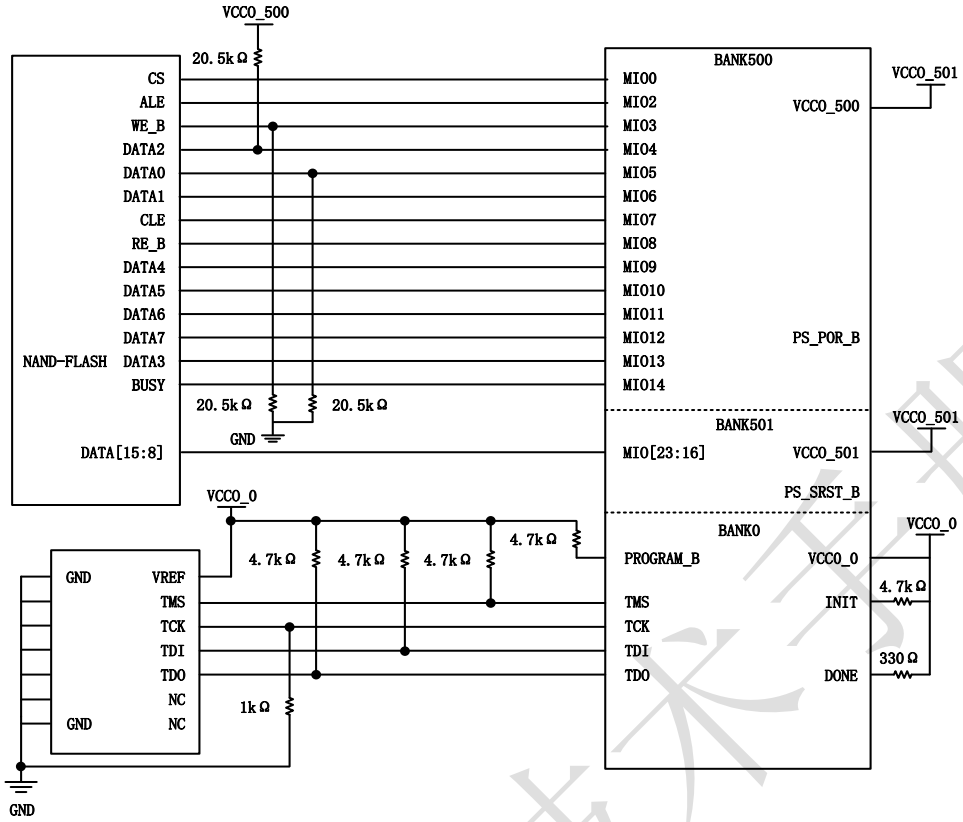


图 28　NAND 模式配置原理图

在使用 NAND 模式时，需注意以下几点：

（1）上电过程中 PS_SRST_B 由低到高时间至少要比 PS_POR_B 由低到高时间提前 2us；

（2）NAND 模式同时占用了 BANK_500 和 BANK501 上的管脚，因此两个 BANK 的端口电平需保持一致；

（3）启动镜像需置于前 128Mb 的地址空间，用于 BootROM 头搜索功能；

（4）PL VCCO_0 和编程器的 VREF 必须具有相同的电压；

（5）DONE 引脚是漏极开路输出。建议接一个 330Ω 的上拉电阻；

（6）INIT_B 引脚是双向漏极开路引脚。需要一个外部上拉电阻；

（7）PROGRAM_B 也需要一个上拉电阻；

（8）VCCBATT 是存储在 SRAM 中的 AES 密钥的电源。使用时，应将其连接至电池电源。

8.7　QSPI 模式

QSPI 模式下可选用 1 位、2 位或 4 位的单个 QSPI FLASH 器件进行配置，支持 16MB 的配置存储空间，也可选择使用双 QSPI FLASH 形成 8 位 I/O 的并行配置模式，以及使用双 QSPI FLASH 形成 4 位 I/O 的堆叠式配置模式，双 QSPI FLASH 支持 32MB 的配置存储空间。配置参考示意图如图 29 所示：

CSD7Z020技术手册

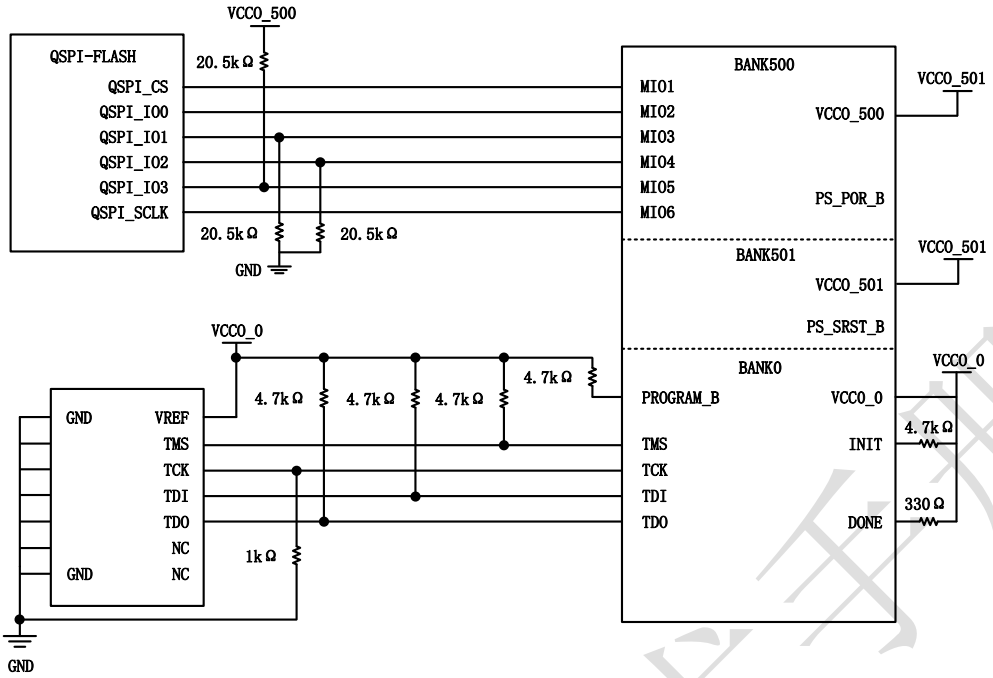


图 29　单 QSPI 模式配置原理图

双 QSPI FLASH 器件的 8 位并行式配置参考示意图，该模式可将地址空间由 16MB 提高至 32MB，即 24 位地址提升至 25 位地址空间，并使数据吞吐量提升一倍。

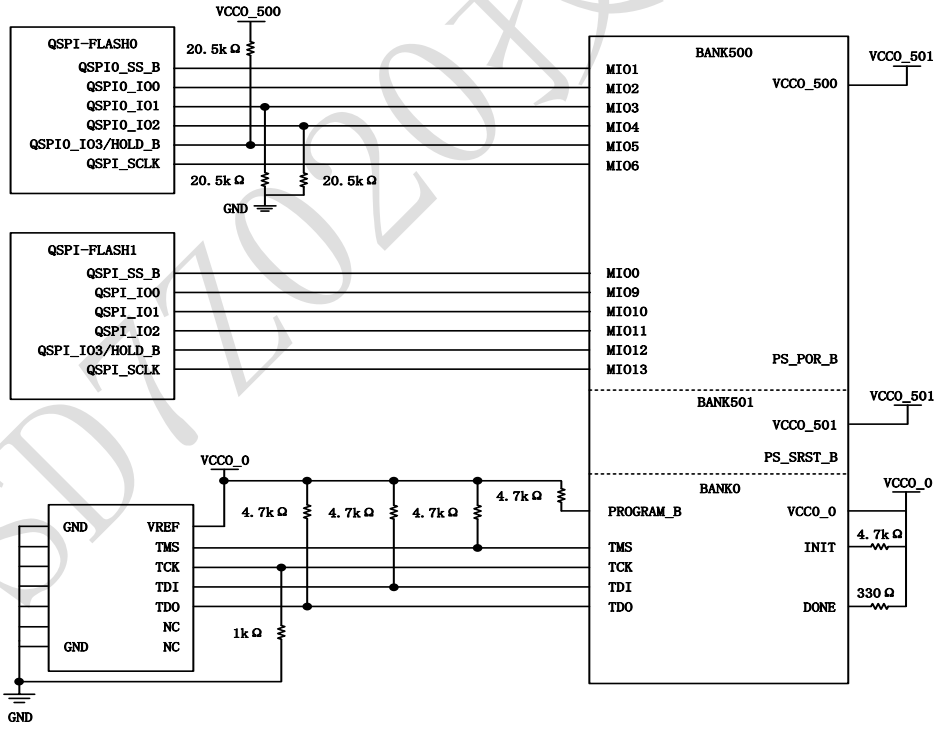


图 30　双 QSPI 模式配置原理图（8 位并行式）

双 QSPI FLASH 器件的 4 位堆叠式配置参考示意图，该模式可将地址空间由 16MB 提高至 32MB，即 24 位地址提升至 25 位地址空间，并节省一定的引脚引线空间，但吞吐量与单个 QSPI FLASH 一致，该模式不支持就地执行功能。

CSD7Z020技术手册

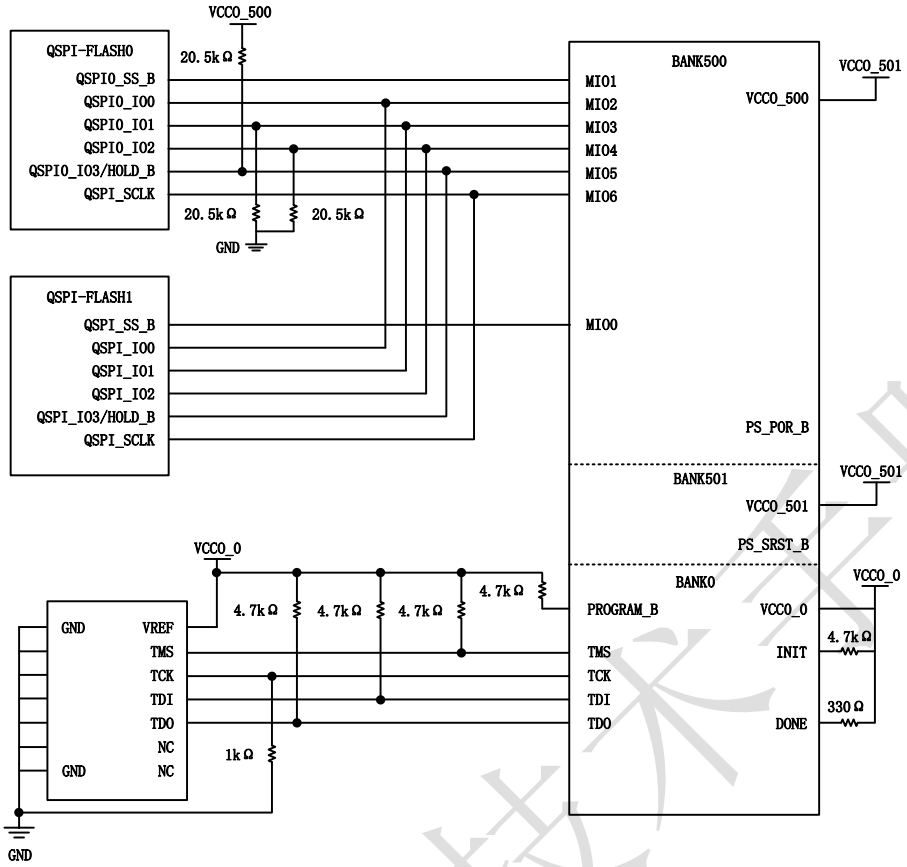


图 31　QSPI 模式配置原理图（4 位堆叠式）

在使用 QSPI 模式时，需注意以下几点：

（1）上电过程中 PS_SRST_B 由低到高时间至少要比 PS_POR_B 由低到高时间提前 2us；

（2）PL VCCO_0 和编程器的 VREF 必须具有相同的电压；

（3）DONE 引脚是漏极开路输出。建议接一个 330Ω 的上拉电阻；

（4）INIT_B 引脚是双向漏极开路引脚。需要一个外部上拉电阻；

（5）PROGRAM_B 也需要一个上拉电阻；

（6）VCCBATT 是存储在 SRAM 中的 AES 密钥的电源。使用时，应将其连接至电池电源。

8.8　SD 卡模式

SD 卡模式可以让系统从 SD 卡中读取配置数据，支持 FAT16/32 文件格式，支持的 SD 卡最高容量可达 32GB。配置参考示意图如图 32 所示：

CSD7Z020技术手册

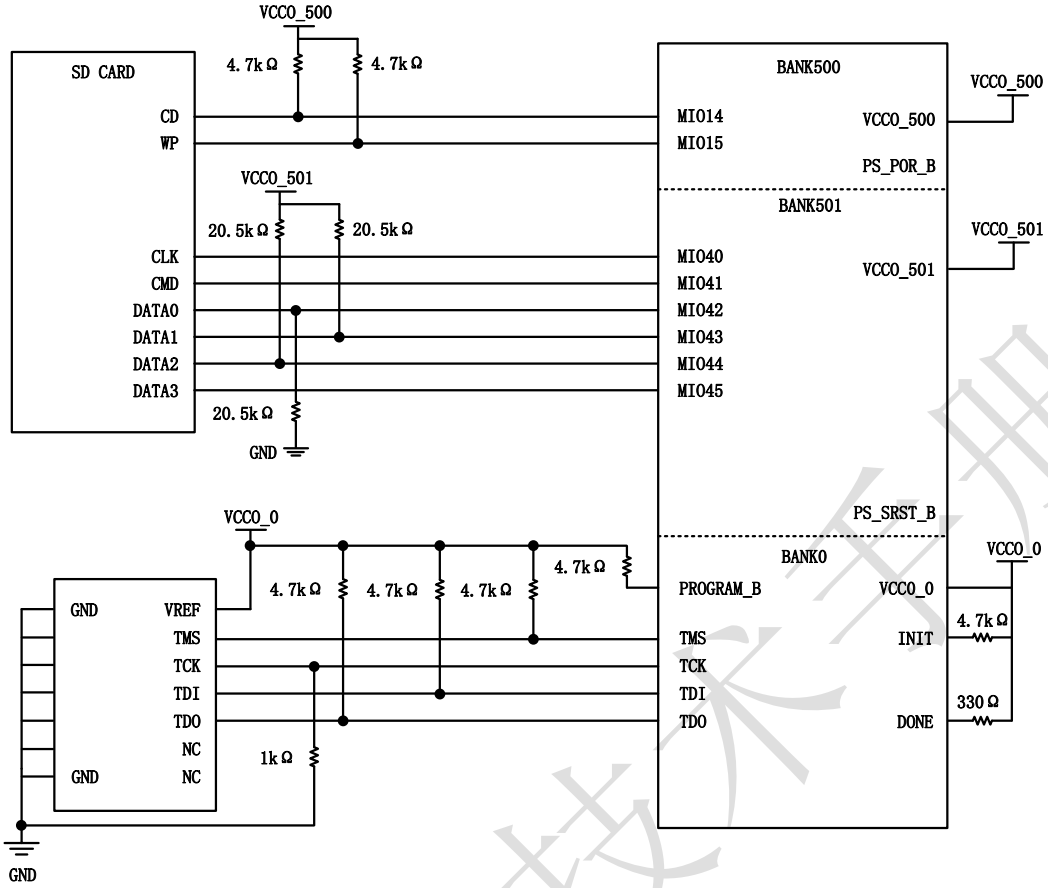


图 32　SD 卡模式配置原理图

在使用 SD 卡模式时，需注意以下几点：

（1）上电过程中 PS_SRST_B 由低到高时间至少要比 PS_POR_B 由低到高时间提前 2us

（2）如需使用 CD 引脚（Card Detect）、WP 引脚（Write Protect）等，需对引脚进行上拉；

（3）PL VCCO_0 和编程器的 VREF 必须具有相同的电压；

（4）DONE 引脚是漏极开路输出。建议接一个 330Ω 的上拉电阻；

（5）INIT_B 引脚是双向漏极开路引脚。需要一个外部上拉电阻；

（6）PROGRAM_B 也需要一个上拉电阻；

（7）VCCBATT 是存储在 SRAM 中的 AES 密钥的电源。使用时，应将其连接至电池电源。

8.9　未使用的 HRIO BANK VCCO 电源建议

当 HRIO 整个 BANK 不使用时，该 BANK 的 VCCO 可以接 1.8V、2.5V、3.3V 或悬空处理，若接地建议串联 4K 以上的电阻到地，否则直接接地或导致 VCCAUX 静态电流增加。HPIO BANK 不使用时 VCCO 可以直接接地。

CSD7Z020技术手册

9 差异对比

9.1 功能对比

9.1.1 对比明细

表 49 CSD7Z020 与对标产品功能差异对比

模块	功能	CSD7Z020	与XXZ020差异说明
CLB	6 输入查找表	支持	无差异
	双 5 输入查找表	支持	无差异
	分布式存储 RAM	32x1S/D、32x2Q、32 x6SDP 64x1 S/D/Q、64x3DSP、 128x1S/D、256x1S	无差异
	只读存储器 ROM	64x1、128x1、256x1	无差异
	移位寄存器	32bit、双 16bit、64bit、96bit、 128bit	无差异
	触发器/锁存器	支持	无差异
	多路选择器	4 个 4:1、2 个 8:1、1 个 16:1	无差异
	进位链	10 输入、8 输出	无差异
BRAM	36Kbit RAM（SDP、TDP）	64Kx1、32Kx1、16Kx2、8Kx4、4Kx9，2Kx18、1Kx36、512x72	无差异
	18Kbit RAM（SDP、TDP）	16Kx1、8Kx2、4Kx4、2Kx9、1Kx18，512x36	无差异
	不同模式的 BRAM 读写功能	WRITE_FIRST、READ_FIRST、NO_CHANGE	无差异
	RAM 输出寄存器	支持	无差异
	独立读写位宽功能	支持	无差异
	36Kbit FIFO	8K x 4、4K x 9、2K x 18、1K x 36、512 x 72	无差异
	18Kbit FIFO	4K x 4、2K x 9、1K x 18、512 x 36	无差异
	不同模式的 FIFO 功能及状态标志位	同步或者异步、standard 或 first-word fall-through、FWFT	无差异
	FIFO 输出寄存器	支持	无差异
	RAM 或 FIFO 级联	支持	无差异
	RAM 或 FIFO 64 bit ECC	Standard，encode only，decode only	无差异
	ECC 输出寄存器	支持	无差异
DSP	预加器	25bit，带或不带触发器	无差异
	乘法器	25 x 18	无差异
	ALU 逻辑运算	三输入加法器/减法器/48 位逻辑运算单元	无差异
	多数据端口	A、B、C、D	无差异
	PATTERN 检测器	支持	无差异
	流水线	支持	无差异

CSD7Z020技术手册

模块	功能	CSD7Z020	与XXZ020差异说明
	级联	支持	无差异
HRIO	单端 IO 电平标准	3.3V、2.5V、1.8V、1.5V、1.35V、1.2V	无差异
	差分 LVDS 电平	支持	无差异
	数字控制阻抗（DCI）及 DCI 级连	不支持	无差异
	内部 VREF	支持	无差异
	内部差分中端（DIFF_TERM）	支持	无差异
	IDELAY	支持	无差异
	ODELAY	不支持	无差异
	IDELAYCTRL	支持	无差异
	ISERDES	专门的解串器/串行-并行转换器 Bit 滑动子模块 专用于支持频闪存储器接口 专用于支持网络接口 专用于支持 DDR3 接口 专用于支持 QDR 接口 专用于支持异步接口	无差异
	OSERDES	数据 DATA 并串转换 8:1、10:1、14:1 三态控制并串转换最大 14:1 专用于支持 DDR3 接口模式	无差异
	IO_FIFO	支持	无差异
CMT	MMCM 小数分频	支持	无差异
	MMCM 分频级联	支持	无差异
	MMCM 参考时钟选择	支持	无差异
	MMCM/PLL 静态相移	支持	无差异
	MMCM/PLL 动态重配置	支持	无差异
	MMCM 动态相移	支持	无差异
	级联（MMCM 与 MMCM 级联、PLL 与 PLL 级联）	支持	无差异
	MMCM/PLL 频率综合（频点抽样）	支持	无差异
	MMCM 扩频时钟产生器（SSCG）	支持	无差异
	采样模式	初始模式	无差异
		单次模式	无差异
		连续模式	无差异
		单通道模式	无差异
		同步采样模式	无差异
		独立 ADC 模式	无差异

CSD7Z020技术手册

模块	功能	CSD7Z020	与XXZ020差异说明
ADC		初始模式	无差异
	校准功能	ADC 失调校准使能	无差异
		ADC 失调和增益校准使能	无差异
		电源电压传感器校准使能	无差异
		电源电压失调和增益校准使能	无差异
	告警功能	过温告警使能	无差异
		温度告警使能	无差异
		VCCINT 告警	无差异
	配置管理	VCCAUX 告警	无差异
		VCCBRAM 告警	无差异
		综合告警	无差异
	上电/掉电功能	ADC 上电	无差异
		无效选择	无差异
		ADC 掉电	无差异
	时钟分频功能	DCLK 分频	无差异
	均值滤波器功能	均值滤波器使能(校准)	无差异
		无均值	无差异
		均值 16 次	无差异
		均值 64 次	无差异
		均值 256 次	无差异
ADC	ADC 通道	片上温度	无差异
		电源 VCCINT	无差异
		电源 VCCAUX	无差异
		专用模拟输入	无差异
		基准 VREFP	无差异
		基准 VREFN	无差异
		电源 VCCBRAM	无差异
		无效通道	无差异
		ADC 校准	无差异
		无效通道	无差异
		辅助通道 0 至 15	无差异
	模拟输入功能	单端输入模式	无差异
		差分输入模式	无差异
	处理器核心	双核处理器	无差异
	最大频率	800MHz	无差异
	L1 Cache	每个处理器 32KB 指令，32KB 数据	无差异
	L2 Cache	512 KB	无差异
	片上存储器	256 KB	无差异

CSD7Z020技术手册

模块	功能	CSD7Z020	与XXZ020差异说明
PS	外部内存支持	DDR3, DDR3L, DDR2	有差异
	外部静态存储器支持	2×Quad-SPI, NAND, NOR	无差异
	DMA 信道	8 (4 个信道到可编程逻辑)	无差异
	外设	2× UART, 2× CAN 2.0B, 2× I2C, 2× SPI, 4× 32b GPIO	无差异
	DMA 建立外设	2×USB 2.0 (OTG), 2× 以太网, 2×SD/SDIO	无差异
	安全	基于 RSA 的身份验证，以及 AES 解密和 SHA-256b 身份验证，用于安全启动	无差异

9.1.2 对比结论

CSD7Z020 仅在 PS DDR 支持型号中不支持 LPDDR2 外，其它功能与对标产品完全一致。

9.2 性能对比

9.2.1 推荐工作电压

CSD7Z020 各供电电源与对标产品一致。

表 50 CSD7Z020 与对标产品推荐工作电压差异对比

参数项	CSD7Z020	XXZ020	差异说明
PL			
V_{CCINT}	0.95V~1.05V	0.95V~1.05V	一致
V_{CCBRAM}	0.95V~1.05V	0.95V~1.05V	一致
V_{CCAUX}	1.71V~1.89V	1.71V~1.89V	一致
V_{CCO}	1.14V~3.465V	1.14V~3.465V	一致
V_{CCBATT}	1~1.89V	1~1.89V	一致
PS			
V_{CCPINT}	0.95~1.05V	0.95~1.05V	一致
V_{CCPAUX}	1.71~1.89V	1.71~1.89V	一致
V_{CCPLL}	1.71~1.89V	1.71~1.89V	一致
V_{CCO_DDR}	1.14~1.89V	1.14~1.89V	一致
V_{CCO_MIO}	1.71~3.465V	1.71~3.465V	一致
片上 ADC 模块			
V_{CCADC}	1.71V~1.89V	1.71V~1.89V	一致
V_{REFP}	1.2V~1.3V	1.2V~1.3V	一致

CSD7Z020 技术手册

9.2.2 上电要求

CSD7Z020 上电各电源供电电流需求及上电顺序与对标产品一致。

表 51 CSD7Z020 上电需求最小电流

器件	$I_{CCPINTMIN}$	$I_{CCPAUXMIN}$	$I_{CCDDRMIN}$	$I_{CCINTMIN}$	$I_{CCAUXMIN}$	I_{CCOMIN}	$I_{CCBRAMMIN}$	单位
CSD7Z020	$I_{CCPINTQ}$ + 70	$I_{CCPAUXQ}$ + 40	I_{CCDDRQ} + 100 per bank	I_{CCINTQ} + 70	I_{CCAUXQ} + 60	I_{CCOQ} + 90 mA /IO Bank	$I_{CCBRAMQ}$ + 40	mA

表 52 CSD7Z020 上电上升时间

标志符号	特性描述	条件	最小	最大	单位
$t_{VCCPINT}$(1)	从 GND 到 90% V_{CCPINT} 的爬升时间	--	0.2	50	ms
$t_{VCCPAUX}$	从 GND 到 90% V_{CCPAUX} 的爬升时间	--	0.2	50	ms
t_{VCCO_DDR}	从 GND 到 90% V_{CCO_DDR} 的爬升时间	--	0.2	50	ms
t_{VCCO_MIO}	从 GND 到 90% V_{CCO_MIO} 的爬升时间	--	0.2	50	ms
t_{VCCINT}(2)	从 GND 到 90% V_{CCINT} 的爬升时间	--	0.2	50	ms
t_{VCCO}	从 GND 到 90% V_{CCO} 的爬升时间	--	0.2	50	ms
t_{VCCAUX}	从 GND 到 90% V_{CCAUX} 的爬升时间	--	0.2	50	ms
$t_{VCCBRAM}$	从 GND 到 90% V_{CCBRAM} 的爬升时间	--	0.2	50	ms
注 1：PS 推荐上电顺序是按 VCCPINT、VCCPAUX、VCCPLL 和 PS VCCO（VCCO_MIO0、VCCO_MIO1、VCCO_DDR）以在上电过程中消耗最小的电流和确保 IO 为三态；推荐掉电顺序与推荐上电顺序相反。PS_POR_B 端口需要保持为 GND 直到上电完成。 注 2：PL 电源上电顺序为 V_{CCINT}、V_{CCBRAM}、V_{CCAUX} 和 V_{CCO}，以实现最小的上电电流并确保 I/Os 在上电过程中状态为三态。掉电电源顺序与上电电源顺序相反。 注 3：如果 V_{CCINT} 和 V_{CCBRAM} 为相同的电压值它们可以被同一个电源驱动和同时上电； 注 4：如果 V_{CCAUX} 和 V_{CCO} 为相同的电压值它们可以被同一个电源驱动和同时上电。					

9.3 功耗对比

9.3.1 对比明细

静态功耗常温（环境温度 25℃）测试情况如下表 53 所示。

表 53 静态功耗常温（环境温度 25℃）测试情况对比

特性	测试参数	XX7Z020	CSD7Z020	单位	差异说明
		典型值	典型值		
V_{CCINT} 静态供电电流	I_{CCINTQ}	18.9566538	37.6260094	mA	高于
V_{CCPINT} 静态供电电流	$I_{CCPINTQ}$	7.0564514	40.9374982	mA	高于
V_{CCAUX} 静态供电电流	I_{CCAUXQ}	24.1885073	26.3256039	mA	相当
V_{CCPAUX} 静态供电电流	$I_{CCPAUXQ}$	1.07358873	0.977822579	mA	相当
V_{CCBRAM} 静态供电电流	$I_{CCBRAMQ}$	1.98084675	4.74294368	mA	高于

CSD7Z020技术手册

V_{CCO_MIO} 静态供电电流	I_{CCOQ_MIO}	4.2036291	10.71068552	mA	高于
V_{CCPLL} 静态供电电流	I_{CCPLLQ}	1.98928942	1.83581153	mA	相当
V_{CCO} 静态供电电流	I_{CCOQ}	68.72983854	64.60685472	mA	相当
V_{CCADC} 静态供电电流	I_{CCADCQ}	18.3316525	12.2586945	mA	低于

静态功耗高温（环境温度 125℃）测试情况如下表 54 所示。

表 54　静态功耗高温（环境温度 125℃）测试情况对比

特性	测试参数	XX7Z020	CSD7Z020	单位	差异说明
		典型值	典型值		
V_{CCINT} 静态供电电流	I_{CCINTQ}	81.1592713	82.03125	mA	相当
V_{CCPINT} 静态供电电流	$I_{CCPINTQ}$	68.1602806	162.983865	mA	高于
V_{CCAUX} 静态供电电流	I_{CCAUXQ}	30.4838717	30.9022181	mA	相当
V_{CCPAUX} 静态供电电流	$I_{CCPAUXQ}$	1.04838714	1.03830651	mA	相当
V_{CCBRAM} 静态供电电流	$I_{CCBRAMQ}$	20.1512091	8.77520163	mA	低于
V_{CCO_MIO} 静态供电电流	I_{CCOQ_MIO}	6.28024188	15.83669361	mA	高于
V_{CCPLL} 静态供电电流	I_{CCPLLQ}	1.78773946	1.71339465	mA	相当
V_{CCO} 静态供电电流	I_{CCOQ}	71.99092793	67.2782265	mA	相当
V_{CCADC} 静态供电电流	I_{CCADCQ}	18.3543339	12.5963958	mA	低于

静态功耗低温（环境温度-55℃）测试情况如下表 55 所示。

表 55　静态功耗低温（环境温度-55℃）测试情况对比

特性	测试参数	XX7Z020	CSD7Z020	单位	差异说明
		典型值	典型值		
V_{CCINT} 静态供电电流	I_{CCINTQ}	13.3114923	29.4002015	mA	高于
V_{CCPINT} 静态供电电流	$I_{CCPINTQ}$	1.81451614	19.6824595	mA	高于
V_{CCAUX} 静态供电电流	I_{CCAUXQ}	25.645161	25.025202	mA	相当
V_{CCPAUX} 静态供电电流	$I_{CCPAUXQ}$	1.08366937	1.07862905	mA	相当
V_{CCBRAM} 静态供电电流	$I_{CCBRAMQ}$	0.846774201	3.78528237	mA	高于
V_{CCO_MIO} 静态供电电流	I_{CCOQ_MIO}	4.2036291	7.87802413	mA	高于
V_{CCPLL} 静态供电电流	I_{CCPLLQ}	2.12909537	1.9495968	mA	相当
V_{CCO} 静态供电电流	I_{CCOQ}	69.71270055	64.21370982	mA	相当
V_{CCADC} 静态供电电流	I_{CCADCQ}	20.4309467	12.1383565	mA	低于

9.3.2　对比结论

从上述数据分析可以得出，CSD7Z020 的静态功耗在高温（极限条件下）情况下，V_{CCPINT} 和 V_{CCO_MIO} 静态电流高于对标产品，V_{CCBRAM} 和 V_{CCADC} 静态电流低于对标产品，其它电源的静态电流与其相当。

9.3.3 动态功耗

9.3.3.1 VCCPINT 功耗对比明细

CSD7Z020 的 PS 在典型裸机应用下的 VCCPINT 功耗对比如下表 56 所示。

表 56 典型裸机应用功耗对比

温度	XX7Z020（典型值）	CSD7Z020（典型值）	单位
-55℃	0.319	0.319	W
25℃	0.347	0.395	W
125℃	0.559	0.931	W

9.3.3.2 VCCINT 功耗对比明细

CSD7Z020 的 PL 在典型高资源应用下的 VCCINT 功耗对比如下表 57 所示。

表 57 典型高资源应用功耗对比

温度	XX7Z020（典型值）	CSD7Z020（典型值）	单位
-55℃	0.745	0.773	W
25℃	0.875	0.883	W
125℃	1.288	1.57	W

CSD7Z020 的 PL 在不同频率下的 VCCINT 功耗对比如下表 58 所示。

表 58 常温情况下典型高资源应用动态功耗对比

系统时钟频率	XX7Z020（典型值）	CSD7Z020（典型值）	单位
50MHz	0.875	0.894	W
100MHz	1.656	1.68	W
200MHz	2.978	3.02	W
250MHz	3.566	3.619	W

9.3.4 对比结论

从上述的三温动态功耗的数据分析可以得出，CSD7Z020 的 PL 的动态功耗与对标产品相当；PS 动态功耗在高温条件下高于对标产品，常温和低温情况下与对标产品相当，请用户在产品应用设计时务必考虑其差异性。

CSD7Z020技术手册

9.4 物理信息对比

9.4.1 封装尺寸

9.4.1.1 PBGA484 封装信息

CSD7Z020CLG484产品采用PBGA484封装形式，产品外形尺寸下图33所示。Pin-to-Pin替代对标产品CLG484封装，外形参数基本一致。

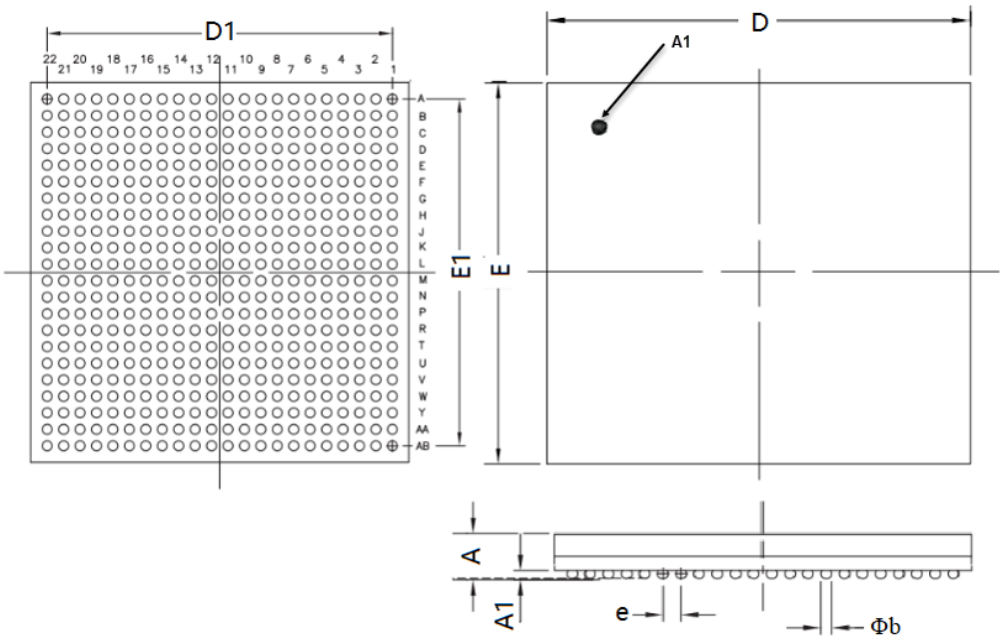


图 33 CSD7Z020CLG484 封装外形图

表 59 CSD7Z020CLG484 封装尺寸对比表

单位为毫米

尺寸符号	CSD7Z020			XX7Z020		
	最小	公称	最大	最小	公称	最大
A	1.30	1.45	1.60	1.37	1.47	1.60
A1	0.30	0.350	0.40	0.35	0.4	0.45
D	18.90	19.00	19.10	—	19	—
E	18.90	19.00	19.100	—	19	—
D1	—	16.80	—	—	16.8	—
E1	—	16.80	—	—	16.8	—
e	—	0.80	—	—	0.80	—
Φb	0.400	0.450	0.500	0.40	0.50	0.55

9.4.1.2 PBGA400 封装信息

CSD7Z020PBGA400产品采用PBGA400封装形式，产品外形尺寸下图34所示。Pin-to-Pin替代对标产品CLG400封装，外形参数基本一致。

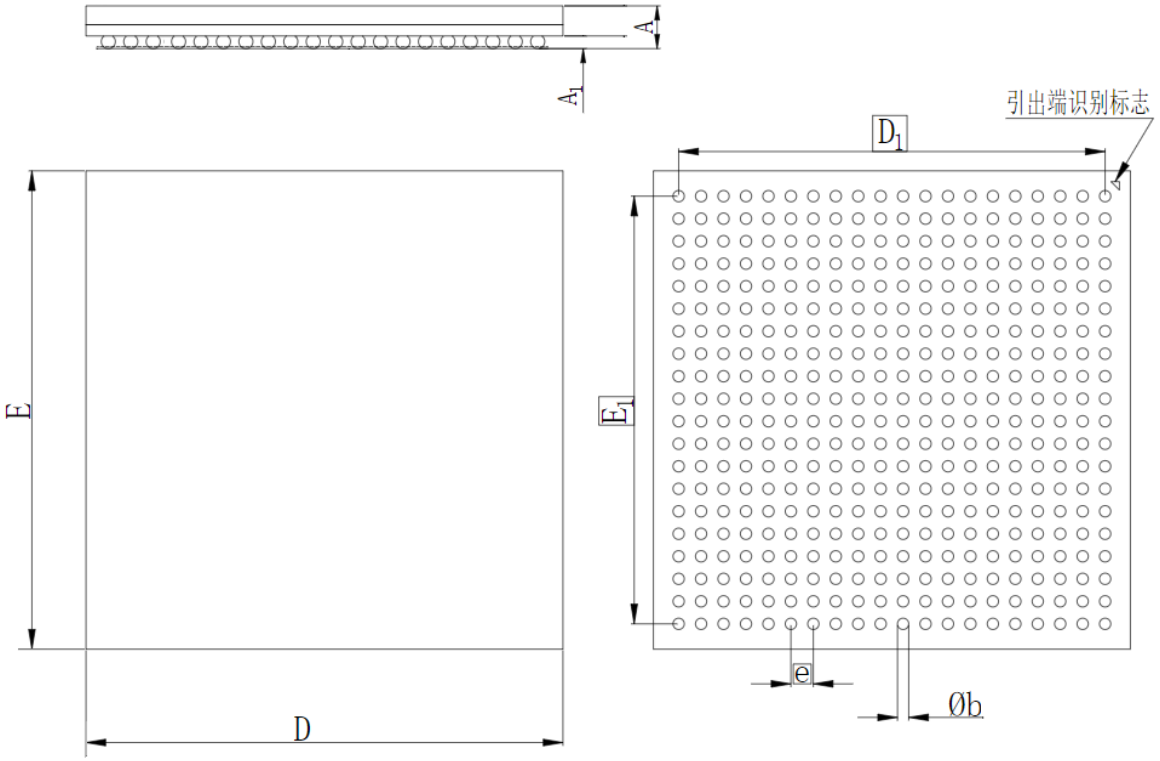


图 34 CSD7Z020PBGA400 封装外形图

表 60 PBGA400 封装尺寸对比表

单位为毫米

尺寸符号	CSD7Z020			XX7Z020		
	最小	公称	最大	最小	公称	最大
A	1.37	1.47	1.60	1.37	1.47	1.60
A_1	0.35	0.40	0.45	0.35	0.40	0.45
D	16.90	17.00	17.10	—	17.00	—
E	16.90	17.00	17.10	—	17.00	—
D_1	—	15.20	—	—	15.20	—
E_1	—	15.20	—	—	15.20	—
e	—	0.80	—	—	0.80	—
Øb	0.45	—	0.55	0.45	0.50	0.55

CSD7Z02

9.4.2 重量对比

9.4.2.1 PBGA484 型封装重量

对标产品：器件重量 1.136g
CSD7Z020CLG484，器件重量 1.22±0.3（带焊球）

9.4.2.2 PBGA400 型封装重量

对标产品：器件重量 0.909g
CSD7Z020PBGA400，器件重量 1.05±0.3（带焊球）

9.4.2.3 对比结果

表 61 CSD7Z020 与对标产品器件重量对比

封装形式	XX7Z020	CSD7Z020	差异说明
PBGA484	1.136g（典型值）	(1.22±0.3)g	重 0.084g
PBGA400	0.909g（典型值）	(1.05±0.3)g	重 0.141g

9.4.3 热阻对比

表 62 CSD7Z020 与对标产品热阻对比

封装形式	热阻（℃/W）	XX7Z020	CSD7Z020	差异说明
PBGA484	θ_{JA}	18.2	18.7332	相当
PBGA400	θ_{JA}	19.0	19.6718	相当

9.4.4 可靠性对比

表 63 CSD7Z020 与对标产品可靠性对比

可靠性项	条件	CSD7Z020	XX7Z020	差异说明
ESD	HBM	1000V	1000V	一致
Latch-up	电流注入	±100mA	±100mA	一致

CSD7Z020技术手册

10 包装、贮存和运输要求

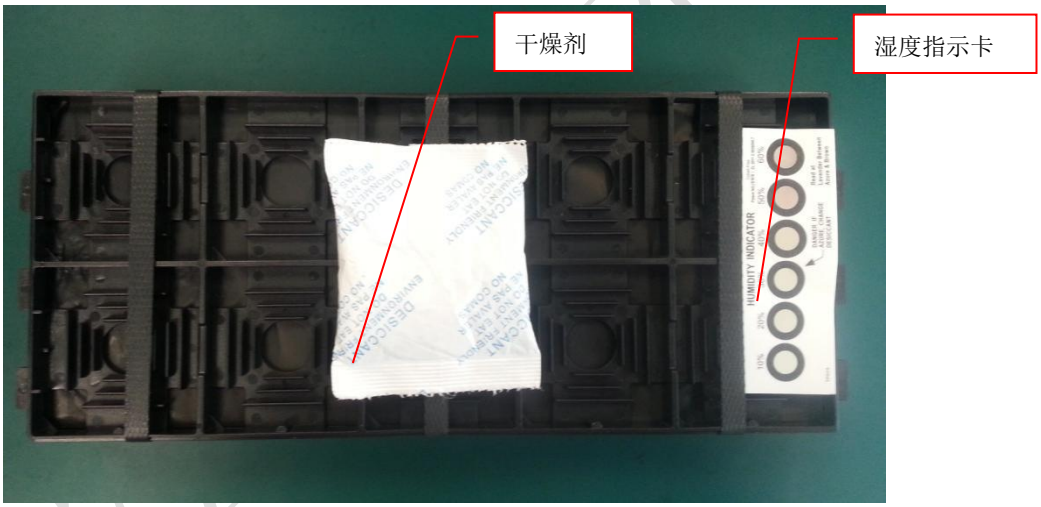
10.1 包装

器件使用托盘（N+1 托盘）进行包装，需要注意产品和托盘 pin1 位置标志。托盘与托盘间防静电薄膜保护。





a) 器件托盘采用（N+1 托盘）的形式，托盘使用扎带包装完成后，放入湿度指示卡和干燥剂。



b) 托盘连同干燥剂和湿度指示卡放入防静电袋，抽真空包装。在真空防静电袋袋上贴上湿度敏感警示等标签，并写上对应包装日期。





c) 放入器件前，纸箱的上下左右均应用防静电泡沫保护。



10.2 贮存

a) 客户收到产品后需对包装进行检验，确认包装密封完好，不存在孔洞、裂口等任何可能暴露袋内器件的异常现象。若发生包装防静电袋漏气情况，应对器件进行烘干处理，之后再次进行密封包装贮存。

b) 在干燥密封包装条件下，可贮存在常温常湿的环境中，在存贮环境为＜40℃/90% RH 状态下，储存有效期为 12 个月，储存时间 12 个月均从包装之日算起。如果出现储存时间超期，则需进行烘干处理。

c) 防静电袋打开以后，必须在规定的客户端车间寿命内进行回流焊接，返工，如果不使用需重新用 防静电袋干燥密封包装或放入干燥箱内（环境＜40℃/5% RH），如果客户端车间寿命或环境超出规定，则需进行烘干处理。

d) 烘干处理，通常在 125℃条件下，烘烤 48 小时。若出现密封包装破损或湿度指示卡 60%变色情况，则需延长烘烤时间，在 125℃条件下，大于 48 小时，但最长不要超过 96 小时。烘烤后需在 12 小时内进行电装或防静电袋密封包装或放入干燥箱内（环境＜40℃/5% RH）。

e) 请特别注意，器件进行烘烤时不能直接放入 125℃的烘箱中，必须从室温缓慢升温至 125℃，升温时间大于半小时，最大升温速率不能大于 4℃/min。

10.3 运输

在避免雨、雪直接影响的条件下，装有产品的包装箱可采用水陆空运输方式。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。

11 使用注意事项

该器件操作注意事项如下：

a) 严格按照推荐工作条件使用，超出绝对最大额定值使用本产品，可能引起本产品的永久损坏；

b) 上电方式，PS 端和 PL 端电源应满足第 8 章应用建议中的上下电要求；

c) 器件应在防静电的工作台上操作；

d) 试验设备和器具应接地；

e) 不能触摸器件引线；

f) 器件应存放在导电材料制成的容器中；

g) MOS 区域内避免使用能引起静电的塑料、橡胶或丝织物。

CSD7Z020技术手册

12 订货信息

表 64 产品订货信息

序号	产品型号	封装形式	封装材料	质量保证等级	引脚材料	重量（g）
1	CSD7Z020CLG484I	PBGA484	塑料	商用工业级	Sn96.5/Ag3.0/Cu0.5	1.22±0.3 （带焊球）
2	CSD7Z020PBGA400I	PBGA400	塑料	商用工业级	Sn96.5/Ag3.0/Cu0.5	1.05±0.3 （带焊球）

注1：商用工业级器件结温范围应为-40℃～+100℃。

注2：产品订货信息为我司已有产品或确定研制的器件，可根据用户需求研制其他封装形式的器件。

CSD7Z020技术手册