差分输入、四通道同步采样 5MSPS 采样率、16 位 SAR ADC

CM2284 数据手册

特征

- 四通道同步采样
- 全差分模拟输入
- 高采样率：5MSPS
- SNR：典型值为 91.5dB (VREF = 3.3V)
- INL：典型值为±1
- 片内过采样
- 支持 18 位高精度模式
- 超出阈值警报指示
- 高速串行接口
- QFN24 4mm × 4mm 封装

应用

- 电机控制位置反馈
- 电机控制电流检测
- 数据采集系统
- EDFA 应用
- 同相与正交解调

概述

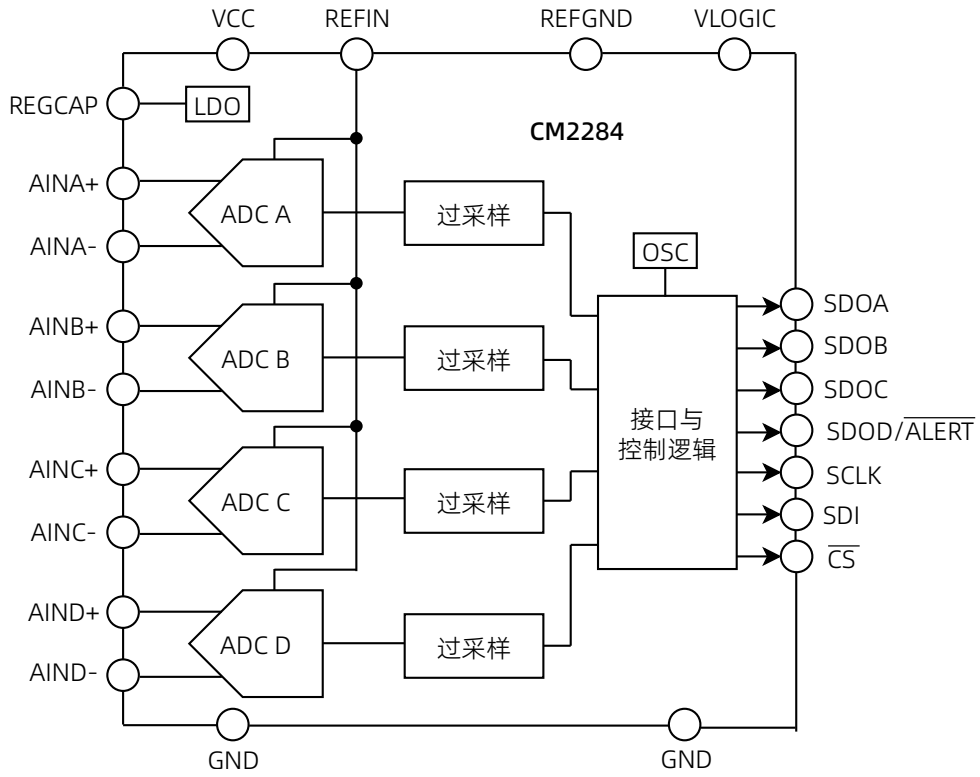
CM2284 是一款 16 位、四通道、同步采样、高速、逐次逼近型模数转换器（ADC）。采用 3.3V 电源供电，最高采样率可达 5MSPS。其差分模拟输入支持宽共模输入电压范围，采样与转换在片选信号下降沿触发。

CM2284 集成片上过采样模块，可有效扩展动态范围，并降低低带宽应用场景下的输入噪声。过采样功能开启后，可配置为 18 位高精度模式。基准输入管脚的电压范围为 2.5V~3.3V。

转换过程及数据采集通过标准化控制接口实现，便于与微处理器或数字信号处理器对接。转换结果支持两种输出模式：1 线串行输出模式（适用于低速应用场景）或 4 线同步输出模式（适用于高采样率场景）。CM2284 支持 1.8V、2.5V 及 3.3V 独立逻辑电源接口，具备良好的接口兼容性。

CM2284 采用 QFN24 型封装，其工作温度范围为–40°C~85°C。

架构框图



目录

封页.....1
特征.....1
应用.....1
概述.....1
架构框图.....1
文档历史.....3
管脚配置和功能.....4
管脚配置.....4
管脚功能.....4
绝对最大额定值.....6
电气规格.....7
时序规格.....9
典型特征.....12
工作原理.....14
转换器操作.....14
模拟输入.....14
传递函数.....14
功能与模式.....16
过采样.....16
常规平均过采样模式.....16
滑动平均过采样模式.....17
分辨率增强.....18
警报.....18
电源模式.....19
工作模式.....19
关断模式.....19
外部基准.....19
软复位.....19
自诊断测试.....19
数字接口.....20
寄存器帧结构.....20
读取转换结果.....20
1 线模式.....21
2 线模式.....21
4 线模式.....21
低延迟回读.....21
读寄存器.....23
写寄存器.....23
CRC.....23
CRC 读取.....23
CRC 写入.....23
CRC 多项式.....24
寄存器.....28
CONFIG1.....28
CONFIG2.....29
$\overline{\text{ALERT}}$.....29
TH_L.....31
TH_H.....31
应用.....32
封装及订购信息.....33
封装方式.....33
产品外形图.....33
订购信息.....34

文档历史

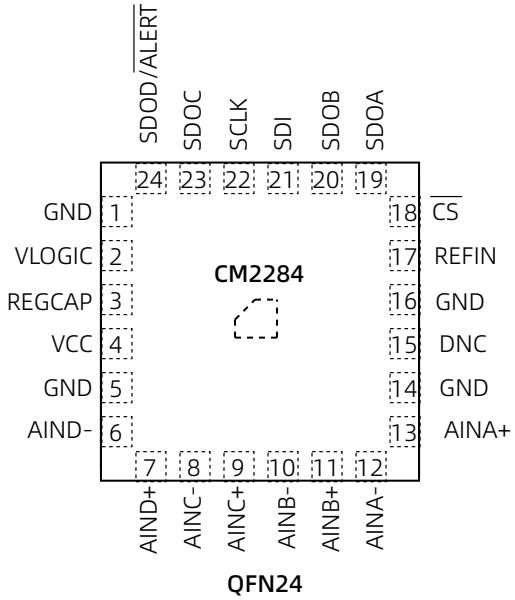
下表列举了本文档自产品发布后的所有更新。

文档版本	修订日期	内容描述
V1.0	2026-04-15	量产发布。
V1.1	2026-07-27	补充订购信息。

管脚配置和功能

管脚配置

以下为 CM2284QFN24 封装管脚示意图：



QFN24

管脚功能

表 1 管脚功能描述

编号	名称	类型	说明
1, 5, 14, 16	GND	GND	地。
2	VLOGIC	AI	逻辑接口供电电压 (1.65V~3.6V)。该管脚与地之间应连接 1μF 的去耦电容。
3	REGCAP	AI/O	内部稳压器电压输出的去耦电容管脚，其电压典型值为 1.9V。该管脚与地之间应连接 1μF 的去耦电容。
4	VCC	PWR	电源电压 (3V~3.6V)。该管脚与地之间应连接 1μF 的去耦电容。
6, 7	AIND–, AIND+	AI	ADC X 的模拟输入。
8, 9	AINC–, AINC+	AI	ADC X 的模拟输入。
10, 11	AINB-, AINB+	AI	ADC X 的模拟输入。
12, 13	AINA–, AINA+	AI	ADC X 的模拟输入。
15	DNC	-	浮空。
17	REFIN	AI/O	基准输入。可通过该管脚输入 2.5V~3.3V 的外部基准电压。该管脚与地之间应连接 1μF 的去耦电容。
18	$\overline{CS}$	DI	片选输入。逻辑低电平有效。该管脚也用于启动芯片的转换操作。
19	SDOA	DO	串行数据输出 A。该管脚用于访问转换结果和芯片寄存器内容。
20	SDOB	DO	串行数据输出 B。该管脚用于访问转换结果。
21	SDI	DI	串行数据输入。该管脚用于向芯片内部控制寄存器写入数据。
22	SCLK	DI	串行时钟输入，用于 ADC 的数据发送和接收。

编号	名称	类型	说明
23	SDOC	DO	串行数据输出 C。该管脚用于访问转换结果和芯片寄存器内容。
24	SDOD/$\overline{\text{ALERT}}$	DO	串行数据输出 D/警报指示输出。 SDOD 用于访问转换结果。 $\overline{\text{ALERT}}$用于当转换结果超过预设阈值时，拉低（低电平有效）以触发警报。
	EPAD	GND	裸露焊盘。需连接至 GND。

绝对最大额定值

参数	等级
温度	
工作温度	-40°C~85°C
存储温度	-65°C~150°C
结温	150°C
耐压	
VCC、VLOGIC 至 GND	–0.3V~4V
模拟输入电压至 GND	–0.3V~(VREF/VCC + 0.3V)
数字输入电压至 GND	–0.3V~(V_{LOGIC} + 0.3V)
数字输出电压至 GND	–0.3V~(V_{LOGIC} + 0.3V)
REFIN 输出至 GND	–0.3V~(VCC + 0.3V)
限流	
除电源外的任意管脚	±10mA

电气规格

默认测试条件：VCC = 3V~3.6V，V_{LOGIC} = 1.65V~3.6V，VREF = 2.5V，f_S = 5MSPS，TA = -40°C~85°C。

参数	测试条件	最小值	典型值	最大值	单位
直流精度					
DNL		-0.9	±0.5	0.9	LSB
INL		-2	±1	2	LSB
增益误差		-0.015	±0.005	0.015	%FS
增益误差温漂			±0.5		ppm/°C
增益误差匹配		-0.015	±0.005	0.015	%FS
失调误差		-0.35	±0.1	0.35	mV
零码输入误差温漂			±0.5		μV/°C
零码输入误差匹配		-0.35	±0.1	0.35	mV
动态性能					
动态范围	VREF = 3.3V		93		dB
			92		dB
动态过采样范围	OSR = 4，RES = 1，VREF = 3.3V		96.5		dB
	OSR = 4，RES = 1		94		dB
SNR	VREF = 3.3V	89.5	91.5		dB
	f_{IN} = 1kHz，VREF = 2.5V	87.5	89.5		dB
	滑动平均过采样 OSR = 8，RES = 1		96		dB
SFDR			-100		dB
THD			-100		dB
SNDR	VREF = 3.3V	88.8	90.8		dB
		87	89		dB
输入带宽	-0.1dB		5		MHz
	-3dB		30		MHz
CMRR			-72		dB
通道隔离度			-110		dB
模拟输入					
电压范围	AINx+，AINx–	-VREF		VREF	V
绝对输入电压	AINx+，AINx–	-0.1		VREF + 0.1	V
共模输入范围	AINx+，AINx–	0.2	VREF/2	VREF - 0.2	V
直流漏电流			0.1	1	μA
输入电容	跟踪模式		14		pF
	保持模式		5		pF
基准					

参数	测试条件		最小值	典型值	最大值	单位
外部基准输入电压			2.49		3.4	V
外部基准输入电流				2		mA
数字输入/输出						
V_{IL}	V_{LOGIC} < 2.3V				0.45	V
	V_{LOGIC} ≥ 2.3V				0.7	V
V_{IH}	V_{LOGIC} < 2.3V		V_{LOGIC} – 0.45V			V
	V_{LOGIC} ≥ 2.3V		0.8 V_{LOGIC}			V
I_{IL}			-1		1	μA
I_{IH}			-1		1	μA
V_{OL}					0.4	V
V_{OH}			V_{LOGIC} - 0.3			V
浮动状态漏电流					±1	μA
浮动状态输出电容				10		pF
电源						
VCC			3	3.3	3.6	V
	VREF = 3.3V		3.15	3.3	3.6	V
I_{VCC}	工作模式（静态）			1.7	2.5	mA
	工作模式			18		mA
	关断模式			210	450	μA
I_{VLOGIC}	工作模式（静态）			10	550	nA
	工作模式			9		mA
	关断模式			10	500	nA
功耗	仅 VCC	工作模式（静态）		5.6	9	mW
		工作模式		60		mW
		关断模式		693	1620	μW
	仅 V_{LOGIC}	工作模式（静态）		33	1980	nW
		工作模式		30		mW
		关断模式		33	1800	nW

时序规格

默认测试条件：VCC = 3V~3.6V，V_{LOGIC} = 1.65V~3.6V，VREF = 2.5V，TA =-40℃~85℃。

参数	描述	最小值	典型值	最大值	单位
t_{CYC}	转换周期	200			ns
$t_{CSSCKEN}$	$\overline{CS}$下降沿到第一个 SCLK 下降沿之间的时间间隔	5.5			ns
t_{SCK}	SCLK 周期	10			ns
t_{SCKHW}	SCLK 高电平脉冲宽度	4.5			ns
t_{SCKLW}	SCLK 低电平脉冲宽度	4.5			ns
t_{CSW}	$\overline{CS}$脉冲宽度	10			ns
t_{QUIET}	转换开始前接口静默时间	7			ns
$t_{CSSDOHD}$	$\overline{CS}$下降沿到 SDO 数据有效时间			5.5	ns
$t_{SCKSDOHD}$	SCLK 上升沿到 SDO 仍然有效保持时间	1.5			ns
$t_{SCKSDOST}$	SCLK 上升沿到 SDO 有效建立时间			5	ns
t_{CSSDOH}	$\overline{CS}$上升沿到 SDO 变为高阻态时间			8	ns
$t_{SDISCKST}$	SDI 有效到 SCLK 下降沿建立时间	2			ns
$t_{SDISCKHD}$	SCLK 下降沿到 SDI 仍然有效保持时间	2			ns
$t_{SCKCSEN}$	SCLK 上升沿到$\overline{CS}$上升沿之间的时间间隔	0			ns
t_{CONV}	转换时间		180		ns
t_{ACQ}	采样时间	110			ns
t_{RESET}	软复位后启动转换时间		250		ns
	硬复位后启动转换时间		40		μs
$t_{POWERUP}$	上电后开始第一次转换时间		230		μs
	上电后转换误差在 1%的稳定时间			5	ms
$t_{REGWRITE}$	上电后寄存器读写访问时间		230		μs
$t_{STARTUP}$	退出关断模式后，误差在 1%时启动转换时间			10	μs
t_{CONV0}	一般过采样模式下第一次转换时间	6	8	10	ns
t_{CONVX}	一般过采样模式下第 X 次转换时间		t_{CONV0} + 200 × (X - 1)		ns
$t_{CSALERTEN}$	$\overline{CS}$下降沿到 ALERT 有效时间间隔			193	ns
$t_{CSALERTC}$	$\overline{CS}$下降沿到 ALERT 清除时间间隔			5	ns
t_{ALERTS_NOS}	转换结果超出门限到 ALERT 指示时间间隔			10	ns

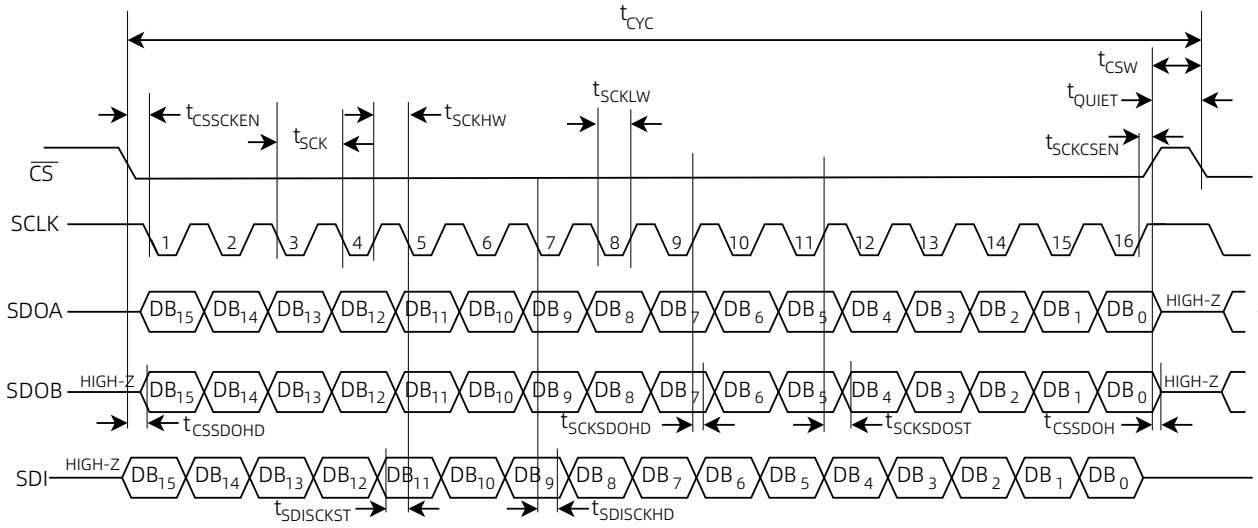


图 1 串行接口时序图

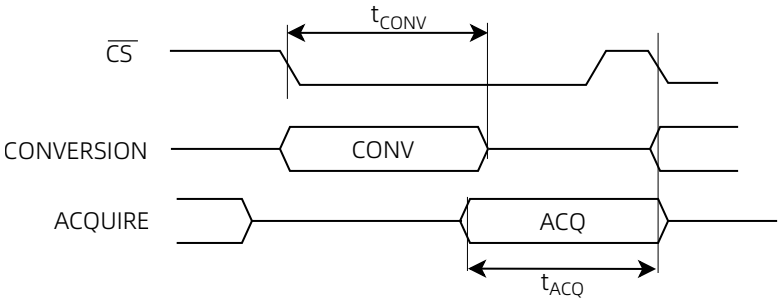


图 2 内部转换采集时序图

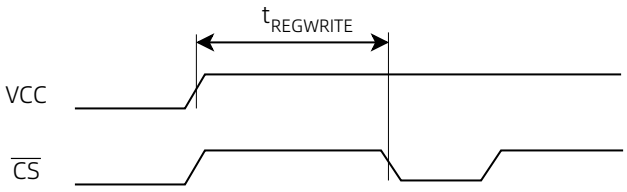


图 3 上电到开始转换的时间间隔

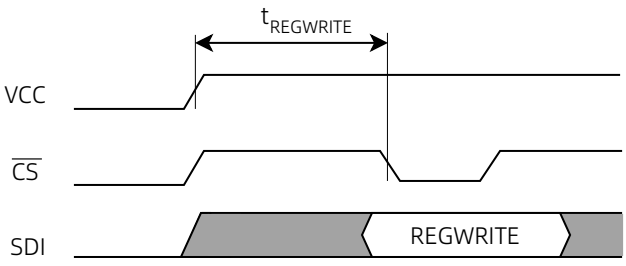


图 4 上电后寄存器读写访问时间

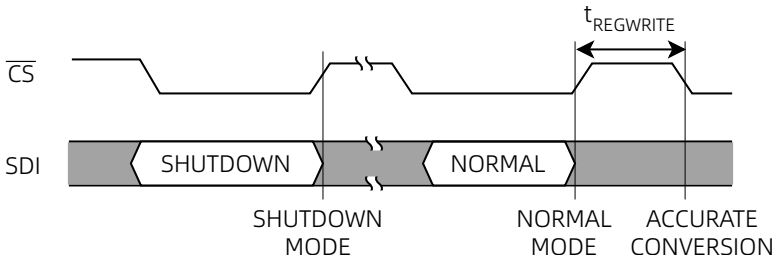


图 5 关断模式到正常模式转换时间

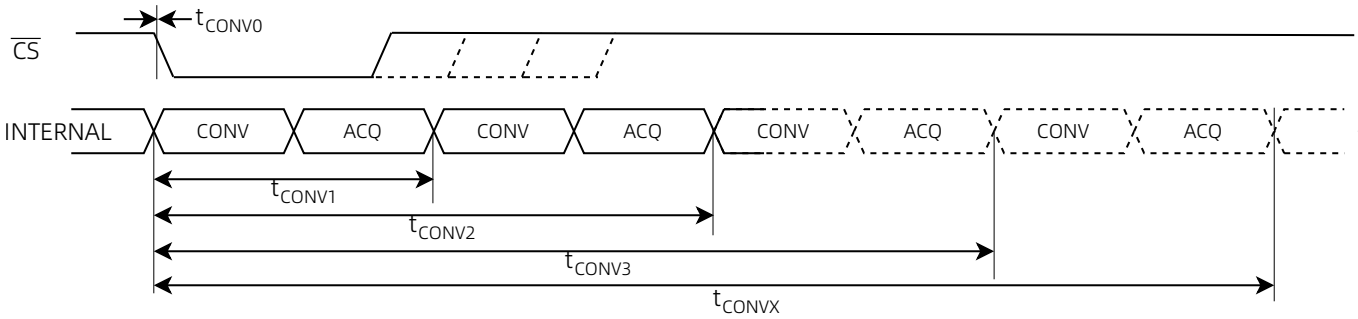


图 6 过采样工作模式下转换时间

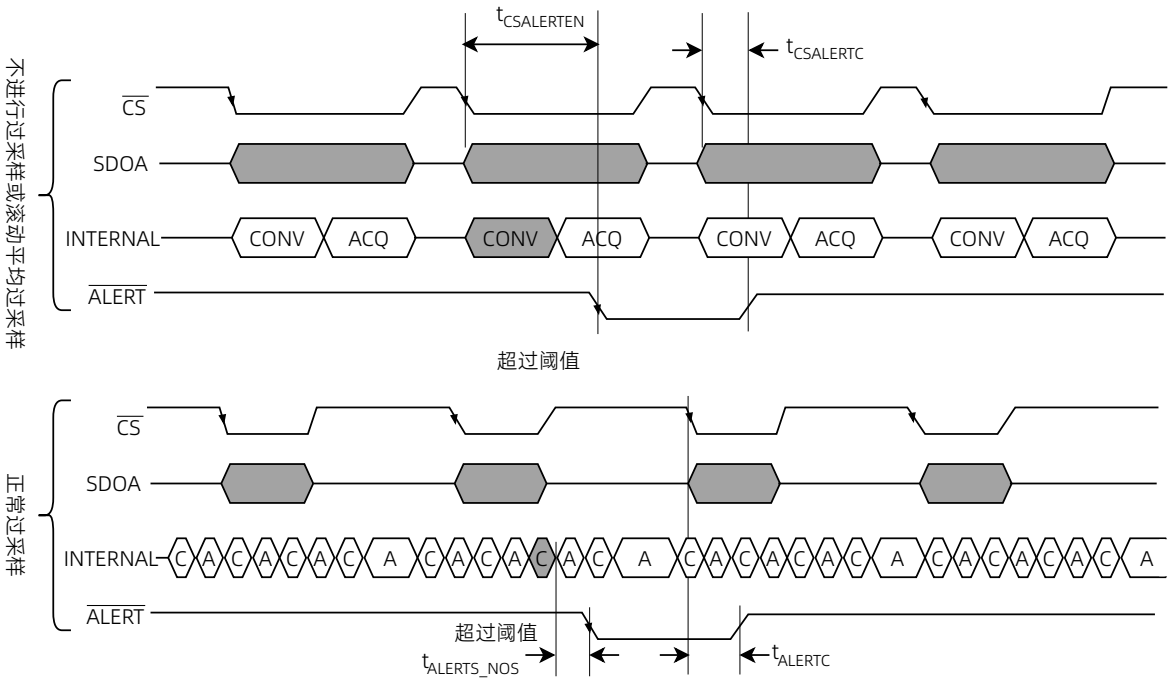


图 7 $\overline{\text{ALERT}}$时序图

典型特征

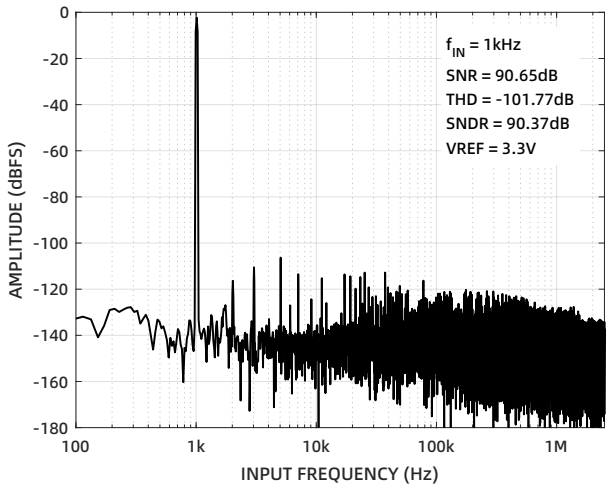


图 8 FFT

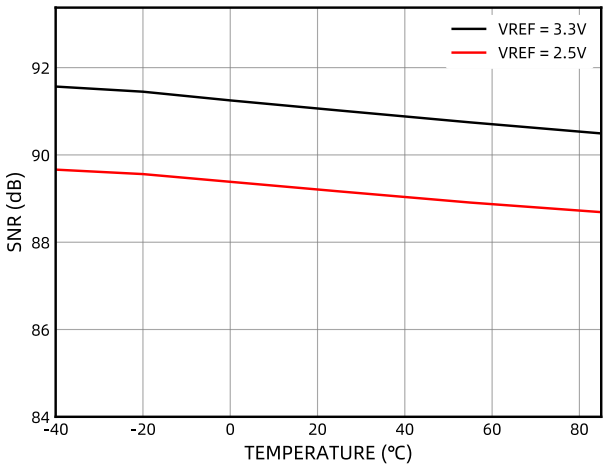


图 9 SNR 的温度特性

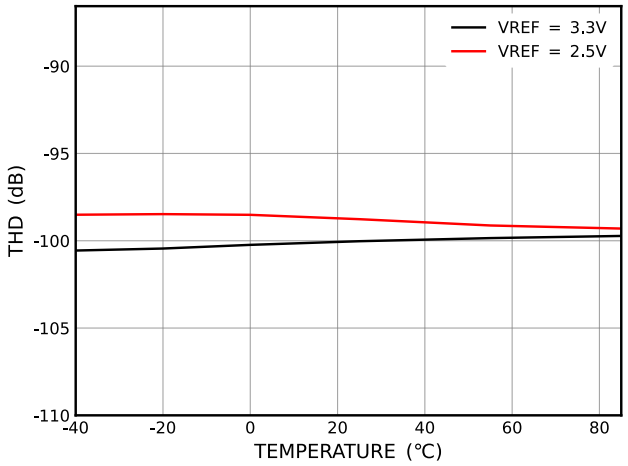


图 10 THD 的温度特性

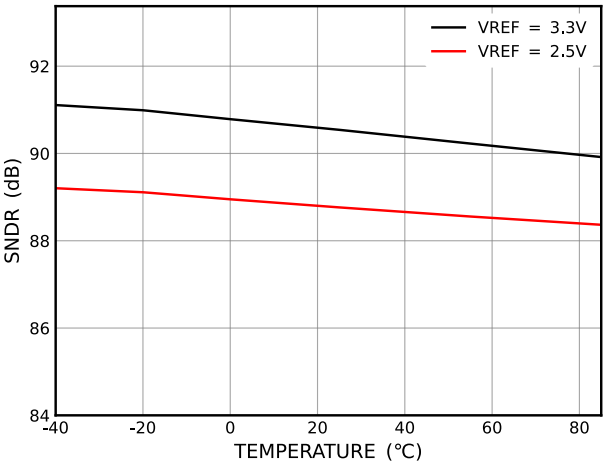


图 11 SNDR 的温度特性

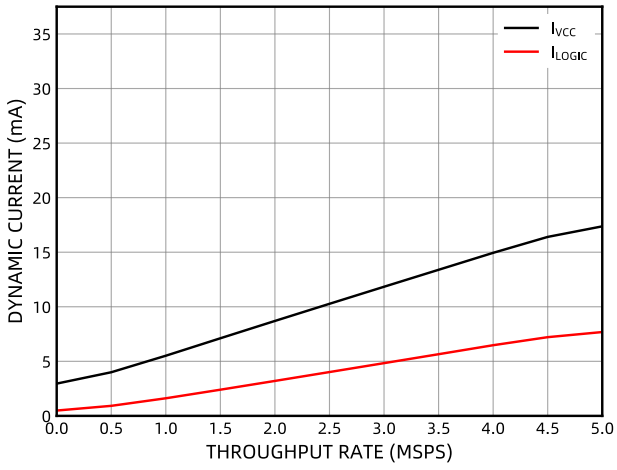


图 12 动态电流随采样率的变化

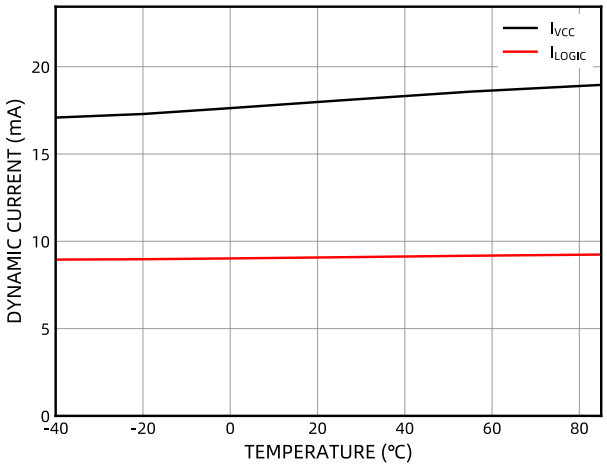


图 13 动态电流的温度特性

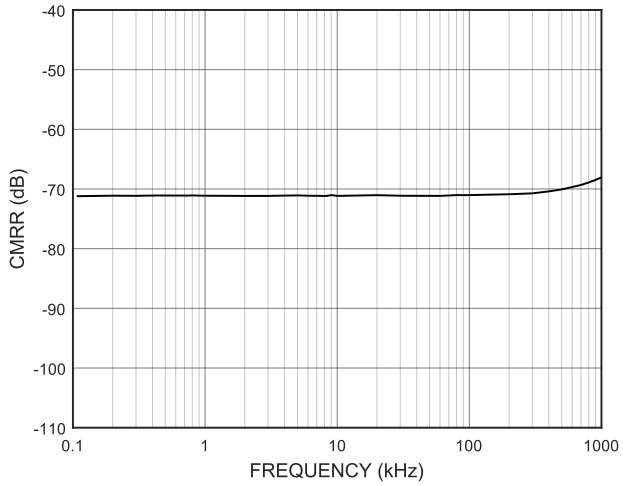


图 14 CMRR

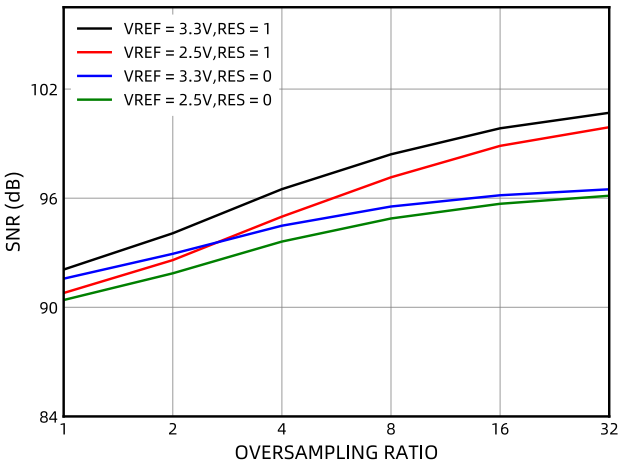


图 15 常规平均过采样

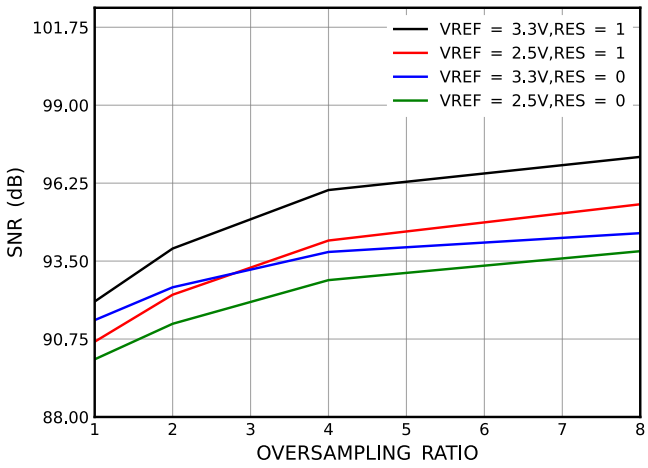


图 16 滑动平均过采样

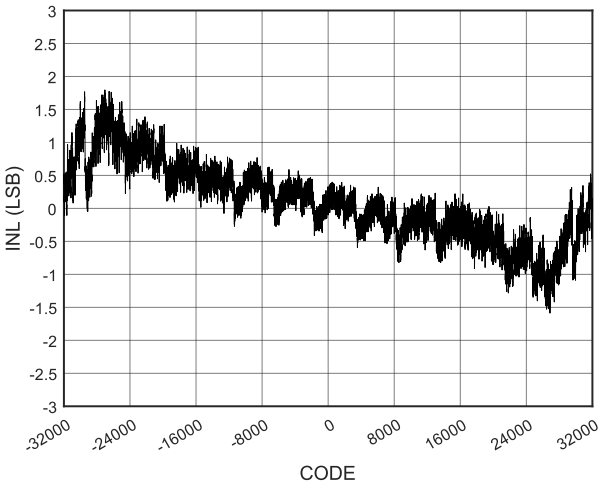


图 17 INL

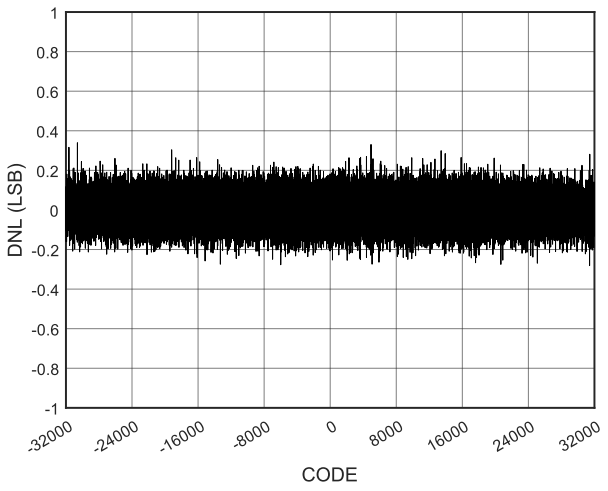


图 18 DNL

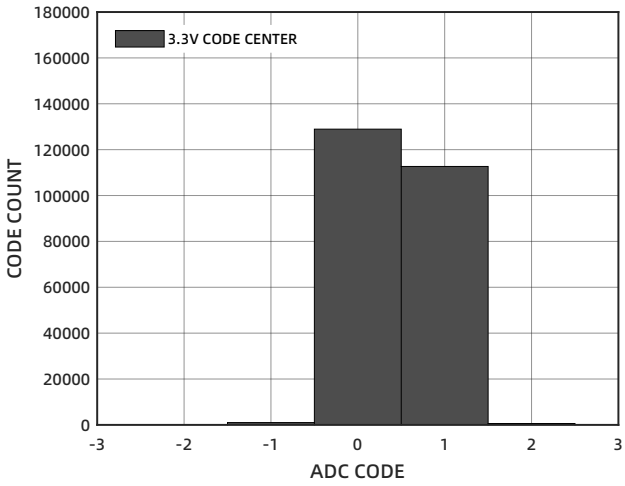


图 19 直方图

工作原理

CM2284 内部集成四路独立的 SAR ADC 内核，并配置四条独立数据输出管脚的串行接口，数据交互通过该串行接口实现，支持 1 线、2 线或 4 线串行输出模式灵活配置。

CM2284 的外部基准电压范围为 2.5V 至 VCC，其差分模拟输入范围为 VCM ± VREF/2。

CM2284 集成片上过采样模块，支持常规平均过采样和滑动平均过采样两种过采样模式；同时提供省电模式以便在转换过程中动态降低功耗。可通过标准串行接口实现芯片配置。

转换器操作

CM2284 集成的四路独立的 SAR ADC 内核。每个 ADC 包含一个控制逻辑模块、一个 SAR 和两个容性 DAC。图 20 和图 21 分别展示了其中一个 ADC 在采集阶段和转换阶段的简化原理图。

如图 20 所示，在采集阶段，SW3 闭合，SW1 和 SW2 处于位置 A，比较器保持平衡状态，采样电容阵列可采集输入端的差分信号。

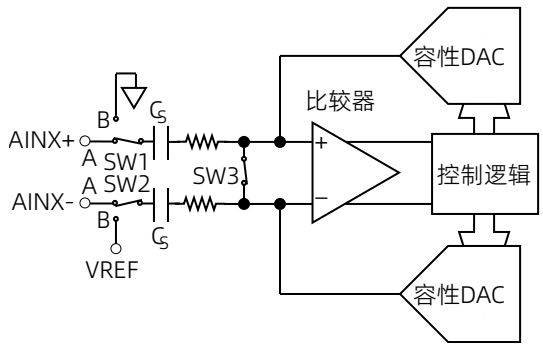


图 20 ADC 采集阶段

如图 21 所示，在转换阶段，SW3 断开，SW1 和 SW2 切换至位置 B，导致比较器失去平衡。转换开始时，两个输入端断开连接。控制逻辑和电荷再分配 DAC 通过向采样电容阵列添加或移除固定电荷量，使比较器恢复平衡状态。当比较器重新恢复到平衡时，转换过程结束，控制逻辑产生 ADC 输出码。驱动 AINX+和 AINX-管脚的信号源输出阻抗必须相匹配；否则，两个输入端的建立时间不同，将导致转换误差。

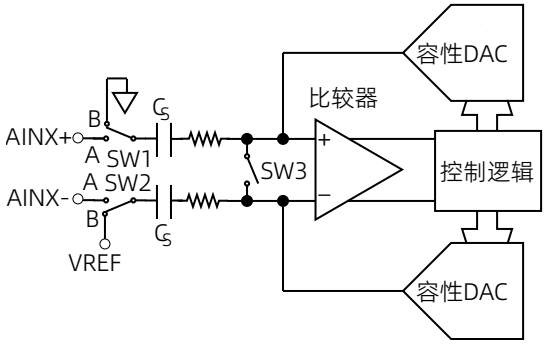


图 21 ADC 转换阶段

模拟输入

图 22 显示了 CM2284 的输入等效电路。四个二极管为模拟输入 AINX+和 AINX-提供 ESD 保护。注意，模拟输入信号不能超过供电轨 0.3V 以上，否则会造成二极管正偏，并开始传导电流。这些二极管可以处理最高 10mA 的正偏电流，而不会对芯片造成永久性损坏。

图 22 中的 C1 电容（典型值为 3pF）主要来源于管脚寄生电容。R1 电阻（典型值为 200Ω）由输入串联电阻与采样开关的导通电阻构成。C2 电容为 ADC 采样电容（典型值为 25pF）。

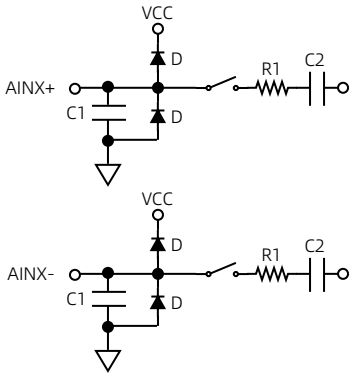


图 22 等效模拟输入电路（转换阶段开关断开，采集阶段开关闭合）

传递函数

CM2284 采用 2.5V~3.3V 电压基准，将模拟输入 AINX+和 AINX-的差分电压转换为数字输出。转换结果以 MSB 优先的二进制补码形式呈现。LSB 的大小为$(2 \times VREF)/2^N$，其中 N 为 ADC 的分辨率。ADC 的分辨率由其是否启用分辨率增强模式决定。表 2 列出了不同分辨率和基准电压下 LSB 的值。

表 2 LSB 大小

分辨率(Bits)	2.5V 基准(μV)	3.3V 基准(μV)
16	76.3	100.7
18	19.1	25.2

CM2284 的理想传递特性如图 23 所示。

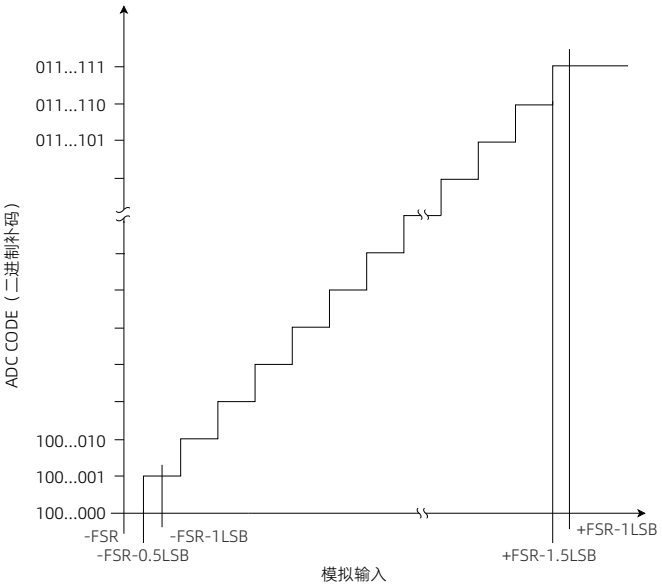


图 23 ADC 理想传递特性

功能与模式

CM2284 内置多个配置寄存器，用于控制芯片工作模式。

过采样

过采样作为模拟电子系统中提升 ADC 精度的一项关键技术，其核心原理是通过多次对同一模拟输入信号进行采样转换并求平均，有效抑制量化噪声及 ADC 固有的热噪声（即 kTC 噪声）的影响。CM2284 集成片内过采样功能，支持两种用户可灵活配置的工作模式：常规平均过采样模式与滑动平均过采样模式。用户可通过配置表 10 中的 OS_MODE 位（模式选择字段）与 OSR 位（过采样率设置字段），灵活启用并调整过采样功能的参数。

常规平均过采样模式

该模式适用于对输出数据速率要求较低，但需要更高 SNR 或动态范围的场景。其核心机制为：采集多个样本进行累加求和，然后将总和除以样本数量得到平均值并输出；处理完成后，样本数据将自动清零。

该模式可通过将 OS_MODE 位置为逻辑 0，并在 OSR 位中设置有效的非零值来启用。过采样率通过 OSR 位进行调节，具体参数对应关系参见常规平均过采样模式概览。

常规平均过采样模式概览提供了过采样位解码信息，用于选择不同的过采样率配置。输出结果默认分辨率为 16 位有效位。若需更高分辨率，可通过表 10 中的分辨率增强位 (RES)来实现，具体设置方法参见分辨率增强。

具体工作流程如下：首先通过 OSR 位设定采样次数 n，芯片在$\overline{CS}$信号下降沿触发首次 ADC 转换后，自动完成后续 n-1 次采样，所有累加后除以 n 得到平均值；计算结果将在下一次 SPI 访问时准备就绪，运算完成后会立即丢弃原始采样数据。每次$\overline{CS}$信号下降沿均触发新一轮转换流程。需注意，过采样率增加会导致输出数据速率降低，因此需同步调整 SPI 时钟频率以匹配数据速率需求。该机制通过多次采样平均有效提升转换精度，同时兼顾系统灵活性。

表 3 常规平均过采样模式概览

SNR（dB，典型值）						
		2.5V 外部基准		3.3V 外部基准		最大数据输出速率(kSPS)
OSR, Bits[2:0]	OS Ratio	RES = 0	RES = 1	RES = 0	RES = 1	
000	无过采样	89.3	89.5	90.5	90.6	5000
001	2	92	92.6	93.2	94.2	2000
010	4	94	95.2	94.8	97	1000
011	8	95.1	97.3	95.8	98.5	500
100	16	95.8	99.2	96.2	100.1	250
101	32	96.4	100.5	96.7	101.2	125
110	无效	不适用	不适用	不适用	不适用	不适用
111	无效	不适用	不适用	不适用	不适用	不适用

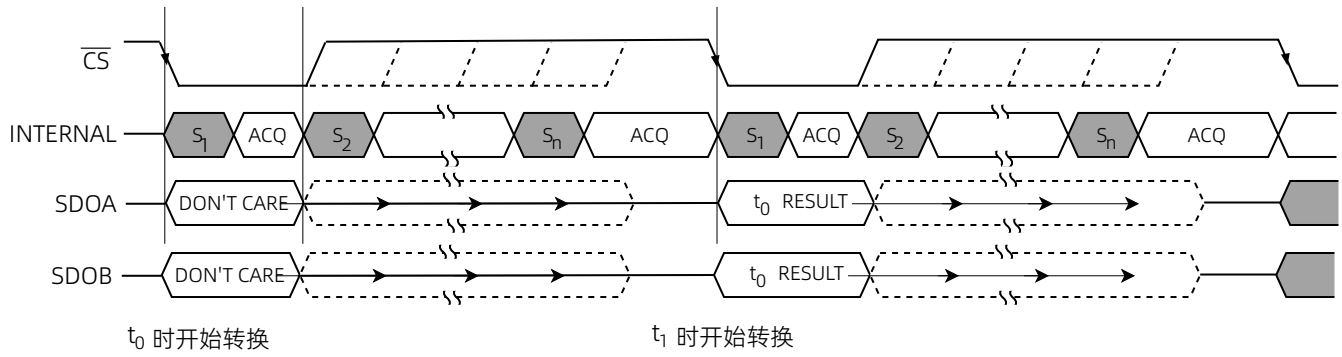


图 24 常规平均过采样操作

滑动平均过采样模式

该模式主要面向对输出数据速率要求较高，同时需兼顾高 SNR 或动态范围优化的应用场景。其核心工作机制为：通过持续采集固定数量的样本并进行实时累加，将总和除以样本数量得到动态平均值后输出。与常规平均过采样模式不同，该模式采用先进先出 (FIFO)缓冲机制，系统始终以最新采集的样本替换队列中最旧的样本参与运算，从而在抑制噪声的同时保持吞吐速率与输出数据速率的一致性，兼顾噪声抑制效果与实时性表现。

该模式通过表 10 中的 OS_MODE 位设为逻辑 1，并在 OSR 位设置有效非零值启用；过采样率通过 OSR 位调节，具体参数对应关系参见滑动平均过采样模式概览。输出结果默认分辨率为 16 位有效位；若需进一步提升分辨率，可通过配置表 10 中的分辨率增强位 (RES)实现，具体设置方法参见分辨率增强。

该模式下，所有 ADC 转换均由$\overline{CS}$信号的下降沿触发启动。每次转换完成后，转换结果会自动载入深度固定为 8 的 FIFO 缓冲区（缓冲区深度与当前设置的过采样率无关）。FIFO 初始化发生在以下两种场景：其一为上电复位 (POR)后的首次转换；其二为软件硬复位或软复位操作后的首次转换。值得注意的是，无论 OSR 位或 OS_MODE 位状态如何变化，新的转换结果均会在完成转换后立即移入 FIFO，此过程完全独立于配置参数的调整。

该机制具备三大核心优势：其一，系统无需等待 FIFO 填满即可实现从无过采样到滑动平均过采样的无缝切换；其二，支持不同滑动平均过采样率之间的动态调整；其三，通过从 FIFO 中提取 OSR 位定义的样本数 n 进行累加求平均，确保实时输出处理结果的时效性与准确性。

表 4 滑动平均过采样模式概览

SNR（dB，典型值）						
		2.5V 外部基准		3.3V 外部基准		最大数据输出速率(kSPS)
OSR, Bits[2:0]	OS Ratio	RES = 0	RES = 1	RES = 0	RES = 1	
000	无过采样	89.1	89.3	90.5	90.6	5000
001	2	91.4	92.8	92.8	94.3	5000
010	4	93	94.2	94.2	96.5	5000
011	8	94.5	96.4	94.8	97.8	5000
110	无效	不适用	不适用	不适用	不适用	不适用
111	无效	不适用	不适用	不适用	不适用	不适用

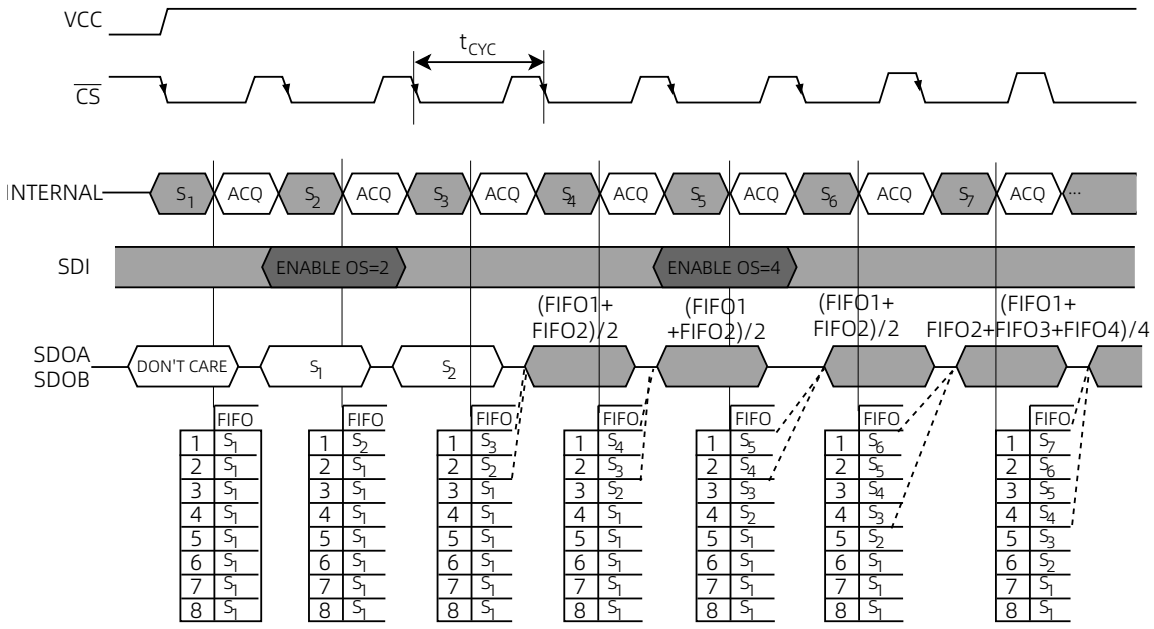


图 25 滑动平均过采样模式配置

分辨率增强

CM2284 的默认输出分辨率为 16 位（对应数据位宽 16 位）。当启用片内过采样功能时，其实际有效分辨率可超越基础限制。为实现芯片性能的最大化，用户可通过寄存器配置实现额外 2 位有效分辨率的提升：仅需将 CONFIG1 中的 RES 位置为逻辑 1，并确保芯片处于有效过采样模式（即 OSR 位配置为非零值），转换结果的有效分辨率将扩展至 18 位。在此高分辨率模式下，转换数据的输出需占用 18 个 SCLK 时钟周期完成传输，以满足 18 位数据的高精度传输需求。

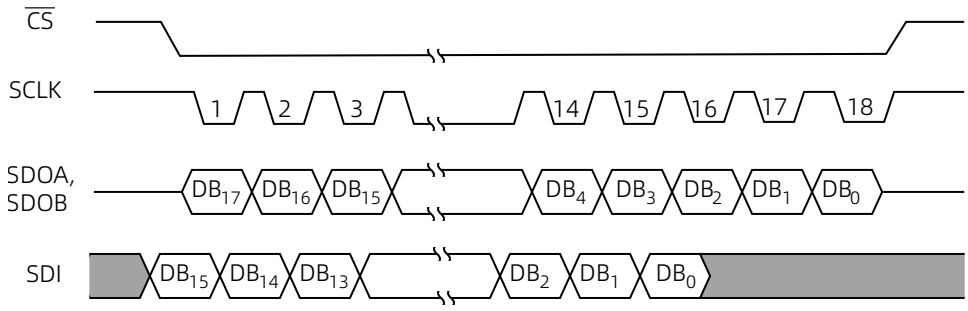


图 26 分辨率增强

警报

CM2284 的警报功能作为超限指示机制，主要用于对转换结果超出预设范围的提前预警。具体工作逻辑如下：当转换结果寄存器中的数值超过 TH_H 设定的上限值，或低于 TH_L 设定的下限值时，系统将触发警报事件。

需特别说明的是，TH_H 与 TH_L 为所有 ADC 通道全局共享配置，用户配置时需确保高阈值寄存器的数值严格大于低阈值寄存器，以避免逻辑冲突。芯片为每个 ADC 通道分配了独立的两个状态位（AL_H 状态位与 AL_L 状态位），分别用于标记该通道是否触发对应阈值条件。

所有 ADC 通道的警报信号经逻辑或运算合并后，生成统一的警报输出信号，该信号可通过配置驱动至 SDOD/$\overline{\text{ALERT}}$管脚的$\overline{\text{ALERT}}$功能。若需将 SDOD/$\overline{\text{ALERT}}$管脚作为$\overline{\text{ALERT}}$功能使用，需在 CONFIG1 和 CONFIG2 中进行如下设置：

1. 将 SDO 位设置为除 0b10 以外的任意值；
2. 使能 ALERT_EN 位（置为 1）；
3. 在 TH_H/TH_L 中写入有效数值。

该警报指示功能支持多种工作模式，包括滑动平均过采样模式、常规平均过采样模式及无过采样模式。SDOD/$\overline{\text{ALERT}}$管脚的警报状态会在每次转换结束后更新，同时表 12 中的状态位也会同步刷新，但需注意这些状态位必须在下次转换结束前完成读取，否则将被新状态覆盖。

$\overline{\text{ALERT}}$寄存器的[7:0]位会在读寄存器内容时自动清零，而 SDOD/$\overline{\text{ALERT}}$管脚的警报功能则会在$\overline{\text{CS}}$信号下降沿触发复位。此

外，执行软件复位操作也会清除$\overline{\text{ALERT}}$寄存器中的所有警报状态。具体时序特性参见图 7 。

电源模式

CM2284 支持两种可配置的电源管理操作模式（工作模式和关断模式），为不同应用场景下的功耗与吞吐率优化提供灵活配置选项。用户可通过配置 CONFIG1 中的 PMODE 位实现模式切换：当 PMODE 位置为逻辑 0 时，芯片进入正常工作模式；置为逻辑 1 时，芯片切换至关断模式。

工作模式

CM2284 在工作模式下可实现最高数据吞吐率，此时片内各功能模块均处于全功耗运行状态。当需要启动模数转换操作时，仅需通过$\overline{\text{CS}}$的下降沿触发即可完成转换启动。值得强调的是，当芯片未执行模数转换操作时，CM2284 会自动切换至静态模式以降低待机功耗。由于模数转换操作需要额外的电流驱动，因此芯片整体功耗将随数据吞吐率的提升呈正相关增长，即吞吐率越高，功耗消耗越大。

关断模式

在需要较低数据吞吐率与更低功耗的应用场景中，CM2284 支持两种典型关断模式启用策略：其一为转换任务完成后立即进入关断状态；其二是在高速连续转换后进入长时间关断状态以进一步降低能耗。当芯片处于关断模式时，内部模拟前端电路将完全断电，但串行接口维持低功耗待机状态，支持通过外部信号唤醒。

具体操作流程如下：通过将 CONFIG1 中的 PMODE 位置为逻辑 1 进入关断模式，此时芯片功耗显著降低至维持基本电路待机的最低水平；当需要恢复工作时，仅需将 PMODE 位重新置为逻辑 0，芯片将自动启动内部电路并进入工作模式。需特别说明的是，关断模式切换过程中，芯片内部寄存器配置及状态信息将完整保留，但退出关断模式后需预留足够的电路初始化时间（通常为几个时钟周期），以确保模拟前端与数字逻辑达到稳定工作状态后，方可启动新的模数转换操作。

外部基准

CM2284 内核在转换过程中以 REFIN 管脚输入的基准电压作为基准电压。REFIN 管脚的输入电压范围支持 2.5V~3.3V。外部基准源需具备足够的驱动能力（最大负载电流不低于 1.2mA）。为确保基准电压的稳定性，建议在 REFIN 管脚附近并联 1μF 去耦电容。

软复位

CM2284 提供两种复位模式：软复位和硬复位，均通过配置表 11 中的复位位来触发。

软复位特性：

- 保留所有可配置寄存器的当前设置
- 重新初始化接口电路与 ADC 模块
- 复位内部状态机
- 清空过采样模块及 FIFO 缓冲区
- 清除$\overline{\text{ALERT}}$寄存器内容
- 基准电压源与 LDO 稳压器保持供电状态

硬复位特性（在软复位基础上增加）：

- 将所有用户寄存器恢复至默认状态
- 复位内部振荡器模块

自诊断测试

CM2284 在上电复位或软件硬复位操作完成后，将启动内部自诊断流程，用于验证系统配置参数是否正确加载至芯片内部。测试结果通过$\overline{\text{ALERT}}$中的 SETUP_F 状态位反馈：当 SETUP_F 位置为逻辑 1 时，标识自诊断测试未通过。若测试失败，需通过软件硬复位操作将芯片所有寄存器重置为默认配置，以恢复系统正常工作状态。

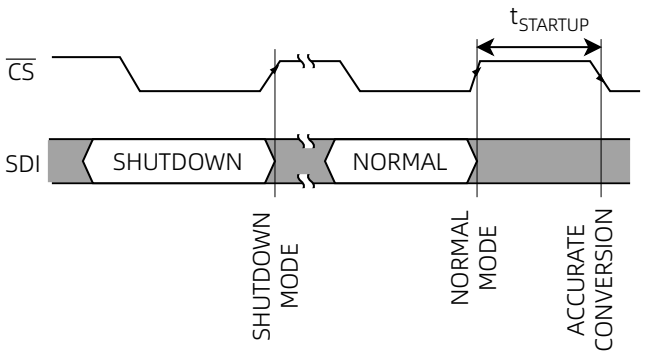


图 27 关断模式下操作

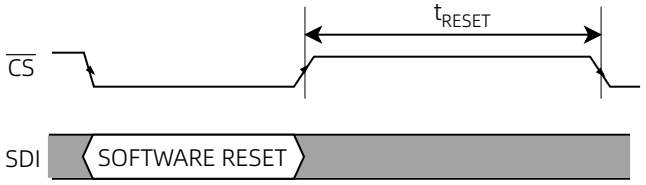


图 28 软复位

数字接口

CM2284 通过串行接口进行通信，串行接口包含$\overline{CS}$、SCLK、SDOA/SDOB/SDOC/SDOD 及 SDI 共七条信号。其中，$\overline{CS}$信号作为串行通信的核心控制信号，主要用于界定串行数据传输的起始与结束，并触发 ADC 转换操作的启动。当$\overline{CS}$信号产生下降沿时，完成对模拟输入信号的采样，同时数据总线从高阻态（三态）退出并进入有效数据传输状态。

值得注意的是，ADC 转换过程由片上集成振荡器独立驱动，与 SCLK 信号无直接同步关系。SCLK 信号的主要功能是为 SDOA/SDOB/SDOC/SDOD 与 SDI 之间的数据输入/输出提供同步时钟基准。寄存器读写操作至少需要 16 个 SCLK 周期完成；而转换结果的读取所需最小 SCLK 周期数则取决于芯片当前分辨率配置及工作模式。

CM2284 提供四路独立的串行输出通道 SDOA、SDOB、SDOC、SDOD，用户可通过配置表 11 中的 SDO 位，灵活选择 1 线、2 线或 4 线串行输出模式：

- 低采样率或过采样场景：可采用 1 线模式（仅使用 SDOA 信号）读取结果，简化接口设计并降低资源占用。
- 最大采样率场景：推荐使用 2 线或 4 线模式读取转换结果，以充分利用并行输出能力，满足高速数据传输需求；

若系统启用了循环冗余校验 CRC 功能（适用于串行接口读写操作、过采样模式及分辨率增强模式），串行接口的行为逻辑将发生相应调整，具体配置参见 CRC 以确保通信可靠性。

寄存器帧结构

如寄存器帧结构表格所示，DB15 表示寄存器读写使能，为 1 时，写有效；为 0 时，读有效。DB14~DB12 表示寄存器地址，有效地址范围为 0x1~0x5。如果配置为保留地址，则视为空操作(NOP)，SDO 将会输出上一次的转换结果。DB11~DB0 为写寄存器有效时，写入寄存器的配置值。

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R/W	REGADDR, Bits[2:0]														

表 5 帧结构位描述

位	名称	描述
D15	R/W	读写寄存器控制位。W = 1：写寄存器；W = 0：读寄存器。
D14~D12	REGADDR	读写寄存器的地址。如果 REGADDR 为非有效寄存器地址(0x0, 0x6, 0x7)，并且 R/W = 0，则下一帧操作为读取转换结果。
D11~D0	DATA	当 R/W = 1 且 REGADDR 位包含有效地址时，这些位会被写入由 REGADDR 位指定的对应寄存器中。

读取转换结果

CM2284 的片选信号$\overline{CS}$作为转换触发控制信号，其电平跳变直接控制模数转换流程的启动与数据输出时序。具体工作逻辑如下：当片选信号$\overline{CS}$由高电平向低电平跳变时，芯片内部四个 ADC 内核将同步启动模数转换操作。

需特别说明的是，CM2284 存在 1 个转换周期的读取延迟特性，因此转换完成后的结果需等待至下一次串行接口访问时方可被读取。在此过程中，当片选信号$\overline{CS}$保持低电平时，转换结果将通过四路串行输出管脚(SDOA/SDOB/SDOC/SDOD)以 16 位串行数据流形式依次移出：其中 MSB 在$\overline{CS}$下降沿后输出，后续各位数据则在 SCLK 的上升沿依次移位输出，输出数据在 SCLK 上升沿和下降沿均可采样，只需确保系统有足够的保持时间即可。

当 16 位转换数据全部移出后，片选信号$\overline{CS}$将拉高，此时四路串行输出管脚(SDOA/SDOB/SDOC/SDOD)自动切换至高阻态，释放总线资源。

串行数据输出所需的 SCLK 周期数由芯片配置的串行模式（标准模式或分辨率增强模式，参见图 29 和表 6 ）及是否启用 CRC 校验功能共同决定：若系统启用了 CRC 校验（适用于串行接口读写、过采样模式及分辨率增强模式），则需额外增加 SCLK 周期以传输校验码（参见 CRC）。

由于$\overline{CS}$同时承担转换启动和数据帧定义的双重功能，所有数据访问操作（包括寄存器配置或转换结果读取）必须在同一个串行数据帧周期内完成，否则可能导致数据阶段或帧同步错误。

表 6 读取转换结果所需的 SCLK 周期数量

串行接口配置	分辨率增强模式	CRC 校验	SCLK 周期数量
4 线	禁用	禁用	16
		启用	24
	启用	禁用	18
		启用	26
2 线	禁用	禁用	32
		启用	40
	启用	禁用	36
		启用	44
1 线	禁用	禁用	64
		启用	72
	启用	禁用	72
		启用	80

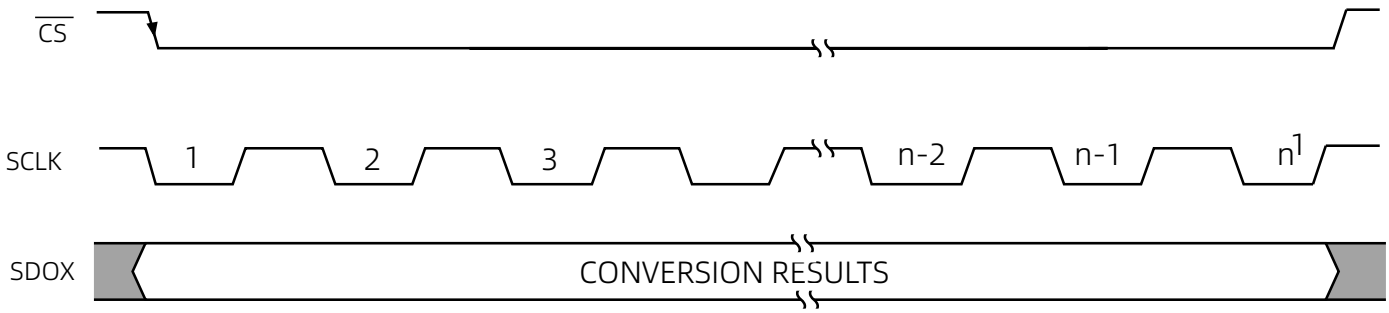


图 29 读取转换结果

1 线模式

通过将表 11 中 SDO 位设置为 0b01 可启用 1 线模式。该模式下，ADC A、ADC B、ADC C 和 ADC D 的转换结果均通过 SDOA 管脚输出。

2 线模式

通过将表 11 中 SDO 位设置为 0b00 可启用 2 线模式。该模式下，ADC A 和 ADC C 的转换结果通过 SDOA 管脚输出，而 ADC B 和 ADC D 的转换结果通过 SDOB 管脚输出。

4 线模式

通过将表 11 中 SDO 位设置为 0b10 可启用 4 线模式。该模式下，ADC A、ADC B 、ADC C 和 ADC D 的转换结果分别通过 SDOA、SDOB、SDOC 和 SDOD 管脚输出。

低延迟回读

CM2284 的串行接口存在一个转换周期延迟（如图 32 所示）。对于低采样率应用场景，读取转换结果的延迟可进一步缩短。在转换结束后，若在初始启动转换的$\overline{CS}$脉冲之后再次发出第二个$\overline{CS}$脉冲，即可读取转换结果（如图 33 所示）。

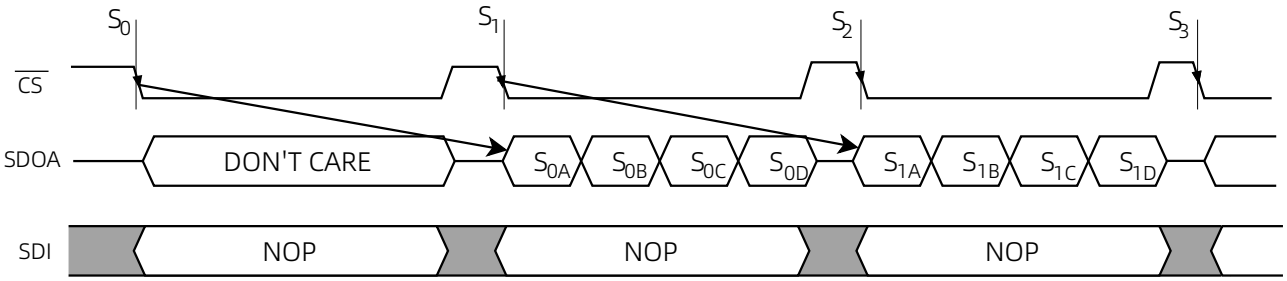


图 30 读取转换结果 - 1 线模式

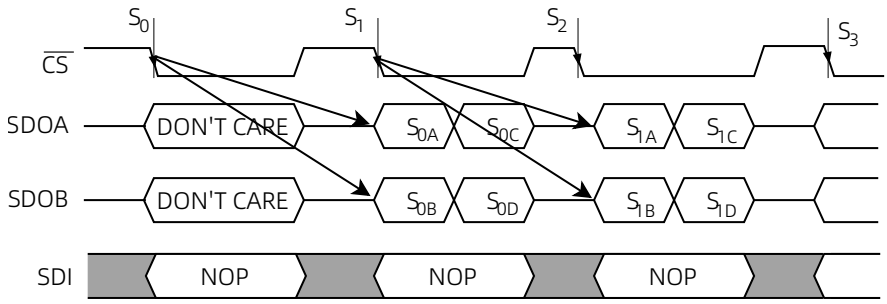


图 31 读取转换结果 - 2 线模式

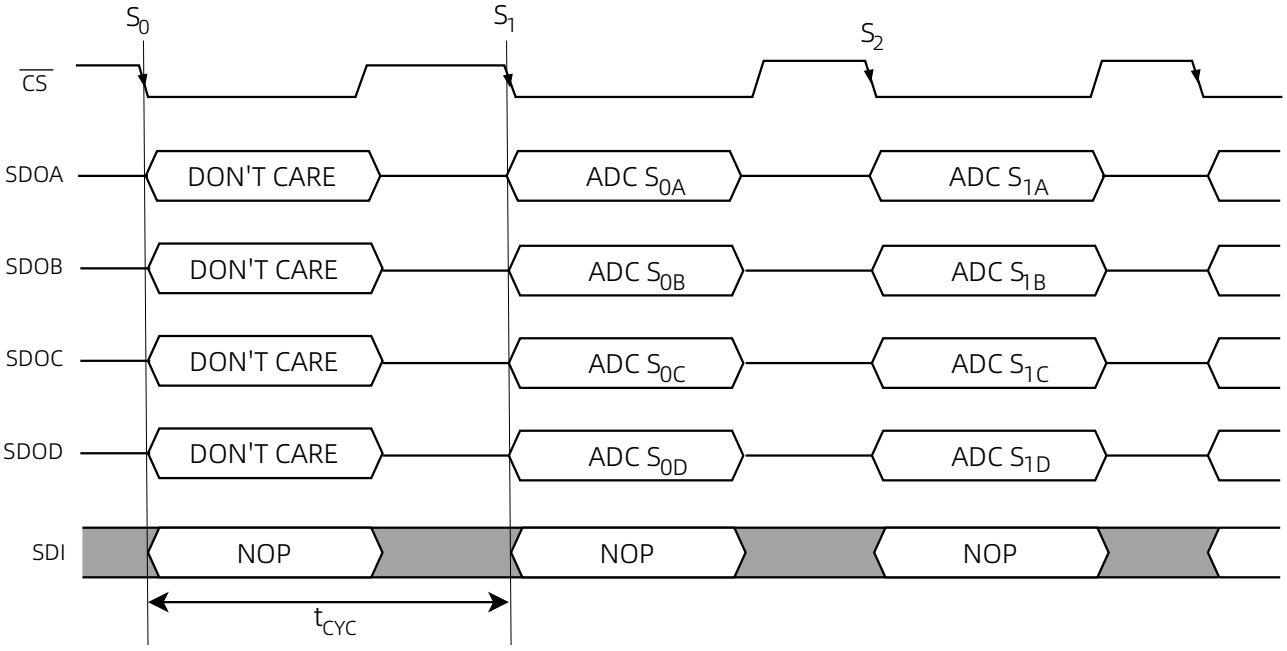


图 32 读取转换结果 - 4 线模式

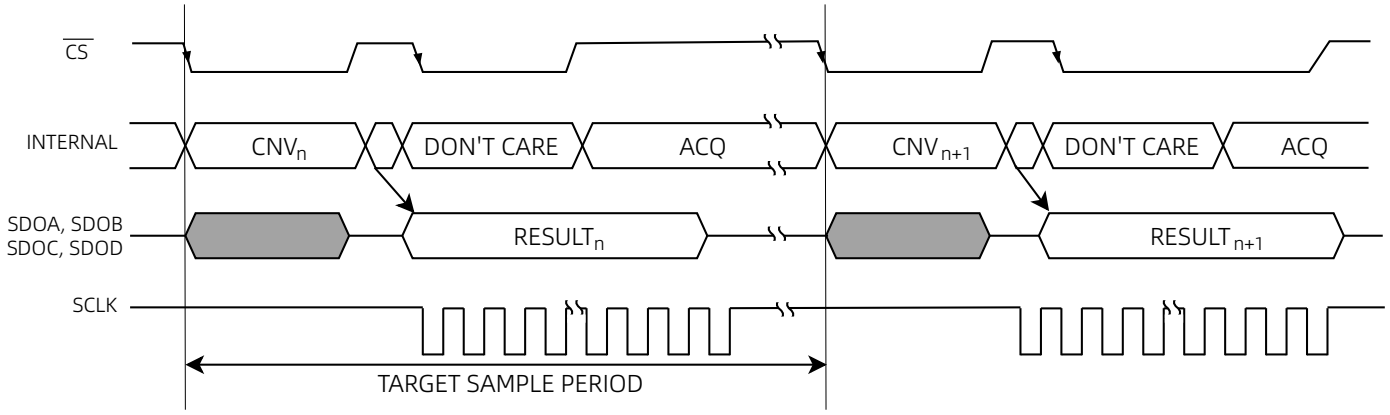


图 33 低采样率低延迟

读寄存器

CM2284 的所有片内寄存器均支持通过串行接口读取。执行寄存器读操作时，需先发送寄存器读命令，随后发送一个辅助串行命令（该命令可为有效命令或空操作命令）。读命令的格式如表 9 所示。D15 位必须置为 0 以选择读命令；[D14:D12]位包含寄存器地址；随后的 12 位[D11:D0]可忽略。

写寄存器

CM2284 的所有可读写寄存器均支持通过串行接口进行写入操作。串行接口写入操作的位宽（数据长度）由 CRC 写入功能的配置决定：当 CRC 写入功能禁用时，单次写入操作为 16 位数据；当 CRC 写入功能启用时，单次写入操作扩展为 24 位数据。D15 位必须置为 1 以选择写入命令；[D14:D12]位包含寄存器地址；随后的 12 位[D11:D0]可包含写入目标寄存器的数据。

CRC

CM2284 提供 CRC 校验模式，以增强接口通信的可靠性。CRC 功能可独立配置于串行接口的读取操作和写入操作。对于写入场景，可启用 CRC，防止芯片参数被意外修改；对于读取场景，可禁用 CRC 以维持更高的数据采样率。可通过配置表 10 中的 CRC_W 位和 CRC_R 位来实现控制串行接口写入和读取的 CRC 功能。

CRC 读取

要启用 CM2284 的 CRC 读取功能，需首先将表 10 中的 CRC_R（读取 CRC 使能）位置为逻辑 1。功能启用后，在转换结果或寄存器读取数据后附加 8 位 CRC 校验码，用于检测数据传输过程中的错误码。

CRC 校验功能支持以下串行接口工作模式：1 线串行接口模式、2 线串行接口模式、4 线串行接口模式及分辨率增强模式，可适配不同场景下的通信可靠性需求。

CRC 写入

要启用 CM2284 的 CRC 写入功能，需首先将表 10 中的 CRC_W（写入 CRC 使能）位置为逻辑 1。值得注意的是，CRC_W 位的置 1 操作需在串行接口请求帧中附加符合 CRC 校验规则的有效 CRC 校验码方可完成。当 CRC 功能启用后，所有针对寄存器的写入请求必须携带经正确计算的 CRC 校验码；若未提供有效 CRC 码或校验失败，该写入请求将被系统自动忽略。需特别说明的是，无论 CRC 写入功能处于启用或禁用状态，涉及 CRC 配置的操作（如启用 CRC 时的初始设置）均需提供符合协议要求的有效 CRC 校验码，以确保配置过程的可靠性。

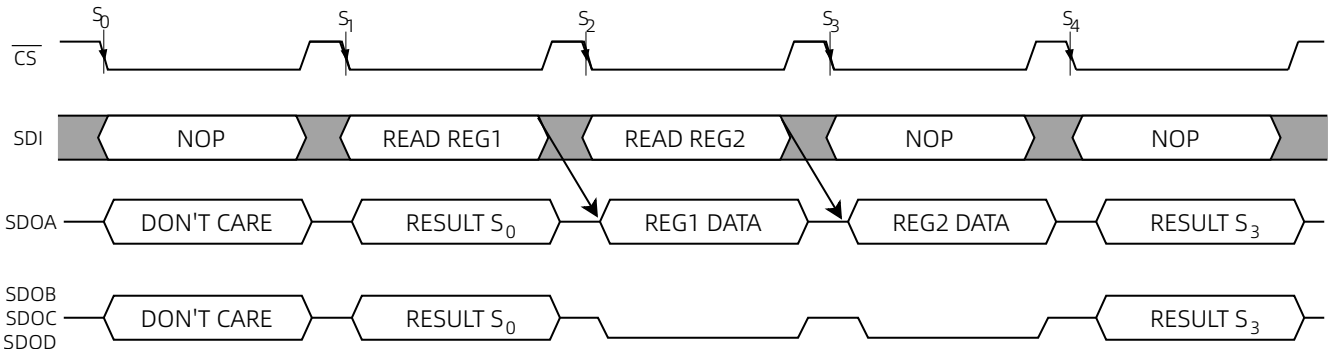


图 34 寄存器读取

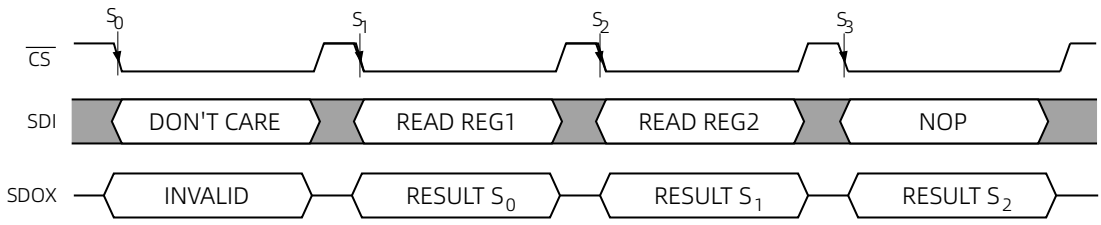


图 35 寄存器写入

CRC 多项式

CM2284 的 CRC 校验和计算采用标准多项式 X^8+X^2+X+1。

具体计算流程如下：首先将四个 ADC 通道的 16 位转换结果按顺序拼接为 64 位数据流；随后对该 64 位数据的高 8 位执行按位取反操作，并在数据末尾填充 8 个逻辑 0，形成 72 位待校验数据。

校验和生成过程通过迭代异或运算完成：将多项式的 MSB 与当前数据的最左侧逻辑 1 对齐，执行异或操作生成新的数据；重复此过程直至余数的位宽小于多项式位宽（即最终结果小于 X^8+X^2+X+1），此时得到的 8 位余数即为最终的 CRC 校验值。

以具体场景为例，当四个 ADC 通道的转换结果分别为 0xAAAA、0x5555、0xAAAA 及 0x5555 时，系统将按上述流程完成数据拼接、预处理及迭代运算，最终生成对应的 8 位 CRC 校验码。该计算机制通过严格的数学运算确保了数据传输的完整性及可靠性，有效降低了数据在串行通信过程中因噪声或干扰导致的误码风险。

表 7 4 通道，16 位数据的 CRC 计算示例

数据	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	1	0	1	0
过程数据	0	1	0	1	0	1	0	1	1	0	1	0	1	0	1	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	1	0	1	0
多项式		1	0	0	0	0	0	1	1	1																										
				11	00	10	00	00	00	11	11	01																								
						11	00	00	00	00	00	11	11	01																							
														11	10	00	00	10	00	11	01	11														
															11	00	00	10	00	00	11	01	01													
																		11	00	00	10	00	00	11	01	11										
																					11	10	00	10	00	00	11	01	11							
																						11	10	00	10	00	00	00	11	01	01					
																								11	00	00	00	00	10	11	11	11				
																													11	00	00	00	00	10	01	
																																		11	10	
																																			11

表 8 4 通道，16 位数据的 CRC 计算示例（续）

数据	1	0	1	0	1	0	1	0	1	0	1	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	X	X	X	X	X	X	X	X
过程数据	1	0	1	0	1	0	1	0	1	0	1	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	0	0	0	0	0	0

| | | |

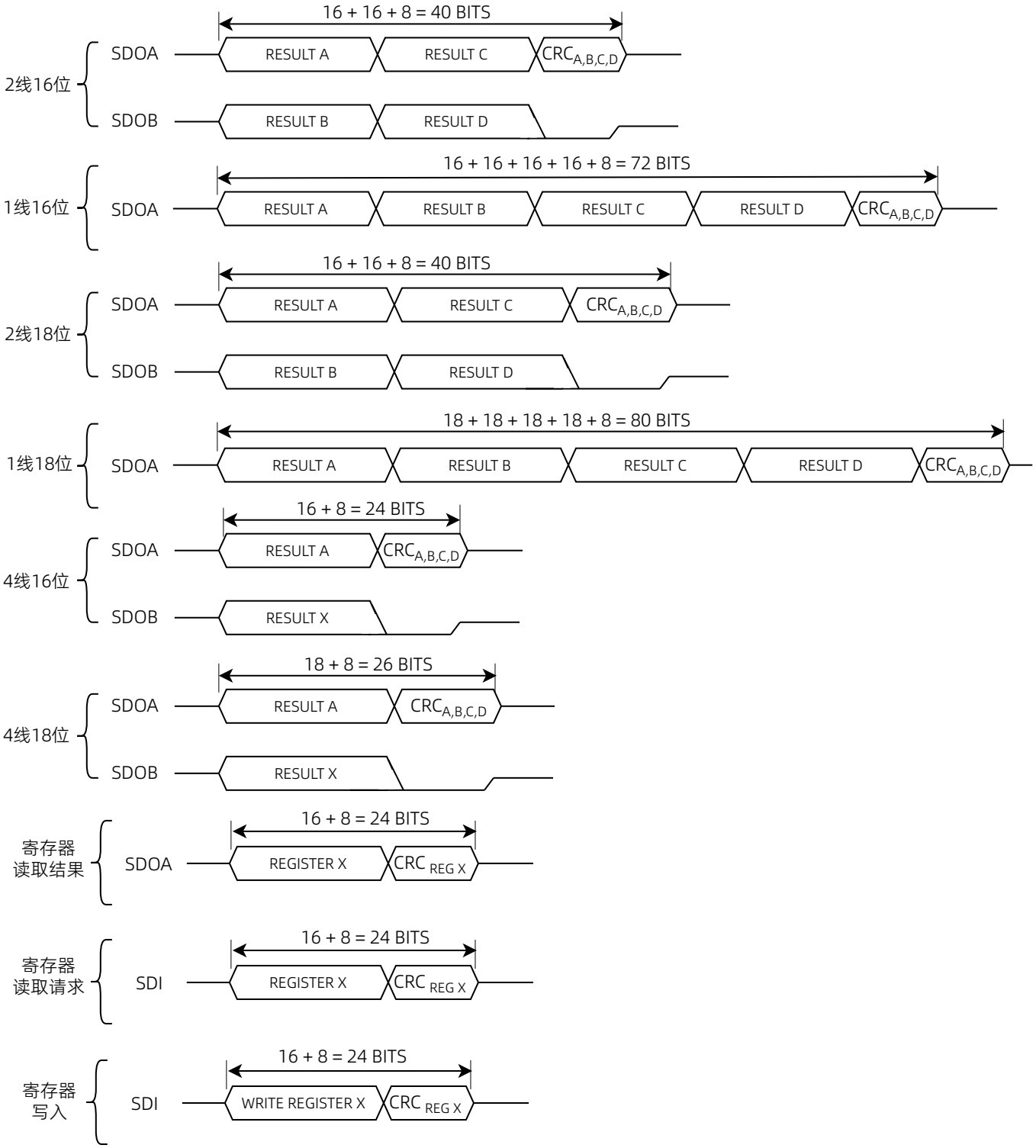

16 + 16 + 8 = 40 BITS
2线16位
SDOA
RESULT A
RESULT C
CRCA,B,C,D
SDOB
RESULT B
RESULT D
16 + 16 + 16 + 16 + 8 = 72 BITS
1线16位
SDOA
RESULT A
RESULT B
RESULT C
RESULT D
CRCA,B,C,D
16 + 16 + 8 = 40 BITS
2线18位
SDOA
RESULT A
RESULT C
CRCA,B,C,D
SDOB
RESULT B
RESULT D
18 + 18 + 18 + 18 + 8 = 80 BITS
1线18位
SDOA
RESULT A
RESULT B
RESULT C
RESULT D
CRCA,B,C,D
16 + 8 = 24 BITS
4线16位
SDOA
RESULT A
CRCA,B,C,D
SDOB
RESULT X
18 + 8 = 26 BITS
4线18位
SDOA
RESULT A
CRCA,B,C,D
SDOB
RESULT X
16 + 8 = 24 BITS
寄存器
读取结果
SDOA
REGISTER X
CRC REG X
16 + 8 = 24 BITS
寄存器
读取请求
SDI
REGISTER X
CRC REG X
16 + 8 = 24 BITS
寄存器
写入
SDI
WRITE REGISTER X
CRC REG X

图 36 CRC 校验

寄存器

CM2284 集成用户可编程片内寄存器，用于实现芯片的功能配置。具体寄存器列表参见表 9 。寄存器主要操作特性如下：

- 只写寄存器 (W)：对其发起的读操作将被系统自动忽略。
- 只读寄存器 (R)：对其发起的写操作将被系统自动忽略。
- 读写寄存器 (R/W)：对其进行读操作和写操作。
- 读清寄存器 (R/C)：对其发起读操作的同时，会将其清零。

该机制通过严格的寄存器访问控制，确保了芯片配置的可靠性与数据传输的准确性。

表 9 寄存器汇总表

地址	名称	默认值	描述
0x1	CONFIG1	0x0000	功能配置寄存器 1。
0x2	CONFIG2	0x0000	功能配置寄存器 2。
0x3	ALERT	0x0000	通道低阈值警报指示。该状态位用于指示对应输入通道的转换结果是否超过预设的低阈值。
0x4	TH_L	0x0800	警报低阈值寄存器。
0x5	TH_H	0x07FF	警报高阈值寄存器。

CONFIG1

表 10 CONFIG1

位	名称	访问类型	复位	描述
[15:12]	ADDRESSING	R/W	0x0	寻址。位[15:12]定义目标寄存器地址。
[11:10]	RESERVED	R	0x0	保留位。
9	OS_MODE	R/W	0x0	过采样模式。 0：常规平均过采样模式 1：滑动平均过采样模式
[8:6]	OSR	R/W	0x0	过采样率。为所有 ADC 通道设置对应模式下的过采样率。常规平均过采样模式支持 2 倍、4 倍、8 倍、16 倍和 32 倍的过采样率。滑动平均过采样支持 2 倍、4 倍及 8 倍过采样率。 000：无过采样 001：2 倍 010：4 倍 011：8 倍 100：16 倍 101：32 倍 110/111：无过采样
5	CRC_W	R/W	0x0	写入寄存器 CRC 校验使能。用于控制 SDI 接口的 CRC 功能。当将该位从 0 设置为 1 时，命令必须后跟一个有效的 CRC 才能完成该配置位的设置。若未接收到有效的 CRC，整个数据帧将被忽略。若该位已被设置为 1，则需要通过 CRC 校验才能将其清除为 0。 0：禁用 CRC 功能 1：启用 CRC 功能

位	名称	访问类型	复位	描述
4	CRC_R	R/W	0x0	读取寄存器 CRC 校验使能。用于控制 SDOx 接口的 CRC 功能。在读取完寄存器值或者转换结果后，附加 CRC 校验值。 0：禁用 CRC 功能 1：启用 CRC 功能
3	ALERT_EN	R/W	0x0	超阈值警报使能。 0：禁用$\overline{\text{ALERT}}$警报功能 1：启用$\overline{\text{ALERT}}$警报功能
2	RES	R/W	0x0	分辨率配置。OSR ≠ 0，如果 OSR = 0，则只能工作在 16 位模式。 0：16 位 1：18 位
1	RESERVED	R	0x0	保留位。
0	PMODE	R/W	0x0	关断模式使能。 0：工作模式 1：关断模式

CONFIG2

表 11 CONFIG2

位	名称	访问类型	复位	描述
[15:12]	ADDRESSING	R/W	0x0	寄存器寻址。位[15:12]定义目标寄存器地址。
[11:10]	RESERVED	R	0x0	保留位。
[9:8]	SDO	R/W	0x0	串行数据输出。 00：2 线输出。转换数据同时从 SDOA 和 SDOB 管脚输出。 01：1 线输出。转换数据仅从 SDOA 管脚输出。 10：4 线输出。转换数据从 SDOA/SDOB/SDOC/SDOD 四管脚同步输出。 11：转换数据仅从 SDOA 管脚输出（与 01 模式等效）。
[7:0]	RESET	R/W	0x0	复位使能。 0x3C：执行软复位；刷新接口电路和 ADC 核心模块；保持所有寄存器内部不变；清除警报指示寄存器状态；清空过采样模块的存储变量及状态机； 0xFF：执行硬复位。复位设备所有功能模块（含振荡器电路）；将所有用户寄存器恢复至默认值。

$\overline{\text{ALERT}}$

表 12 $\overline{\text{ALERT}}$

位	名称	访问类型	复位	描述
[15:12]	ADDRESSING	R	0x0	寄存器寻址。位[15:12]定义目标寄存器地址。
[11:10]	RESERVED	R	0x0	保留位。

位	名称	访问类型	复位	描述
9	CRCW_F	R/C	0x0	写命令 CRC 错误指示。当寄存器写入操作因 CRC 校验失败而执行异常时，该状态位将被置位。置位状态会保持，直至该寄存器被读取后清除。 0：无 CRC 错误 1：写命令 CRC 校验错误
8	SETUP_F	R	0x0	初始加载错误指示。SETUP_F 状态位用于指示设备启动时的配置数据加载异常。读取警报指示寄存器不会清除该状态，必须通过表 11 发起硬复位才能将其清零并重新启动设备初始化流程。 0：无初始加载错误 1：初始加载错误
7	AL_D_H	R/C	0x0	D 通道高阈值警报指示。该状态位用于指示对应输入通道的转换结果是否超过预设的高阈值。当转换结果数值高于 TH_H 中设定的数值时，该标志位将被置为 1。置位状态会保持，直至该寄存器被读取后清除。 0：无警报触发（转换结果数值 ≤ 阈值） 1：警报已触发（转换结果数值 > 阈值）
6	AL_D_L	R/C	0x0	D 通道低阈值警报指示。该状态位用于指示对应输入通道的转换结果是否超过预设的低阈值。当转换结果数值小于表 13 中设定的数值时，该标志位将被置为 1。置位状态会保持，直至该寄存器被读取后清除。 0：无警报触发（转换结果数值 ≥ 阈值） 1：警报已触发（转换结果数值 < 阈值）
5	AL_C_H	R/C	0x0	C 通道高阈值警报指示。该状态位用于指示对应输入通道的转换结果是否超过预设的高阈值。当转换结果数值高于表 14 中设定的数值时，该标志位将被置为 1。置位状态会保持，直至该寄存器被读取后清除。 0：无警报触发（转换结果数值 ≤ 阈值） 1：警报已触发（转换结果数值 > 阈值）
4	AL_C_L	R/C	0x0	C 通道低阈值警报指示。该状态位用于指示对应输入通道的转换结果是否超过预设的低阈值。当转换结果数值小于表 13 中设定的数值时，该标志位将被置为 1。置位状态会保持，直至该寄存器被读取后清除。 0：无警报触发（转换结果数值 ≥ 阈值） 1：警报已触发（转换结果数值 < 阈值）
3	AL_B_H	R/C	0x0	B 通道高阈值警报指示。该状态位用于指示对应输入通道的转换结果是否超过预设的高阈值。当转换结果数值高于表 14 中设定的数值时，该标志位将被置为 1。置位状态会保持，直至该寄存器被读取后清除。 0：无警报触发（转换结果数值 ≤ 阈值） 1：警报已触发（转换结果数值 > 阈值）
2	AL_B_L	R/C	0x0	B 通道低阈值警报指示。该状态位用于指示对应输入通道的转换结果是否超过预设的低阈值。当转换结果数值小于表 13 中设定的数值时，该标志位将被置为 1。置位状态会保持，直至该寄存器被读取后清除。 0：无警报触发（转换结果数值 ≥ 阈值） 1：警报已触发（转换结果数值 < 阈值）

位	名称	访问类型	复位	描述
1	AL_A_H	R/C	0x0	A 通道高阈值警报指示。该状态位用于指示对应输入通道的转换结果是否超过预设的高阈值。当转换结果数值高于表 14 中设定的数值时，该标志位将被置为 1。置位状态会保持，直至该寄存器被读取后清除。 0：无警报触发（转换结果数值 ≤ 阈值） 1：警报已触发（转换结果数值 > 阈值）
0	AL_A_L	R/C	0x0	A 通道低阈值警报指示。该状态位用于指示对应输入通道的转换结果是否超过预设的低阈值。当转换结果数值小于表 13 中设定的数值时，该标志位将被置为 1。置位状态会保持，直至该寄存器被读取后清除。 0：无警报触发（转换结果数值 ≥ 阈值） 1：警报已触发（转换结果数值 < 阈值）

TH_L

表 13 TH_L

位	名称	访问类型	复位	描述
[15:12]	ADDRESSING	R/W	0x0	寄存器寻址。位[15:12]定义目标寄存器地址。
[11:0]	AL_L	R/W	0x800	低门限警报阈值配置。转换结果的高 12 位如果小于此值，则触发低门限警报。

TH_H

表 14 TH_H

位	名称	复位	访问类型	描述
[15:12]	ADDRESSING	0x0	R/W	寄存器寻址。位[15:12]定义目标寄存器地址。
[11:0]	AL_H	0x7FF	R/W	高门限警报阈值配置。转换结果的高 12 位如果大于此值，则触发高门限警报。

应用

图 37 展示了 CM2284 的典型应用电路。需为 VCC、V_{LOGIC}、REGCAP 和 REFIN 管脚配置适当的去耦电容。裸露焊盘作为电路的接地参考点，需连接至 GND。

电源设计

在典型应用场景中，CM2284 可采用 5V 电源来驱动整个系统。系统通过两路独立的低压差线性稳压器分别为模拟电路和数字接口供电：其中 VCC 为模拟电路提供电源，V_{LOGIC} 为 CM2284 的数字接口提供电源。

CM2284 对电源上电顺序具备较强的抗干扰能力，VCC 与 V_{LOGIC} 电源可按任意顺序施加。但需特别关注以下时序约束：外部基准电压必须在 VCC 与 V_{LOGIC} 上电完成后方可施加；模拟/数字信号的输入操作需等待外部基准电压稳定后执行。

芯片从 VCC 与 V_{LOGIC} 上电至 ADC 转换结果稳定需经历 $t_{POWERUP}$ 时间，此期间与 CM2284 的通信不会影响其正常工作，具体时序要求可参见图 3 推荐的上电信号条件。为确保器件可靠工作，建议在上电完成后执行复位操作。当 VCC 与 V_{LOGIC} 电源电压达到标称值时，应通过软件硬复位完成 ADC 初始化（参见软复位）。

模拟输入滤波与驱动设计

必须为模拟输入通道配置差分 RC 滤波器，以确保最佳性能。典型应用中，R = 15Ω，C1 = 1pF，C2 = 200pF。所有通道的 RC 参数必须完全一致，以保持信号一致性。

CM2284 的四个差分通道支持 0V~VREF 的电压范围，且具有宽共模范围，可适应多种信号类型。模拟输入管脚 (AINX±) 可由放大器直接驱动。

数字接口噪声抑制

CM2284 的性能受到数字接口噪声的影响，该影响与 PCB 布局和设计相关。建议尽量缩短数字走线，或在 SDOA、SDOB、SDOC 和 SDOD/$\overline{ALERT}$管脚就近串联一个 100Ω 电阻，以减少数字接口噪声对 CM2284 的耦合干扰。

基准电压配置

CM2284 的基准电压范围为 2.5V~3.3V。推荐使用超低噪声、高精度基准源驱动 REFIN 管脚，并且在 REFIN 管脚与地之间连接 1μF 的电容。

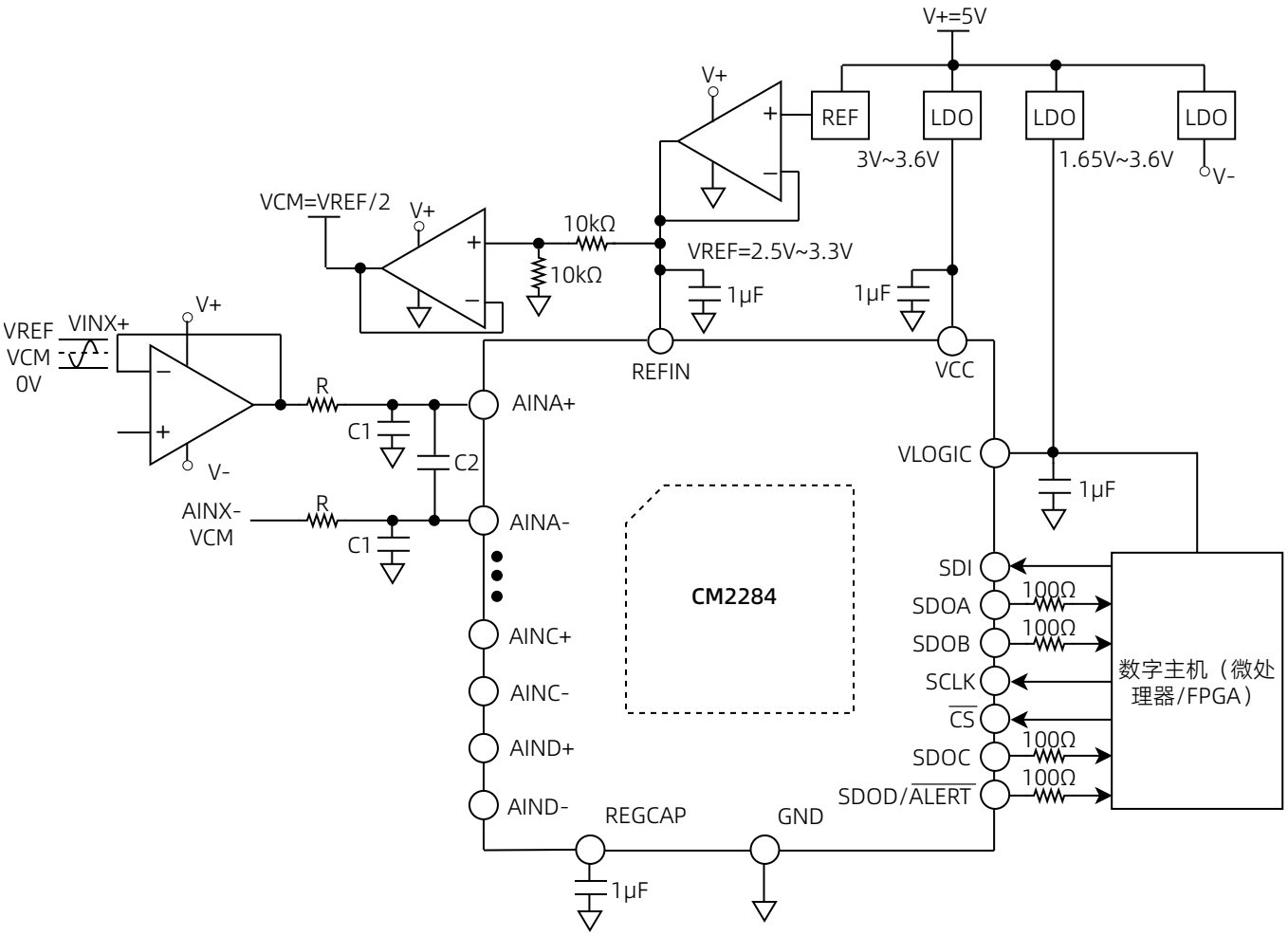


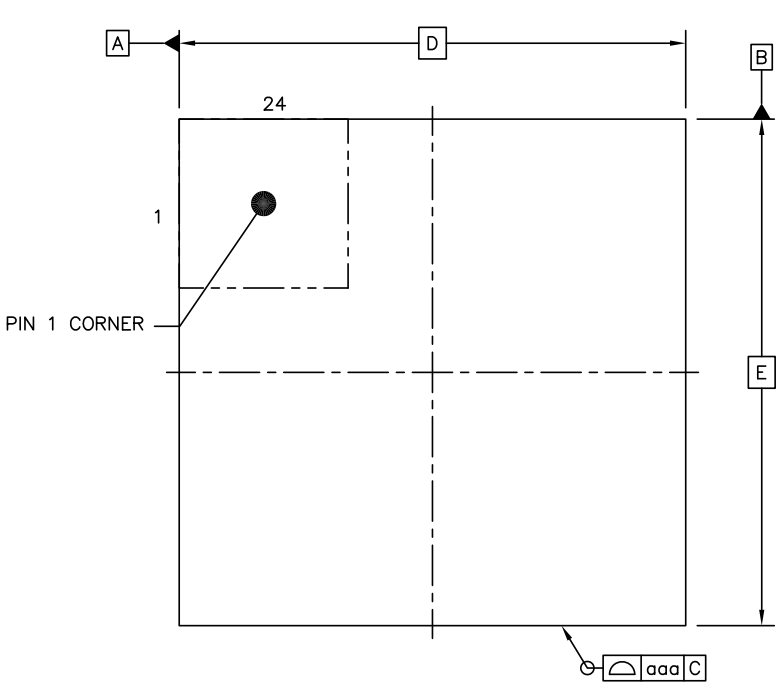
图 37 典型应用电路

封装及订购信息

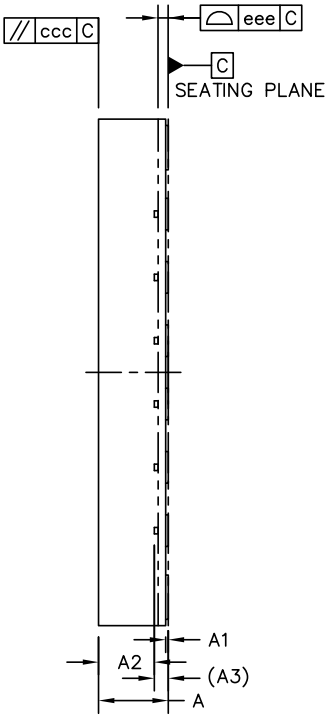
封装方式

CM2284 采用 QFN24 封装。

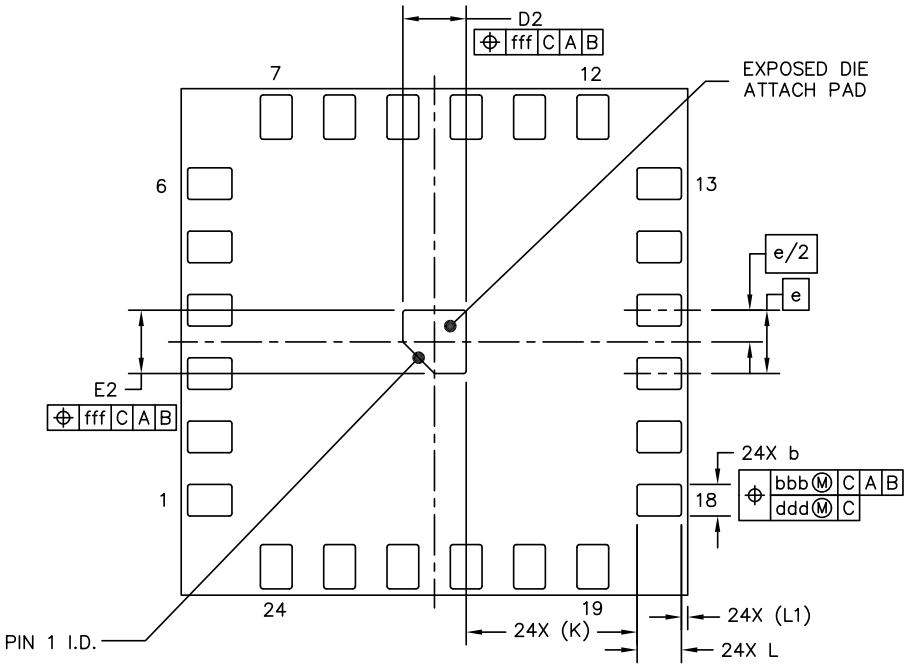
产品外形图



顶视图



侧视图



底视图

标识	尺寸（毫米）		
	最小值	典型值	最大值
A	0.50	0.55	0.60
A1	-0.004	-	0.0005
A2	-	0.44	-
A3	0.11 (REF)		
b	0.20	0.25	0.30
D	4.00 (BSC)		
E	4.00 (BSC)		
e	0.50 (BSC)		
D2	0.40	0.50	0.60
E2	0.40	0.50	0.60
L	0.25	0.35	0.45
L1	0.05 (REF)		
K	1.35 (REF)		
aaa	0.10		
ccc	0.10		
eee	0.08		
bbb	0.10		
ddd	0.05		
fff	0.10		

订购信息

型号	温度范围	封装	包装	包装数量
CM2284-QFNTA	-40℃~85℃	QFN24	Reel	5000

免责声明

本数据手册按“现状”(AS IS) 提供，所含信息仅供设计参考，不构成任何明示或暗示的性能、适用性、可靠性或安全性的保证。我司保留随时对产品规格、技术资料及相关手册进行更正的权利。用户应独立负责产品选择、应用设计、功能验证及合规性评估，确保满足相关法规与安全要求。我司不对应用设计提供支持或承担由此产生的任何责任。

本产品及资料不适用于生命支持、植入式医疗设备、军事、航空航天及其他安全关键应用，除非另有书面协议。在此类应用中使用该产品及资料的风险由用户自行承担。